

Министерство науки и высшего образования Российской Федерации
Федеральное государственное бюджетное образовательное учреждение
высшего образования
«Владимирский государственный университет
имени Александра Григорьевича и Николая Григорьевича Столетовых»

Ю. Е. МИШУЛИН В. А. НЕМОНТОВ

ЦИФРОВАЯ СХЕМОТЕХНИКА

Учебное пособие

Издание 2-е, стереотипное



Владимир 2019

УДК 004.312.(075.8)

ББК 32.97я73

М71

Рецензенты:

Доктор технических наук, профессор
зав. кафедрой информатики и защиты информации
Владимирского государственного университета
имени Александра Григорьевича и Николая Григорьевича Столетовых
М. Ю. Монахов

Кандидат технических наук, доцент
старший научный сотрудник Всероссийского
научно-исследовательского института «Сигнал»
Д. В. Багаев

Мишулин, Ю. Е. Цифровая схемотехника : учеб. пособие /
М71 Ю. Е. Мишулин, В. А. Немонтов ; Владим. гос. ун-т им. А. Г. и
Н. Г. Столетовых. – Изд. 2-е, стер. – Владимир : Изд-во ВлГУ,
2019. – 144 с.

ISBN 978-5-9984-0934-9

Изложены вопросы построения цифровых устройств, используемых в системах управления различными процессами, включающие в себя разработку устройств сопряжения цифровой системы управления с объектом управления. Разработано в соответствии с федеральными государственными образовательными стандартами высшего образования по направлениям подготовки 15.03.06 «Мехатроника и робототехника», 13.03.02 «Электроэнергетика и электротехника».

Предназначено для студентов дневной формы обучения, а также ориентировано на студентов заочной формы обучения и студентов Центра реабилитации инвалидов.

Рекомендовано для формирования профессиональных компетенций в соответствии с ФГОС ВО.

Табл. 19. Ил. 143. Библиогр.: 6 назв.

УДК 004.312.(075.8)

ББК 32.97я73

ISBN 978-5-9984-0934-9

© ВлГУ, 2019

© Мишулин Ю. Е., Немонтов В. А., 2019

ОГЛАВЛЕНИЕ

ВВЕДЕНИЕ	5
1. ЛОГИЧЕСКИЕ ФУНКЦИИ.....	7
1.1. АЛГЕБРА ЛОГИКИ	7
1.1.1. Основные законы алгебры логики	10
1.1.2. Формы логических функций	11
1.2. СИНТЕЗ КОМБИНАЦИОННЫХ СХЕМ.....	12
1.2.1. Формирование логических условий работы.	13
1.2.2. Составление СДНФ (или СКНФ) логической функции.....	14
1.2.3. Способы минимизации логических функций	15
2. ЭЛЕМЕНТНАЯ БАЗА ЦИФРОВЫХ УСТРОЙСТВ.....	20
2.1. ЛОГИЧЕСКИЕ ЭЛЕМЕНТЫ ТТЛ.....	22
2.2. ФУНКЦИОНАЛЬНЫЕ ЭЛЕМЕНТЫ.....	24
2.2.1. Триггеры.....	24
2.2.2. Регистры	33
2.2.3. Счётчики.....	37
2.3. АРИФМЕТИКО-ЛОГИЧЕСКИЕ УСТРОЙСТВА.....	47
2.3.1. Элементы выполнения арифметических операций.	47
2.4. ЭЛЕМЕНТЫ КОММУТАЦИИ И ПРЕОБРАЗОВАНИЯ ИНФОРМАЦИИ	56
2.4.1. Шифратор.....	56
2.4.2. Дешифратор	58
2.4.3. Преобразователи кода	60
2.4.4. Мультиплексоры и демультиплексоры	64
2.4.5. Шинные формирователи и каналные приемопередатчики	67
2.4.6. Триггеры Шмитта.....	70
2.4.7. Ждущие мультивибраторы	72
3. ПРЕОБРАЗОВАТЕЛИ АНАЛОГОВЫХ СИГНАЛОВ.....	74
3.1. ЦИФРО-АНАЛОГОВЫЕ ПРЕОБРАЗОВАТЕЛИ	74

3.2. АНАЛОГО-ЦИФРОВЫЕ ПРЕОБРАЗОВАТЕЛИ	83
4. СХЕМОТЕХНИКА ЦИФРОВЫХ УСТРОЙСТВ	97
4.1. УСТРОЙСТВА ВЫВОДА	97
4.1.1. Устройства дискретного (позиционного) вывода.....	98
4.1.2. Устройства аналогового (непрерывного) вывода.....	122
4.2. УСТРОЙСТВА ВВОДА.....	129
4.2.1. Устройства дискретного (позиционного) ввода	130
4.2.2. Устройства аналогового ввода	139
ЗАКЛЮЧЕНИЕ	143
БИБЛИОГРАФИЧЕСКИЙ СПИСОК.....	143

ВВЕДЕНИЕ

Современные системы управления, реализованные на микропроцессорах или на основе компьютера, предполагают обработку информации об объекте управления или формирование управляющего воздействия в цифровой форме. При проектировании электронного устройства необходимо решить целый ряд задач. Это могут быть задачи преобразования физической величины, отражающей реальное состояние объекта в соответствующий параметр электрического сигнала. Далее выполняется преобразование электрических сигналов в цифровые электрические сигналы по заданному алгоритму, т.е. решаются задачи аналого-цифрового преобразования. Преобразование электрического сигнала в физическую величину, с помощью которой осуществляется воздействие на объект управления, подразумевает цифро-аналоговое преобразование электрических сигналов. Решение этих вопросов рассматривается в разделе электроники – цифровой схемотехнике, который охватывает разработку и исследование цифровых электронных устройств, реализующих функции передачи, приема и преобразования информации.

Настоящее учебное пособие соответствует программам ряда дисциплин: «Электроника», «Цифровая схемотехника», «Проектирование цифровых устройств» и др. Большинство выпущенных к настоящему времени учебников и учебных пособий по цифровой электронике либо посвящены отдельным разделам этой дисциплины, либо рассчитаны на большее количество аудиторных часов. Кроме того, в литературе недостаточно подробно рассмотрены вопросы проектирования цифровых устройств или этот материал разбросан по многочисленным источникам.

Пособие состоит из четырех разделов. Первый раздел посвящен основам цифровых устройств – алгебре логики и логическим функциям. Во втором разделе в сжатой и доступной форме рассмотрены практически все цифровые устройства, приведены их классификация и основные отличительные особенности. Третий раздел содержит информацию по аналого-цифровым и цифро-аналоговым преобразователям. Рассмотрены принципы построения этих устройств, приведены их сравнительные характеристики.

Особое внимание уделяется вопросам проектирования цифровых устройств систем автоматизации. В четвертом разделе рассмотрены устройства вывода цифровой и аналоговой информации на объект управления и ввода информации в систему управления с объекта управления и человека – оператора. Приведены примеры электронных схем на современной элементной базе.

1. ЛОГИЧЕСКИЕ ФУНКЦИИ

1.1. АЛГЕБРА ЛОГИКИ

Для описания алгоритмов работы цифровых устройств необходим соответствующий математический аппарат. Такой аппарат для решения задач формальной логики в середине прошлого века разработал ирландский математик Д. Буль. По его имени математический аппарат и получил название булевой алгебры или алгебры логики. Алгебра логики является теоретической основой построения ЭВМ и цифровых устройств.

Булева алгебра—это математическая система, оперирующая двумя понятиями: событие истинно и событие ложно. Естественно ассоциировать эти понятия с цифрами, используемыми в двоичной системе счисления. Далее будем их называть соответственно логическими единицей (лог. 1) и нулем (лог. 0). Два элемента булевой алгебры, а именно событие истинно и событие ложно, называются ее константами. Будем понимать под ними значения соответственно лог. 1 и лог. 0.

Для того чтобы описать при помощи булевой алгебры поведение и структуру цифровой схемы, ее входным, выходным и внутренним узлам ставят в соответствие булевы переменные, которые могут принимать только два значения: $x = 0$, и $x = 1$.

Различают события постоянно истинные – (солнце светит), события постоянно ложные – (уголь белый), события и истинные и ложные (на улице дождь).

По содержанию события или высказывания бывают простыми, которые называются логическими аргументами и сложными – логические функции.

Между аргументами могут существовать самые различные связи, т.е. логические функции могут принимать различные значения.

Для задания логической функции используют аналитический способ и табличный (таблица истинности).

При аналитическом способе задания логической функции используют логические уравнения, например: $y = (x_1 + x_3 \cdot \bar{x}_3)(\bar{x}_2 + x_3)$.

Таблица истинности для логических функций одного аргумента приведена в табл.1.1. Существует четыре функции одного аргумента.

Если число аргументов функции равно n , то число различных сочетаний аргумента составляет 2^n , а число различных возможных функций n -аргументов – 2^{2^n} . Так при $n = 2$ число наборов аргументов равно $2^2 = 4$, число функций – $2^{2^2} = 16$. Таблица истинности для логических функций двух аргументов приведена в табл. 1.2.


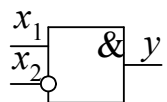
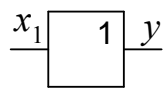
Таблица 1.1

Функции одного аргумента

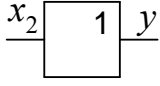
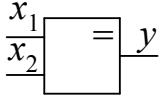
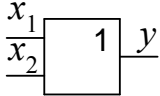
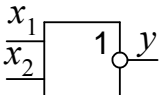
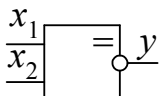
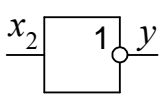
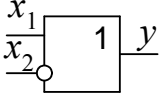
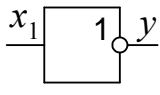
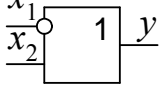
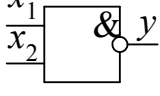
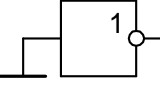
x	0	1	Функция	Название функции
Y_0	0	0	$y = 0$	Константа 0
Y_1	0	1	$y = x$	Переменная x
Y_2	1	0	$y = \bar{x}$	Инверсия x
Y_3	1	1	$y = 1$	Константа 1

Таблица 1.2

Функции двух аргументов

x_1	0 0 1 1	Функция	Название функции	Название элемента	Обозначение элемента
x_2	0 1 0 1				
1	2	3	4	5	6
y_0	0 0 0 0	$y = 0$	Константа 0	Генератор нуля	
y_1	0 0 0 1	$y = x_1 \wedge x_2$ $y = x_1 \cdot x_2$	Конъюнкция	Логическое «И»	
y_2	0 0 1 0	$y = x_1 \Delta x_2$	Запрет по x_1	Запрет	
y_3	0 0 1 1	$y = x_1$	Переменная x_1	Повторитель	
y_4	0 1 0 0	$y = x_2 \Delta x_1$	Запрет по x_2	Запрет	

Окончание табл. 1.2

x_1	0 0 1 1	Функция	Название функции	Название элемента	Обозначение элемента
x_2	0 1 0 1				
y_5	0 1 0 1	$y = x_2$	Переменная x_2	Повторитель	
y_6	0 1 1 0	$y = x_1 \oplus x_2$	Сумма по модулю 2	Исключающее «ИЛИ»	
y_7	0 1 1 1	$y = x_1 \vee x_2$ $y = x_1 + x_2$	Дизъюнкция	Логическое «ИЛИ»	
y_8	1 0 0 0	$y = x_1 \downarrow x_2$	Стрелка Пирса	Логическое «ИЛИ-НЕ»	
y_9	1 0 0 1	$y = x_1 \equiv x_2$	Эквивалентность	Исключающее «ИЛИ-НЕ»	
y_{10}	1 0 1 0	$y = \overline{x_2}$	Инверсия x_2	Логическое «НЕ»	
y_{11}	1 0 1 1	$y = x_2 - x_1$	Импликация от x_2 к x_1	Импликатор	
y_{12}	1 1 0 0	$y = \overline{x_1}$	Инверсия x_1	Логическое «НЕ»	
y_{13}	1 1 0 1	$y = x_1 - x_2$	Импликация от x_1 к x_2	Импликатор	
y_{14}	1 1 1 0	$y = x_1 x_2$	Штрих Шеффера	Логическое «И-НЕ»	
y_{15}	1 1 1 1	$y = 1$	Константа 1	Генератор единицы	

1.1.1. Основные законы алгебры логики

В математике установлен определенный порядок выполнения операций в сложном выражении. Для логического выражения также установлен порядок выполнения операций: вначале выполняются операции инверсии, затем операции конъюнкции и в последнюю очередь операции дизъюнкции. Если требуется изменить порядок выполнения операций, то используются скобки. Например, в выражении $(x_1 \vee \bar{x}_2) \wedge (x_1 \vee x_3)$ выполняются сначала операции в скобках (дизъюнкция), а затем операция конъюнкции.

При записи логических выражений допускается для обозначения дизъюнкции использовать вместо символа \vee символ $+$, а для обозначения конъюнкции \wedge вместо символа \cdot символ умножения. Т.е. предыдущее выражение можно записать в виде $(x_1 + \bar{x}_2) \cdot (x_1 + x_3)$.

Для операций конъюнкции и дизъюнкции справедливы следующие законы алгебры логики. В выражениях символ $+$ (сложение) обозначает операцию дизъюнкции (логическое «ИЛИ»), а символ умножения операцию конъюнкции (логическое «И»).

1. Переместительный закон

$$\begin{aligned}x + y &= y + x; & x \vee y &= y \vee x; \\x \cdot y &= y \cdot x; & x \wedge y &= y \wedge x.\end{aligned}$$

2. Сочетательный закон

$$\begin{aligned}x + (y + z) &= (x + y) + z; \\(x \cdot y) \cdot z &= x \cdot (y \cdot z).\end{aligned}$$

3. Распределительный закон

$$\begin{aligned}(x + y) \cdot z &= x \cdot z + y \cdot z; \\x \cdot (y + z) &= (x \cdot y) + (x \cdot z).\end{aligned}$$

4. Закон инверсии (формулы де Моргана)

$$\overline{x + y} = \bar{x} \cdot \bar{y}; \quad \overline{x \cdot y} = \bar{x} + \bar{y}.$$

5. Закон двойного отрицания

$$\overline{\bar{x}} = x.$$

6. Закон исключенного третьего

$$\begin{aligned}x + 1 &= 1; & x + \bar{x} \cdot y &= x + y; \\x + \bar{x} &= 1; & x(\bar{x} + y) &= x \cdot y.\end{aligned}$$

7. Закон противоречия

$$x \cdot 0 = 0;$$

$$x \cdot \bar{x} = 0.$$

8. Закон идентичности

$$x \cdot x = x;$$

$$x + x = x.$$

9. Закон поглощения

$$x \cdot 1 = x;$$

$$x \cdot x \cdot x \cdot \Downarrow \cdot x = x;$$

$$x(x + y) = x;$$

$$x + x \cdot y = x;$$

$$x + x + \Downarrow + x = x;$$

$$x + x \cdot y + x \cdot z = x.$$

Следствия законов:

1. Если логическая сумма двоичных аргументов или функций содержит хотя бы одну пару взаимно инверсных слагаемых, то эта сумма всегда истинна

$$x + y + z \cdot y + \bar{x} = 1;$$

$$P + Q + L + \bar{Q} = 1.$$

2. Если логическое произведение двоичных аргументов или функций содержит хотя бы одну пару взаимно инверсных сомножителей, то это произведение всегда ложно

$$x \cdot y \cdot z \cdot \bar{x} = 0;$$

$$P \cdot Q \cdot L \cdot \bar{Q} = 0.$$

1.1.2. Формы логических функций

Элементарная конъюнкция – *минтерм* – образуется логическим умножением переменных и их отрицаний

$$P = x \cdot y \cdot \bar{z};$$

$$Q = \bar{x} \cdot y \cdot \bar{z}.$$

Элементарная дизъюнкция – *макстерм* – образуется логическим сложением переменных и их отрицаний

$$P = x + y + \bar{z};$$

$$Q = \bar{x} + \bar{y} + z.$$

Число переменных, составляющих минтерм или макстерм, называется *рангом*.

$P = x_1 \cdot \bar{x}_2 \cdot x_3 \cdot x_4$ – элементарная конъюнкция четвертого ранга.

$M = x_1 + \bar{x}_2 + x_3$ – элементарная дизъюнкция третьего ранга.

Функция в дизъюнктивной нормальной форме (ДНФ) является логической суммой элементарных конъюнкций

$$P = \bar{x} \cdot y + x \cdot \bar{y} + x \cdot y \cdot z + \bar{x} \cdot y \cdot \bar{z}.$$

Функция в конъюнктивной нормальной форме (КНФ) является логическим произведением элементарных дизъюнкций

$$P = (x + y) \cdot (x + \bar{y}) \cdot (\bar{x} + y + z).$$

Если в состав логической формулы входят наборы аргументов одинакового ранга, то такая форма называется *совершенной* (СКНФ и СДНФ).

Требования к совершенной форме:

1. В функции не должно быть двух одинаковых конъюнкций (дизъюнкций).
2. Ни одна конъюнкция (дизъюнкция) не содержит двух одинаковых двоичных переменных.
3. Ни одна конъюнкция (дизъюнкция) не содержит двоичную переменную вместе с ее отрицанием.
4. Все конъюнкции (дизъюнкции) одного ранга.

1.2. СИНТЕЗ КОМБИНАЦИОННЫХ СХЕМ

Синтез логических устройств состоит из нескольких этапов.

1. Формируются логические условия работы схемы в виде таблицы истинности.
2. Составляется СДНФ (или СКНФ) логической функции.
3. Производится минимизация логической функции.
4. Строится функциональная схема устройства.
5. Разрабатывается принципиальная схема с минимальным числом элементов или на указанной элементной базе.

1.2.1. Формирование логических условий работы

Рассмотрим пример. Имеется резервуар с тремя впускными клапанами. По условию работы резервуар можно наполнять только в том случае, если открыт только один впускной клапан (см. рис.1.1)

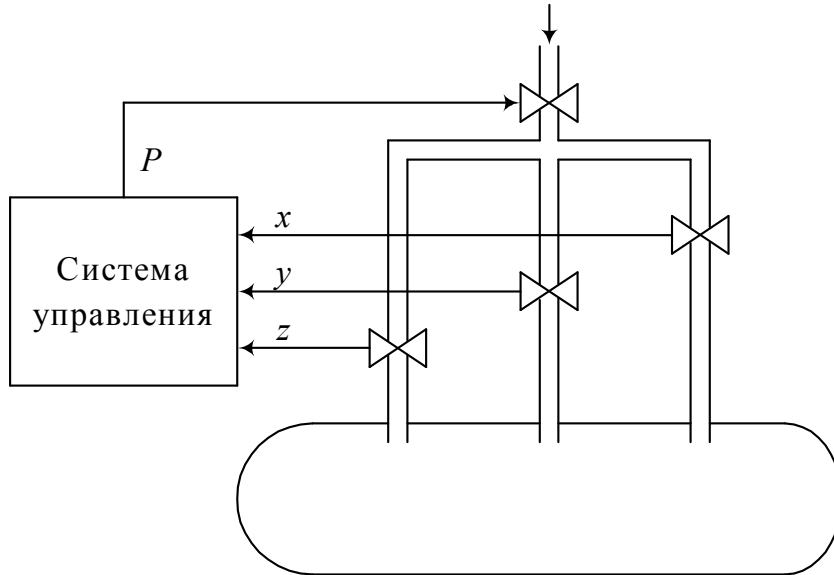


Рис. 1.1. Устройство управления

Необходимо сформировать логическую функцию P , удовлетворяющую заданным условиям работы. Аргументами функции являются переменные x , y , z , которые информируют о состоянии впускных клапанов. Функция P равна единице только тогда, когда только один из аргументов равен единице.

Составим таблицу истинности (табл.1.3). Число возможных комбинаций состояний аргументов равно 2^n , где n – число аргументов. Функция P имеет три аргумента. Следовательно, в нашем примере число комбинаций равно $2^3 = 8$. В первом столбце таблицы записывается десятичный эквивалент (ДЭ) состояний аргументов. Например ДЭ = 6, что соответствует состоянию аргументов 110 – это число шесть, записанное в двоичной системе счисления ($x = 1, y = 1, z = 0$). В столбце P записывается значение функции.

Таблица 1.3

Таблица истинности

ДЭ	x	y	z	P
0	0	0	0	0
1	0	0	1	1
2	0	1	0	1
3	0	1	1	0
4	1	0	0	1
5	1	0	1	0
6	1	1	0	0
7	1	1	1	0

Функция $P = 1$, если один из аргументов равен нулю, что соответствует десятичным эквивалентам 1, 2 и 4. В остальных случаях функция равна нулю.

1.2.2. Составление СДНФ (или СКНФ) логической функции

Правила образования СДНФ:

1. По каждому набору двоичной переменной, при котором функция принимает значение $= 1$, составляется элементарная конъюнкция.

2. Логические переменные записываются инверсными, если они заданы нулем.

3. Элементарные конъюнкции объединяются дизъюнкцией.

Правила образования СКНФ:

1. По каждому набору двоичной переменной, при котором функция принимает значение $= 0$, составляется элементарная дизъюнкция.

2. Логические переменные записываются инверсными, если они заданы единицей.

3. Элементарные дизъюнкции объединяются конъюнкцией.

В табл. 1.4. записаны СКНФ и СДНФ логической функции.

Таблица 1.4

Таблица истинности функции

ДЭ	x	y	z	P	СДНФ	СКНФ
0	0	0	0	0		$x + y + z$
1	0	0	1	1	$\bar{x} \cdot \bar{y} \cdot z$	
2	0	1	0	1	$\bar{x} \cdot y \cdot \bar{z}$	
3	0	1	1	0		$x + \bar{y} + \bar{z}$
4	1	0	0	1	$x \cdot \bar{y} \cdot \bar{z}$	
5	1	0	1	0		$\bar{x} + y + \bar{z}$
6	1	1	0	0		$\bar{x} + \bar{y} + z$
7	1	1	1	0		$\bar{x} + \bar{y} + \bar{z}$

В результате получены:

СДНФ: $P = \bar{x} \cdot \bar{y} \cdot z + \bar{x} \cdot y \cdot \bar{z} + x \cdot \bar{y} \cdot \bar{z}$.

СКНФ: $P = (x + y + z)(x + \bar{y} + \bar{z})(\bar{x} + y + \bar{z})(\bar{x} + \bar{y} + z)(\bar{x} + \bar{y} + \bar{z})$.

1.2.3. Способы минимизации логических функций

Полученное логическое выражение в ряде случаев можно значительно упростить, или минимизировать. Для этого используется несколько методов.

1. Метод непосредственных преобразований. При этом методе используются законы алгебры логики.

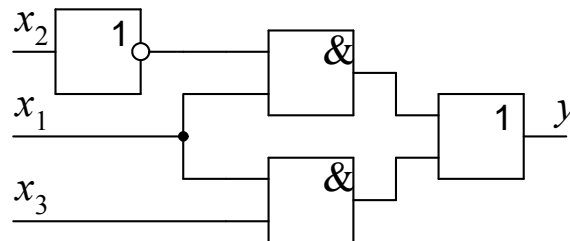
Пример 1.

Пусть дана логическая функция трех переменных $y = f(x_1, x_2, x_3)$, записанная в виде выражения $y = (x_1 + x_3)(x_1 + \bar{x}_3)(\bar{x}_2 + x_3)$. Выполним преобразования функции с целью ее минимизации, используя законы алгебры логики.

$$\begin{aligned} y &= (x_1 + x_3)(x_1 + \bar{x}_3)(\bar{x}_2 + x_3) = \text{<распределительный закон №3>} \\ &= (x_1 + x_3 \cdot \bar{x}_3)(\bar{x}_2 + x_3) = \text{<закон противоречия №7>} \\ &= (x_1 + 0)(\bar{x}_2 + x_3) = x_1 \cdot (\bar{x}_2 + x_3) = \text{<распределительный закон №3>} \\ &= x_1 \cdot \bar{x}_2 + x_1 \cdot x_3. \end{aligned}$$

Очевидно, что полученное выражение значительно проще исходного. Построим структурную схему на логических элементах, реализующую данную функцию.

Аргумент \bar{x}_2 получается использованием элемента логическое «НЕ» (инвертор). Операции конъюнкции $x_1 \cdot \bar{x}_2$ и $x_1 \cdot x_3$ выполняются с помощью элемента «И». И, наконец, операция дизъюнкции выполняется на элементе «ИЛИ». Структурная схема имеет следующий вид:



Пример 2.

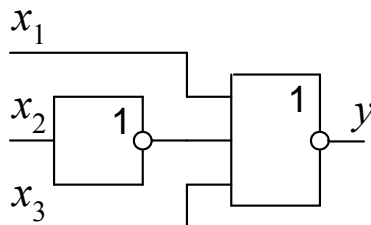
$$y = \bar{x}_1 \cdot \bar{x}_2 + x_1 \cdot \bar{x}_2 + x_1 \cdot x_2 + x_2 \cdot x_3.$$

Выполним преобразования, используя законы алгебры логики.

$$\begin{aligned} y &= \bar{x}_1 \cdot \bar{x}_2 + x_1 \cdot \bar{x}_2 + x_1 \cdot x_2 + x_2 \cdot x_3 = \bar{x}_2(\bar{x}_1 + x_1) + x_2(x_1 + x_3) = \\ &= \bar{x}_2 + x_2(x_1 + x_3). \end{aligned}$$

Далее используем закон исключенного третьего $x + \bar{x} \cdot y = x + y$.

Обозначим x как \bar{x}_2 , а y как $x_1 + x_3$ и подставим эти значения в выражение. В соответствии с правой частью закона получилось итоговое выражение $y = \bar{x}_2 + x_1 + x_3$ и структурная схема, реализующая эту функцию.

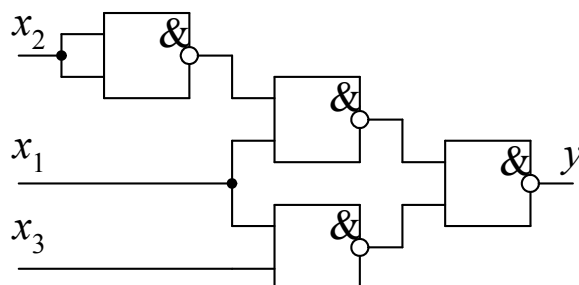


Часто необходимо формировать логическую схему на элементах только одного типа, например, «2И–НЕ». Преобразуем выражение, рассмотренное в первом примере, используя формулы де Моргана, чтобы исключить

а) операцию логического «ИЛИ» и реализовать схему на элементах «2И–НЕ» (цифра 2 обозначает, что элемент имеет два входа).

Преобразуем формулу де Моргана $\bar{x} + \bar{y} = \overline{x \cdot y}$, используя следующие обозначения: x обозначим как \bar{x} , а y как \bar{y} . Тогда формула де Моргана запишется в виде $x + y = \overline{\bar{x} \cdot \bar{y}}$. Используя полученное выражение, выполним преобразование логической функции. В полученное выражение формулы де Моргана введем подстановки: $x = x_1 \cdot \bar{x}_2$, $y = x_1 \cdot x_3$. Тогда получим $x_1 \cdot \bar{x}_2 + x_1 \cdot x_3 = \overline{\overline{x_1 \cdot \bar{x}_2 \cdot x_1 \cdot x_3}}$. Аргумент \bar{x}_2 можно записать в виде $\bar{x}_2 = \overline{x_2 \cdot x_2}$. Конечное выражение записывается в виде $\overline{\overline{x_1 \cdot (\overline{x_2 \cdot x_2}) \cdot x_1 \cdot x_3}}$.

Получаем структурную схему, реализованную только на элементах «И–НЕ», имеющих по два входа:



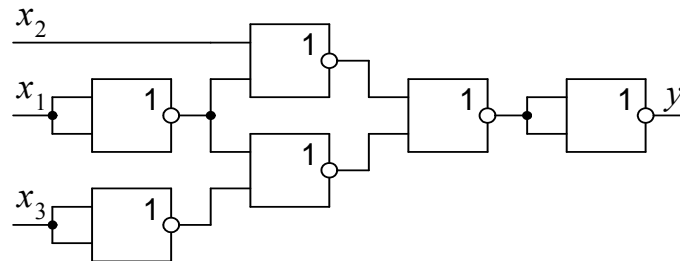
б) операцию логического «И» (на элементах «2ИЛИ–НЕ»).

Выполним аналогичные преобразования формулы де Моргана $\bar{x} \cdot \bar{y} = \overline{x + y}$. Обозначим x как \bar{x} , а y как \bar{y} . Формула де Моргана запи-

шется в виде $x \cdot y = \overline{\overline{x} + \overline{y}}$. Выполнив соответствующие подстановки и преобразования, получим:

$$x_1 \cdot \bar{x}_2 + x_1 \cdot x_3 = \overline{\overline{x_1 + x_2} + \overline{x_1 + x_3}} = \overline{\overline{(x_1 + x_1) + x_2} + \overline{(x_1 + x_1) + (x_3 + x_3)}}.$$

Получаем структурную схему, заменив $\bar{x}_1 = x_1 + x_1$ и $\bar{x}_3 = x_3 + x_3$.



Метод непосредственных преобразований применяется в том случае, если логическая функция задана небольшим количеством аргументов, обычно 2-3 аргумента. Если число аргументов больше, то этот становится трудоемким. Поэтому применяют такие методы минимизации, как метод Квайна, Квайна – Мак-Класки, Петрика, карт Вейча и другие.

Рассмотрим более подробно метод с использованием карт Карно.

Сущность метода заключается в следующем.

1. По таблице истинности составляется карта состояний логических переменных. Количество клеток в карте равно числу всех возможных наборов значений аргументов 2^n (n – число аргументов функции). Аргументы функции делятся на две группы, комбинации значений одной группы приписываются столбцам карты, а другой группы – строкам. Строки и столбцы обозначаются комбинациями, соответствующими последовательностями чисел в коде Грея. То есть соседние строки и столбцы не должны отличаться более чем на одно значение. На рис. 1.2 приведены примеры карт для трех и четырех аргументов.

	x_1, x_2	0 0	0 1	1 1	1 0
x_3	0				
1					

x_1, x_2	x_3, x_4	0 0	0 1	1 1	1 0
0 0					
0 1					
1 1					1
1 0					

Рис. 1.2. Карты Карно

2. Значение функции из таблицы истинности заносится в карту. Каждая клетка карты соответствует некоторому набору значений аргументов. Например, единица, стоящая в клетке, соответствует следующим значениям аргументов $x_1 = 1, x_2 = 0, x_3 = 1, x_4 = 1$.

3. Выделяются прямоугольные контуры по два, четыре, восемь и т.д. единичных значение логической функции. Карту можно «сворачивать в трубочку».

Таблица 1.5
Таблица истинности функции

ДЭ	x_1	x_2	x_3	x_4	P
0	0	0	0	0	1
1	0	0	0	1	1
2	0	0	1	0	0
3	0	0	1	1	0
4	0	1	0	0	1
5	0	1	0	1	0
6	0	1	1	0	1
7	0	1	1	1	1
8	1	0	0	0	1
9	1	0	0	1	1
10	1	0	1	0	1
11	1	0	1	1	0
12	1	1	0	0	0
13	1	1	0	1	0
14	1	1	1	0	1
15	1	1	1	1	1

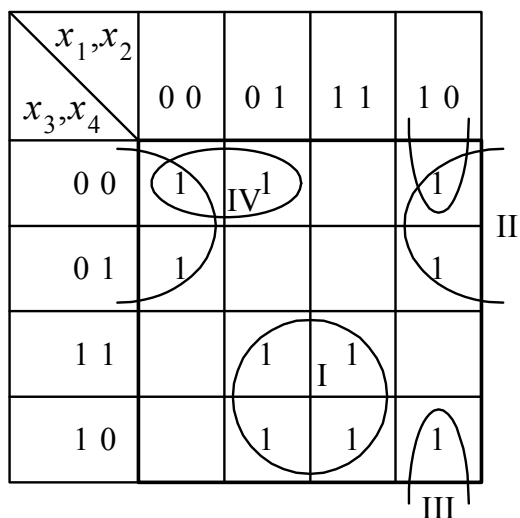


Рис. 1.3. Карта Карно

4. Записывается конъюнкция для каждого контура. Если значение аргумента для всего контура равно нулю, то этот аргумент записывается с инверсией, а если единице, то без инверсии. Если аргумент принимает значение и нуля и единицы, то этот аргумент нужно исключить из выражения конъюнкции.

5. Определяется минимальная функция дизъюнкцией конъюнкций.

Пример. Пусть задана логическая функция четырех переменных $P = f(x_1, x_2, x_3, x_4)$. Функция записывается в виде

$$P = \{0,1,4,6,7,8,9,10,14,15\}.$$

Данная запись обозначает, что функция P равна единице при указанных значениях десятичных эквивалентов логических аргументов. В остальных случаях функция равна нулю. Таблица истинности данной функции приведена в табл.1.5.

После подстановки единичных значений функции в карту можно выделить четыре контура (рис. 1.3). Контур I и II содержат по четыре единицы, а контуры III и IV – по две. Запишем конъюнкцию для первого контура $k_I = x_1 \cdot x_2 \cdot x_3 \cdot x_4$.

Аргументы x_1 и x_4 в этом контуре принимают значения 0 и 1, поэтому их можно исключить из выражения. Аргументы x_2 и x_3 принимают значение 1, и их записывают без инверсии. Если аргумент в контуре равен нулю, то его записывают с инверсией. В итоге конъюнкция для первого контура запишется в виде

$$k_I = x_2 \cdot x_3.$$

Аналогично записываем конъюнкции для остальных контуров

$$k_{II} = \overline{x_2} \cdot \overline{x_3};$$

$$k_{III} = x_1 \cdot \overline{x_2} \cdot \overline{x_4};$$

$$k_{IV} = \overline{x_1} \cdot \overline{x_3} \cdot x_4.$$

Минимальную функцию получаем дизъюнкцией полученных значений конъюнкций для каждого контура

$$P_{\min} = x_2 \cdot x_3 + \overline{x_2} \cdot \overline{x_3} + x_1 \cdot \overline{x_2} \cdot \overline{x_4} + \overline{x_1} \cdot \overline{x_3} \cdot x_4.$$

Функциональная схема устройства, соответствующая минимальной функции приведена на рис. 1.4.

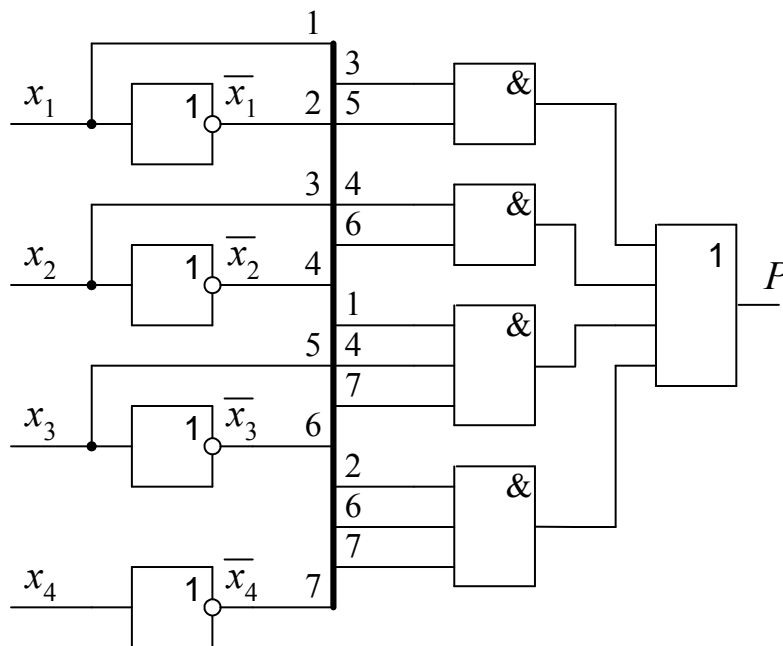


Рис. 1.4. Функциональная схема устройства

Следующим этапом разрабатывается принципиальная схема с минимальным числом элементов или на указанной элементной базе, например на элементах «И-НЕ». При этом выполняются преобразования логического уравнения с использованием формул де Моргана.

Контрольные вопросы

1. Назовите основные операции булевой алгебры. Как они описываются с помощью таблиц истинности; с помощью аналитических выражений?
2. Приведите пример описания функции алгебры логики в словесной форме; в виде таблицы истинности; в виде аналитического выражения; в дизъюнктивной и конъюнктивной нормальной форме.
3. Как строится структурная схема логического устройства по заданному логическому выражению?
4. В чем заключается цель и принцип минимизации логической функции?
5. Представьте карты Карно для функции четырех, пяти и шести переменных.
6. Минимизировать методом непосредственных преобразований функцию $y = x_1 \cdot x_2 \cdot x_3 + x_1 \cdot \bar{x}_2 \cdot x_3 + \bar{x}_1 \cdot x_2 \cdot x_3 + \bar{x}_1 \cdot \bar{x}_2 \cdot x_3$.
7. Минимизировать методом карт Карно функцию пяти переменных $P = \{0,1,2,3,7,8,15,16,17,18,19,28,29\}$.

2. ЭЛЕМЕНТНАЯ БАЗА ЦИФРОВЫХ УСТРОЙСТВ

В промышленной аппаратуре с 70-х годов используются 3 вида схемотехники базовых логических элементов: ТТЛ, КМОП и ЭСЛ [6].

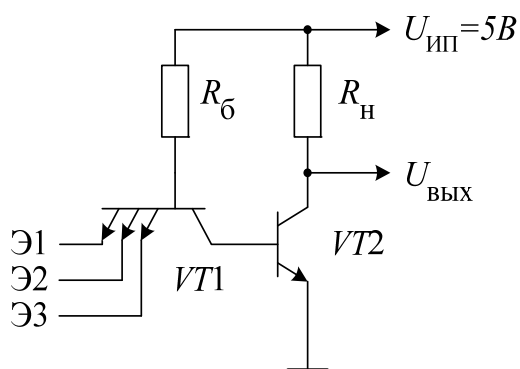


Рис. 2.1. Элемент ТТЛ

1) ТТЛ – транзисторно-транзисторная логика. Основа – многоэмиттерный транзистор (рис. 2.1). На нем реализована логическая функция «И». Если один из эмиттеров транзистора $VT1$ подключен к нулю (заземлен), то ток от источника питания протекает по пути с малым сопротивлением, т.е. через переход база – эмиттер. Переход база – коллектор открыться не может, так как на нем нет избыточного напряжения.

Таким образом, для того чтобы протекал ток через коллекторный переход, необходимо на все эмиттеры подать высокий потенциал, т.е. логическую единицу.

Транзистор $VT2$ выполняет функцию инвертирования. Если в транзисторе $VT1$ протекает ток через коллекторный переход, то транзистор $VT2$ открывается и его выходное напряжение становится равным нулю. Приведенный на рис.2.1 элемент ТТЛ реализует основной элемент этой серии – элемент «И-НЕ».

Схемотехника элементов ТТЛ является самой распространенной и постоянно совершенствуется. К элементам ТТЛ относятся микросхемы серии К134 и К155 (ее зарубежный аналог – серия 74). Дальнейшее развитие схемотехники позволило повысить быстродействие работы элементов и снизить их энергопотребление. В этих элементах используются транзисторы и диоды Шоттки.

К маломощным элементам относятся серии К555 (зарубежный аналог – 74LS), а также быстродействующие элементы серии К131 (74Н), а также современные перспективные серии К1533 (74ALS) и К1531 (74F).

Основные характеристики элементов ТТЛ.

а). Напряжение питания $U_{пит} = +5$ В.

б). Уровень логического нуля $U_0 = 0 \dots 0,4$ В.

Уровень логической единицы $U_1 = 2 \dots 5$ В.

в). Выходной стекающий ток. Для основных элементов серии К155 он равен 16 мА, а для элементов К555 – 8 мА.

Входной ток низкого уровня для базовых элементов равен 1,6 мА.

г). Нагрузочная способность. Эта характеристика показывает сколько входов элементов ТТЛ можно подключить к одному выходу. У основных элементов этот показатель равен 10.

д). Среднее время задержки распространения сигнала для элементов различных серий может быть от 3 нс (элементы серии К1531) до 9 нс (К155), а у элементов устаревшей серии К134 составляет 33 нс.

е). Потребляемая мощность для различных элементов имеет разное значение. Эти параметры можно найти в справочниках по микросхемам.

2) **КМОП** – Комплементарные полевые транзисторы со структурой металл – окисел – полупроводник. Основа – комплементарная (взаимно дополняющая) пара полевых транзисторов (рис. 2.2). Логическая функция «ИЛИ» обеспечивается парал-

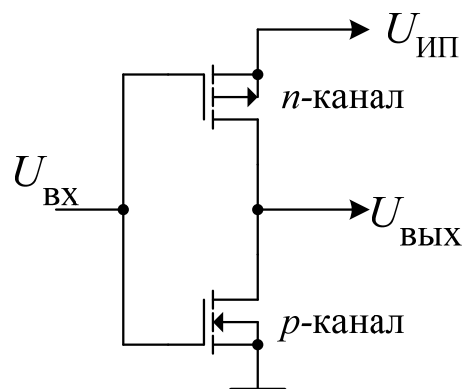


Рис. 2.2. Элемент КМОП

лельным включением каскадов р- и n-типа, основной элемент «ИЛИ-НЕ». Эта схемотехника характеризуется очень малым потреблением энергии в статическом режиме, но при работе на высоких частотах переключений ток потребления почти сопоставим с элементами ТТЛ. Максимальное быстродействие элементов КМОП несколько ниже, чем у элементов ТТЛ. В последних разработках с условным названием FAST скорость переключения сопоставима с элементами ТТЛ серии К1533.

Серии КМОП: К176, К561, К564, К1564, зарубежные элементы серии CD4000, 74С.

3) ЭСЛ – эмиттерно-связанная логика. Основа – дифференциальный каскад переключателей тока (рис. 2.3). Логическая функция «ИЛИ» достигается параллельным включением транзисторов одного плеча.

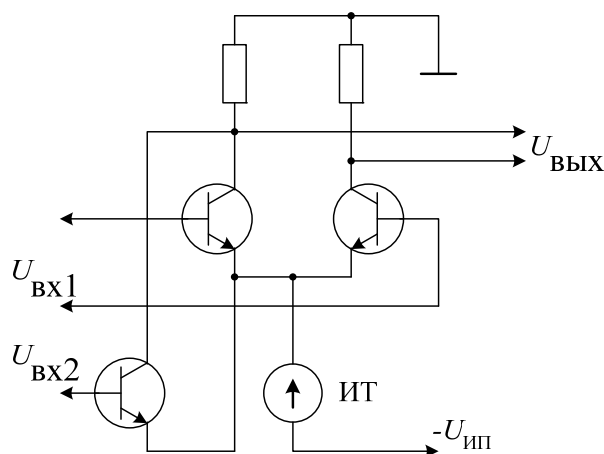


Рис. 2.3. Элемент ЭСЛ

Одного плеча.

Основной элемент – «ИЛИ», «НЕ». Элементы этой схемотехники характеризуются самым высоким быстродействием, в 3 – 4 раза быстрее элементов ТТЛ. Но с другой стороны элементы ЭСЛ обладают очень большим энергопотреблением. Серии ЭСЛ: К500, К1500, МЕСЛ2500, МЕСЛ100К.

2.1. ЛОГИЧЕСКИЕ ЭЛЕМЕНТЫ ТТЛ

Среди простых логических элементов преобладают микросхемы с логикой «И» и «И-НЕ». Эти элементы выпускаются с различным количеством входов. Например микросхема К555ЛА3 содержит четыре двухвходовых элемента «И-НЕ» (рис. 2.4, а). Микросхема К555ЛА1 имеет два четырехвходовых элемента «И-НЕ» (рис. 2.4, б). Микросхемы, содержащие элементы «И» имеют обозначение ЛИ, например К155ЛИ3 (рис. 2.4, в). Микросхемы с элементами «ИЛИ-НЕ» обозначаются буквами ЛЕ (К155ЛЕ2), а элементы «ИЛИ» буквами ЛЛ (К155ЛЛ1).

Цифры, стоящие на условном обозначении элемента (см. рис. 2.4) обозначают номер вывода микросхемы. Для рассмотренных примеров микросхемы выпускаются в корпусе, имеющем 14 выводов.

Не обозначенные выводы с номерами 7 и 14 предназначены для подачи питания на микросхему. Причем вывод 7 подключается к общему проводу, а вывод 14 – к положительному источнику питания +5В.

Выпускаются также комбинированные микросхемы, выполняющие сложные логические функции «И/ИЛИ». Например микросхема К155ЛР4 приведена на рис. 2.5, а, а ее эквивалентное значение на рис. 2.5, б.

Микросхемы, содержащие элементы «НЕ» (инверторы), содержат шесть инверторов и имеют обозначение ЛН (К555ЛН1).

Следует отметить разновидность элементов, у которых выходной каскад построен по схеме с открытым коллектором (ОК). В коллекторной цепи транзистора VT2 элемента ТТЛ (см. рис. 2.1) отсутствует резистор R_n и вывод коллектора является выводом логического элемента. Это дает возможность подключать коллектор выходного транзистора через внешний нагрузочный резистор к другому источнику питания, напряжение которого может достигать для некоторых элементов 50В и более.

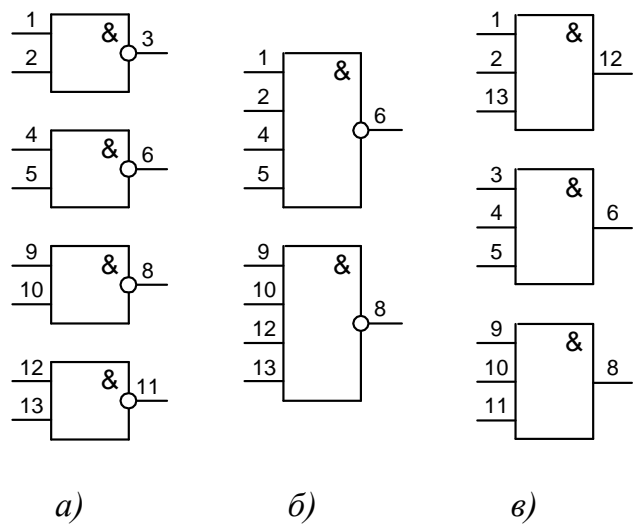


Рис. 2.4. Микросхемы логических элементов

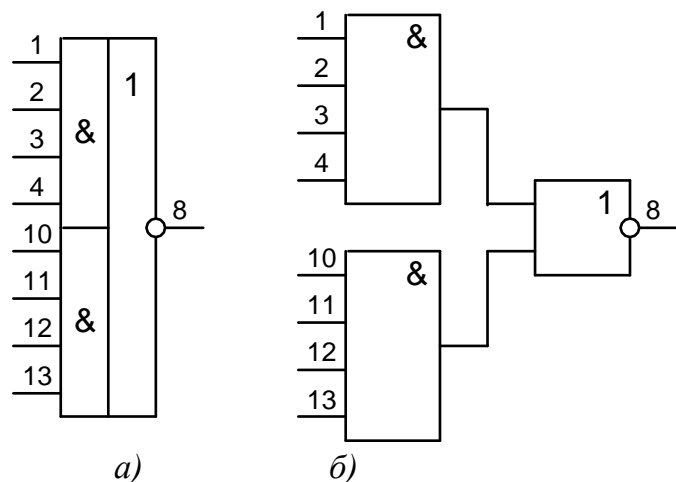


Рис. 2.5. Комбинированные микросхемы

Выходы нескольких элементов с ОК можно объединять вместе и подключать к общей нагрузке, что позволяет реализовать логическую функцию «И» и одновременно увеличить нагрузочную способность.

Эти элементы используются для включения ламп накаливания, зажигания газоразрядных и электролюминесцентных индикаторов, обслуживания обмоток электромеханических устройств.

2.2. ФУНКЦИОНАЛЬНЫЕ ЭЛЕМЕНТЫ

2.2.1. Триггеры

Триггер – это устройство, способное формировать два устойчивых значения выходного сигнала и изменять эти значения под действием входного управляющего сигнала. Триггер может использоваться как элемент хранения 1 бита двоичной информации.

В настоящее время существует много разновидностей триггеров. Они могут классифицироваться по типу информационных входов, по типу запуска, по моменту реакции на входной сигнал, по виду активного сигнала.

По моменту реакции на входной сигнал триггеры подразделяются на асинхронные и синхронные. Асинхронный триггер изменяет свое состояние непосредственно в момент изменения сигнала на его информационных входах. Синхронный триггер изменяет свое состояние лишь в строго определенные (тактовые) моменты времени, соответствующие действию активного сигнала на его синхронизирующем входе C , и не реагирует на любые изменения информационных сигналов при пассивном значении сигнала на входе C .

По виду активного логического сигнала, действующего на информационных входах, триггеры различают на статические – управляемые уровнем, и динамические – управляемые перепадом входного сигнала. При этом входя могут быть прямыми и инверсными. Для переключения триггера на его прямой вход необходимо подать сигнал x , а на инверсный – сигнал \bar{x} .

Одноступенчатые триггеры

Асинхронный RS-триггер имеет два информационных входа: R – вход сброса (Reset) и S – вход установки (Set). Простейший

триггер может быть реализован на элементах «И-НЕ» или «ИЛИ-НЕ» (рис. 2.6).

RS -триггер, реализованный на элементах «ИЛИ-НЕ», имеет прямые входы, а на элементах «И-НЕ» – инверсные. Условное графическое обозначение асинхронных RS -триггеров с прямыми и инверсными входами показано на рис. 2.6, в и г соответственно.

Принцип работы рассмотрим на примере триггера с прямыми входами.

Для данного триггера активными сигналами являются уровни логической единицы.

На входах S и R может быть четыре комбинации набора нулей и единиц. Если на обоих входах присутствует уровень логического нуля (не активный уровень), то состояние выходов триггера остается неизменным.

При подаче на вход установки S логической единицы триггер устанавливается в единичное состояние (на выходе Q устанавливается уровень логической единицы, а на выходе \bar{Q} – уровень логического нуля). При подаче на вход сброса R логической единицы триггер переключается (на выходе Q – уровень логического нуля, а на выходе \bar{Q} – уровень логической единицы). Если на оба входа подать активный уровень логической единицы, то состояние триггера будет не определено. Эта комбинация является запрещенной.

Для триггера с инверсными входами активными сигналами являются уровни логического нуля. Переключение триггера будет осуществляться подачей логического нуля на соответствующий вход. Два нуля на входах является запрещенной комбинацией.

Принцип работы триггера можно также отобразить с помощью таблицы состояний (табл. 2.1, 2.2.) и временной диаграммы (рис. 2.7).

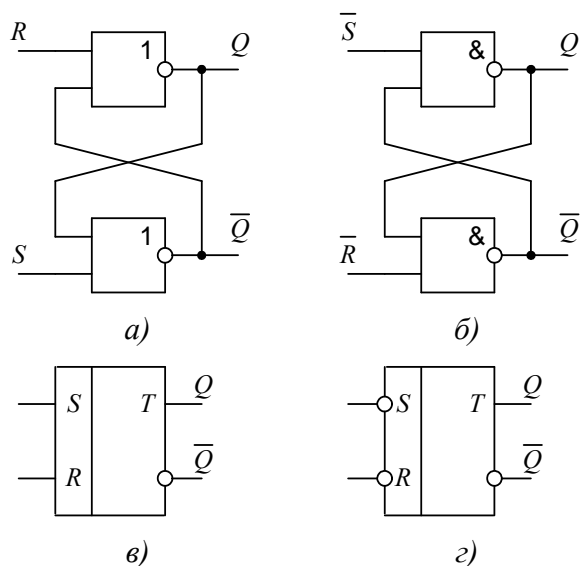


Рис. 2.6. RS -триггеры

Таблица 2.1

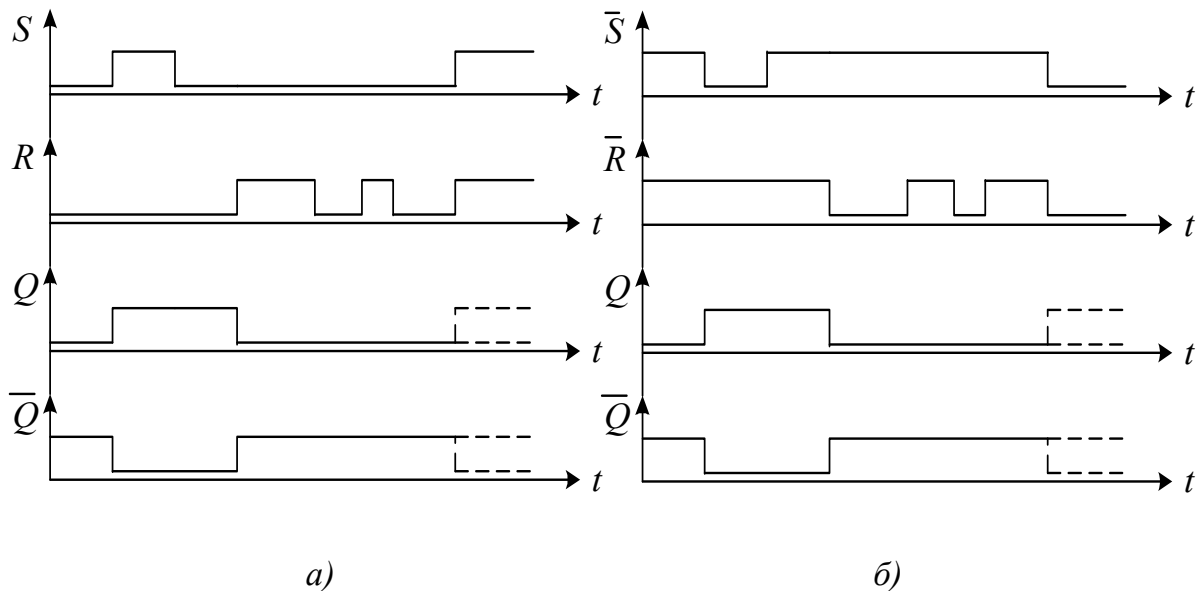
Таблица состояний RS -триггера с прямыми входами

S	R	Q_n	\bar{Q}_n
0	0	Q_{n-1}	\bar{Q}_{n-1}
0	1	0	1
1	0	1	0
1	1	Не определено	Не определено

Таблица 2.2

Таблица состояний RS -триггера с инверсными входами

\bar{S}	\bar{R}	Q_n	\bar{Q}_n
0	0	Не определено	Не определено
0	1	1	0
1	0	0	1
1	1	Q_{n-1}	\bar{Q}_{n-1}

Рис. 2.7. Временная диаграмма работы RS -триггера с прямыми входами (а) и инверсными входами (б)

Синхронный RS -триггер получается из асинхронного введением дополнительной логической схемы, которая разрешает переключение триггера только при наличии дополнительного сигнала синхронизации (рис. 2.8).

В триггер введён дополнительный управляющий вход C , разрешающий ввод сигналов R и S . Временная диаграмма работы синхронного RS -триггера показана на рис. 2.9.

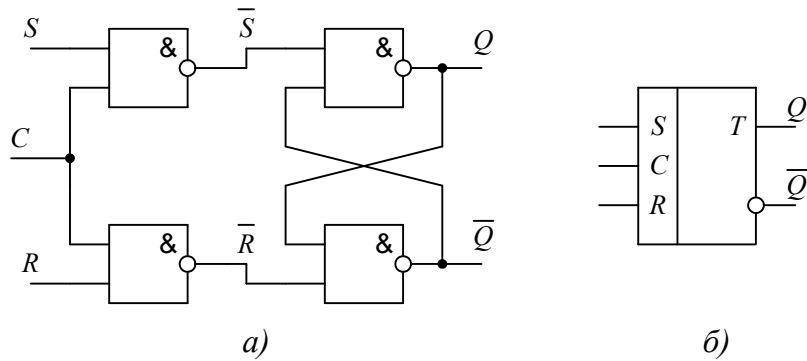


Рис.2.8. Синхронный RS -триггер

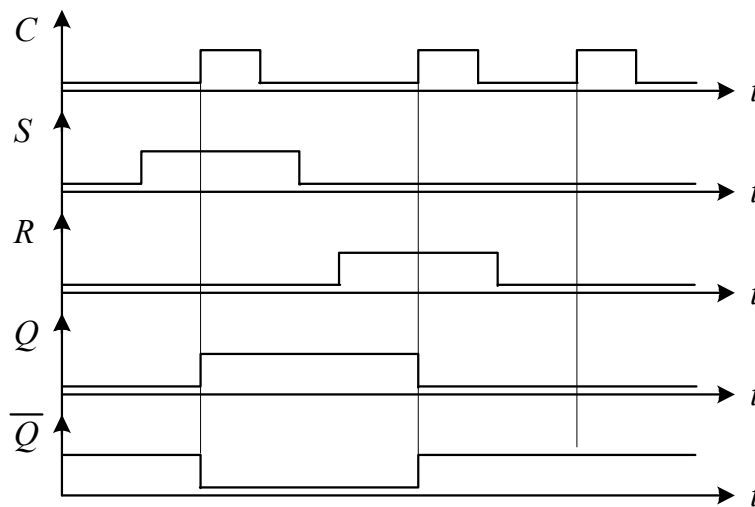


Рис. 2.9. Временная диаграмма работы синхронного RS -триггера

D -триггер обычно имеет только один информационный вход D . Информация с этого входа переписывается на выход Q триггера только по сигналу синхронизации C , таким образом, это синхронный триггер. Так как информация на выходе D -триггера остается неизменной вплоть до прихода очередного импульса синхронизации, данный триггер называют триггером с запоминанием информации или триггером-защелкой. Структурная схема и условное обозначение D -триггера показаны на рис. 2.10 а) и б) соответственно.

На рис. 2.11 показана временная диаграмма работы D -триггера. Если на входе синхронизации C установлена логическая единица (момент времени t_1), то информация с входа D передается на выход Q . В момент времени t_2 на вход C подали логический ноль и на выходе

триггера установится то значение, которое присутствовало на входе D , в данном случае логическая единица. В момент времени t_3 подан импульс синхронизации и на выходе Q триггера установится то значение, которое присутствует на входе D , т.е. логический ноль. С приходом еще одного импульса синхронизации (t_4) состояние триггера не изменилось, так как на входе D по-прежнему логический ноль.

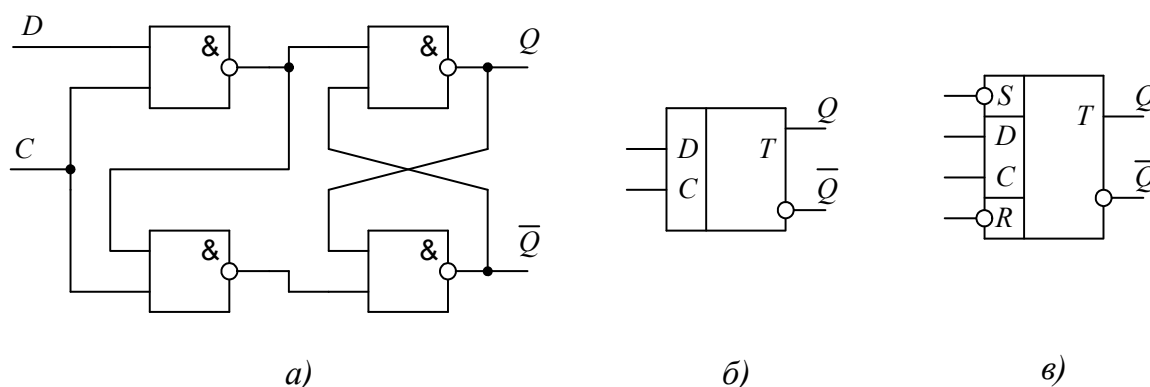


Рис. 2.10. D -триггер

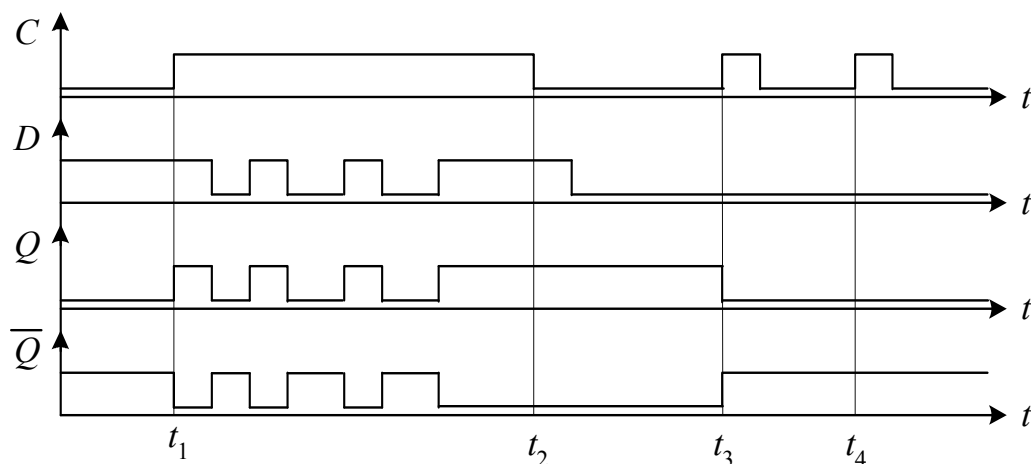


Рис. 2.11. Временная диаграмма работы D -триггера

D -триггер может быть снабжен дополнительными входами асинхронной установки R и S . Подача активных сигналов на эти входы соответственно сбрасывает в ноль и устанавливает в единицу выход триггера независимо от состояния сигналов на входах C и D .

Такую организацию имеет *D*-триггер К555ТМ2 (см. рис. 2.10.в). В одном корпусе микросхемы содержится два таких триггера. У него входы сброса и установки – инверсные.

Двухступенчатые триггеры

Для надёжной и чёткой работы триггерных ячеек в многоразрядных цифровых устройствах применяют двухступенчатые триггеры, называемые master-slave («мастер» – «помощник»). Структурная схема и временная диаграмма работы синхронного двухступенчатого *RS*-триггера показана на рис. 2.12.

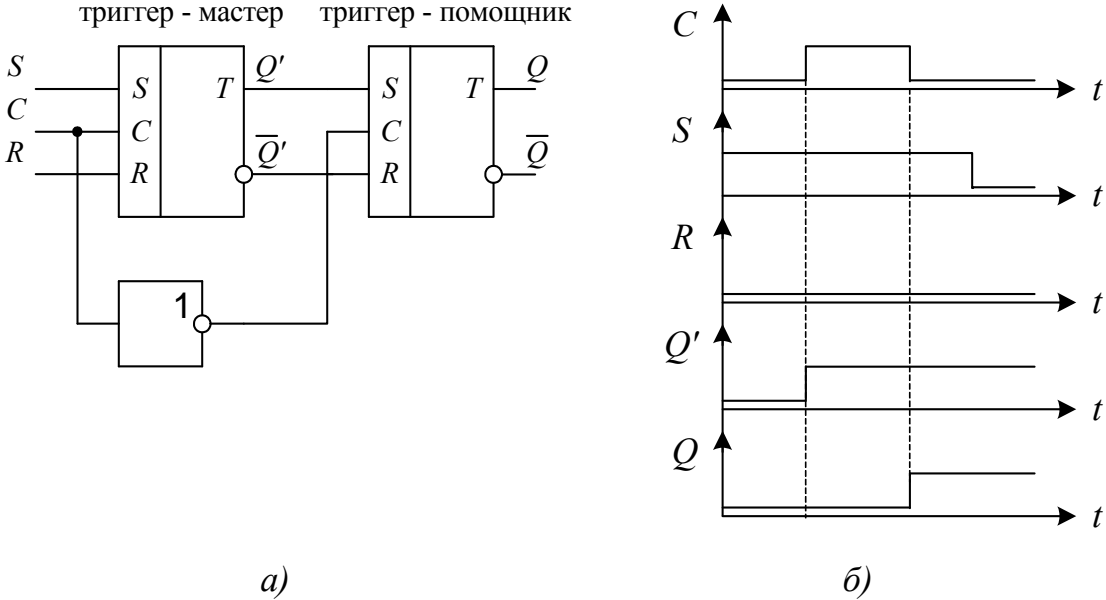


Рис. 2.12. Двухступенчатый *RS*-триггер

По переднему фронту тактового импульса *C* переключается выход триггера-мастера. Этот же импульс через инвертор передается на вход *C* триггера-помощника, и данные переписываются в него по заднему фронту. Таким образом, триггером управляет полный тактовый импульс (передний и задний фронты).

T-триггер или счетный триггер изменяет своё состояние на противоположное с приходом каждого входного импульса. Имеет только один вход *T*. Основное его назначение это деление частоты тактовой последовательности, подаваемой на вход в два раза.

Структурная схема, условное обозначение и временная диаграмма работы Т-триггера показаны на рис. 2.13.

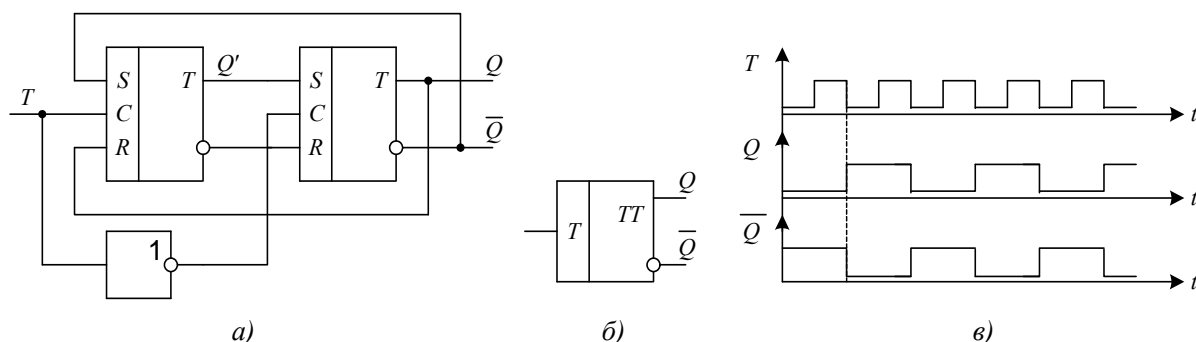


Рис. 2.13. Т-триггер

Использование двухступенчатых триггеров позволяет обеспечить высокую надежность. На схемах двухступенчатые триггеры обозначаются сдвоенной буквой (ТТ).

JK-триггеры являются наиболее универсальными, так как на их основе могут быть построены любые из рассмотренных триггеров.

JK-триггер строится по двухступенчатой схеме (рис. 2.14). Вход J – вход установки, вход K – вход сброса. C – вход синхронизации (тактовый вход). Комбинация двух единиц на входах J и K в отличие от RS -триггеров не является запрещенной. При этих сигналах триггер работает как счетный T -триггер, т.е. меняет свое состояние на обратное по каждому импульсу на входе C . Временная диаграмма работы триггера показана на рис. 2.15.

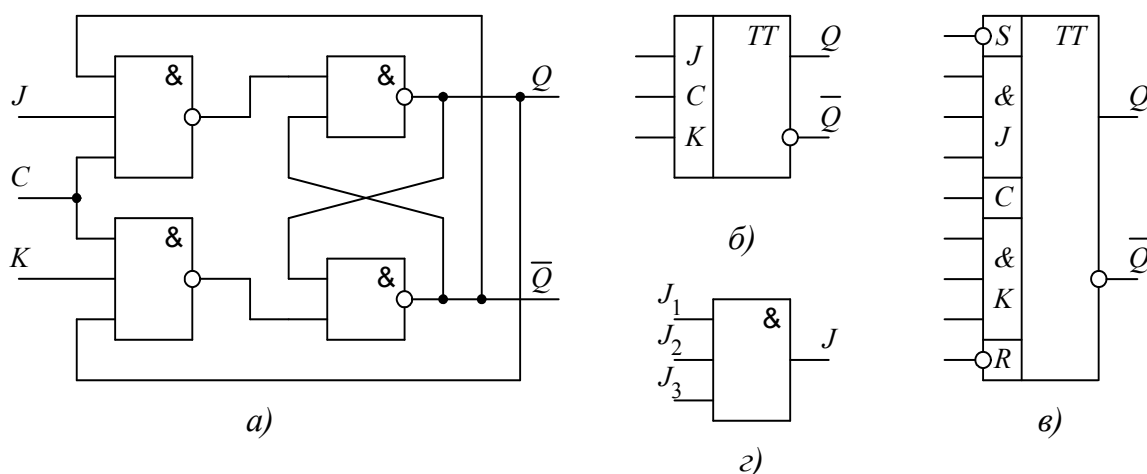


Рис. 2.14. JK-триггер

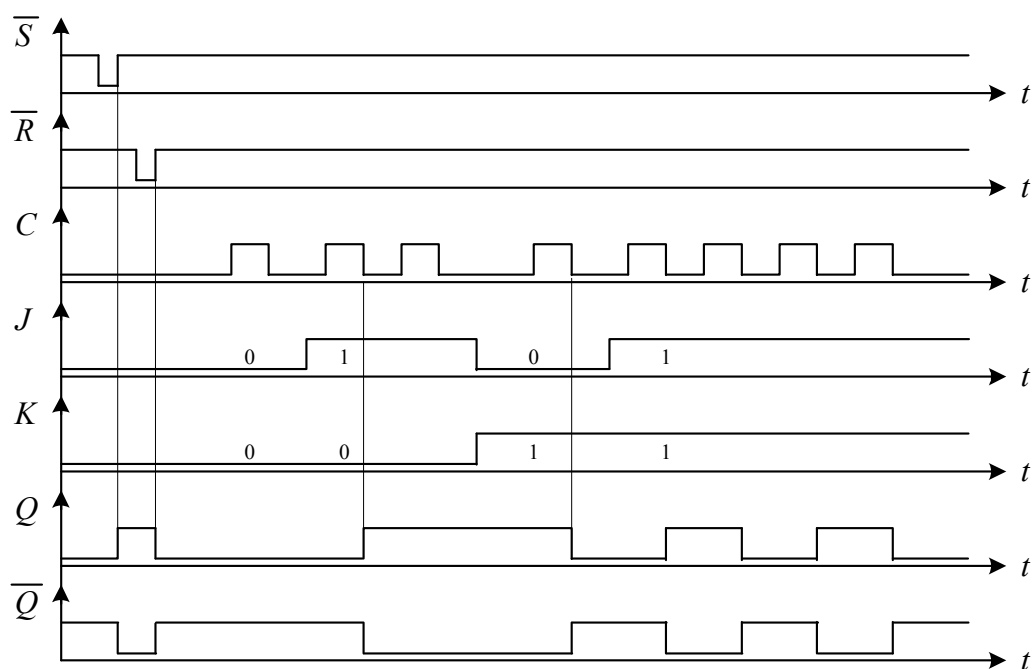


Рис. 2.15. Временная диаграмма работы JK -триггера

JK -триггер также как и любой другой может быть снабжен дополнительными входами асинхронной установки R и S . Например, JK -триггер К555ТВ1 (см. рис. 2.14.в) содержит эти входы, которые являются инверсными. Кроме того, этот триггер имеет по три входа J и K , которые объединены через логический элемент «И» (см. рис. 2.14.г).

Триггеры с динамическим управлением

Все рассмотренные типы триггеров являются триггерами со статическим управлением. Это накладывает определенные требования на вид сигнала синхронизации. Так как активным логическим уровнем на входе синхронизации рассмотренных ранее триггеров является сигнал $C = 1$, то на интервале действия этого сигнала они беспрепятственно воспринимают любое изменение сигналов на своих информационных входах. Поэтому для записи определенной информации сигнал на информационных входах триггера должен оставаться неизменным на всем интервале действия активного логического сигнала на входе синхронизации. На практике такое требование приводит к дополнительным трудностям при проектировании цифровых устройств и их усложнению.

От указанного недостатка свободны триггеры с так называемым динамическим управлением. Суть такого управления заключается в

том, что в качестве активного логического сигнала выступает не сам статический уровень, а его изменение. Другими словами, переключение триггера происходит в течение короткого промежутка времени вблизи фронта или среза импульса синхронизации.

Если триггер реагирует на фронт импульса, т. е. на перепад сигнала от логического 0 к логической 1, то считают, что он снабжен прямым динамическим входом. Если же триггер реагирует на срез импульса, т. е. на перепад сигнала от логической 1 к логическому 0, то считают, что он снабжен инверсным динамическим входом. Обозначение на принципиальных электрических схемах таких входов показано на рис.2.16.

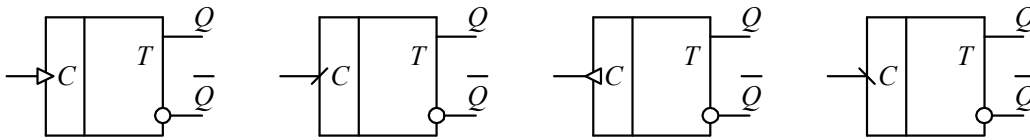


Рис. 2.16. Триггеры с динамическим управлением

Взаимные преобразования триггеров

На рис. 2.17 показаны взаимные преобразования триггеров, позволяющие из одного типа триггера получить другой.

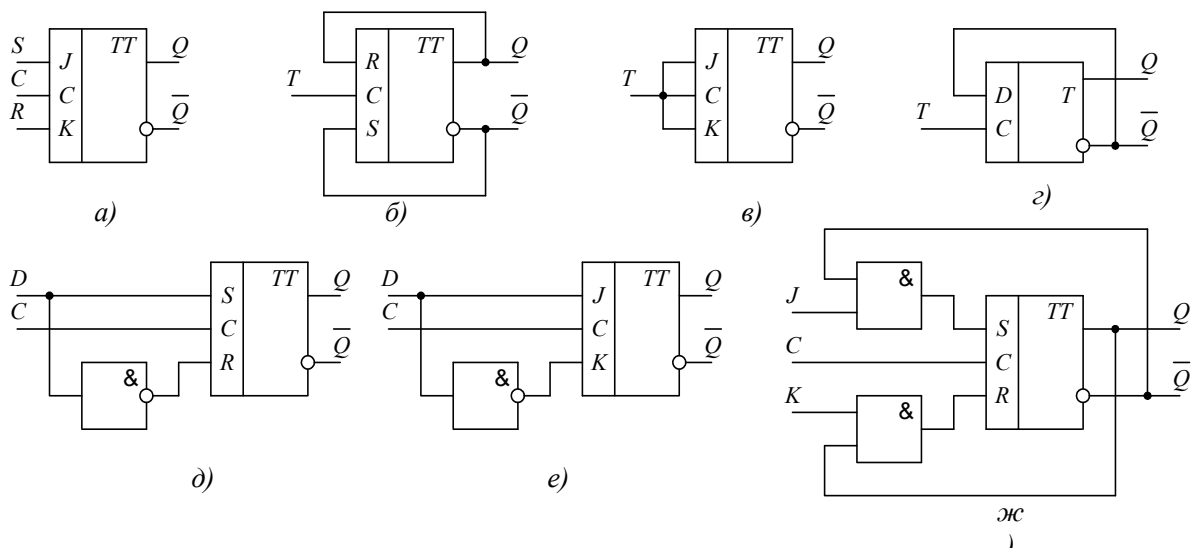


Рис. 2.17. Взаимные преобразования триггеров:
 а – из JK в RS ; б – из RS в T ; в – из JK в T ; г – из D в T ;
 д – из RS в D ; е – из JK в D ; ж – из RS в JK

2.2.2. Регистры

Регистром называется последовательное устройство, предназначенное для записи, хранения и сдвига информации, представленной в виде многоразрядного двоичного кода. Одна из основных характеристик – разрядность регистра – количество одновременно запоминаемых двоичных единиц.

В соответствии с данным определением в общем случае регистр может выполнять следующие микрооперации над кодовыми словами:

- 1) установка в исходное состояние (запись нулевого кода);
- 2) запись входной информации в последовательной форме;
- 3) запись входной информации в параллельной форме;
- 4) хранение информации;
- 5) сдвиг хранимой информации вправо или влево;
- 6) выдача хранимой информации в последовательной форме;
- 7) выдача хранимой информации в параллельной форме.

Любой N -разрядный регистр состоит из N однотипных ячеек, выходной сигнал каждой из которых ассоциируется с весовым коэффициентом соответствующего разряда двоичного кода. Каждая ячейка представляет собой триггер, как элемент памяти. Таким образом регистр состоит из набора разрядных ячеек, (набора элементов памяти) и некоторой комбинационной схемы, преобразующей входные воздействия и состояния триггеров в выходные сигналы регистра.

Регистры могут быть классифицированы по различным признакам. Рассмотрим основные из них.

По способу приема информации регистры подразделяют на:

- параллельные (статические), в которые информация записывается и считывается только в параллельной форме;
- последовательные (сдвигающие), в которые информация записывается и считывается только в последовательной форме;
- последовательно-параллельные, в которые информация записывается или считывается как в параллельной, так и в последовательной формах.

По числу каналов передачи информации регистры подразделяют на:

- парафазные, в которых информация записывается и считывается в прямом (Q) и обратном (\bar{Q}) кодах;

– однофазные, в которых информация записывается и считывается либо в прямом (Q), либо в обратном (\bar{Q}) коде.

По способу тактирования регистры подразделяют на:

– одноктактные, управляемые одной управляющей последовательностью импульсов;

– многотактные, управляемые несколькими управляющими последовательностями импульсов.

Параллельный регистр

Параллельный регистр предназначен для выполнения только 1-й, 3-й, 4-й и 7-й из перечисленных микроопераций над кодовыми словами, т. е. обрабатывает информацию только в параллельной форме. Поэтому образующие его разрядные схемы не связаны между собой.

Простейший параллельный регистр может быть выполнен на RS -триггерах (рис. 2.18). Он содержит N триггеров, входы синхронизации которых объединены между собой. На его входы X_i , \bar{X}_i информация подается в прямом и обратном кодах. Запись информации осуществляется подачей импульса записи на вход C_1 . С выходов Q_i , информация снимается в прямом коде, подачей логической единицы на вход C_2 и обратном – с выходов \bar{Q}_i подачей логической единицы на вход C_3 . Следовательно, согласно приведенной выше классификации, это одноктактный регистр с парафазными входами и парафазными выходами. Запись информации в такой регистр выполняется за один такт синхронизации.

Если для записи в данном регистре используется только прямой или обратный входной код, то запись информации выполнится за два такта синхронизации. По первому такту необходимо сбросить или установить все триггеры регистра (подачей на соответствующие входы активного логического уровня), а по второму – записать в регистр новую информацию.

Если в данной структуре RS -триггеры заменить на D -триггеры (рис. 2.19), получим одноктактный регистр с однофазным входом. Очевидно, что быстродействие такого регистра при использовании однофазного входного сигнала будет в два раза выше, так как для записи информации необходим только один импульс синхронизации.

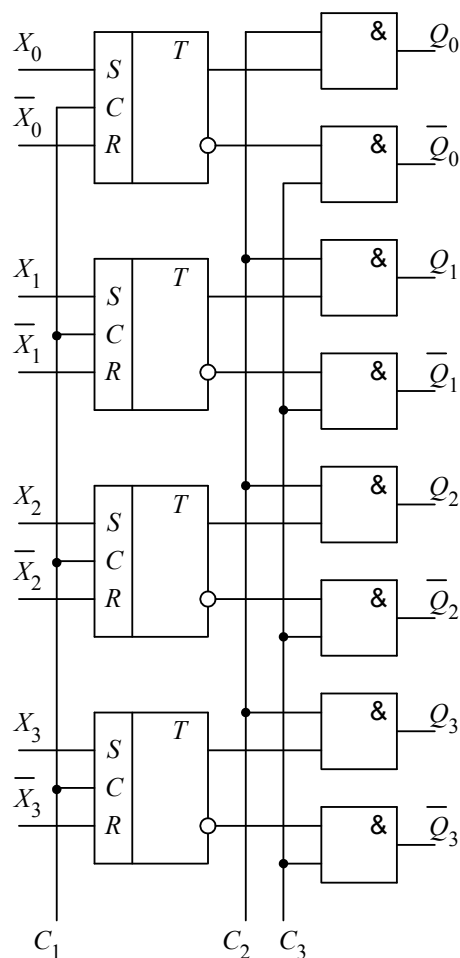


Рис. 2.18. Параллельный регистр на RS-триггерах

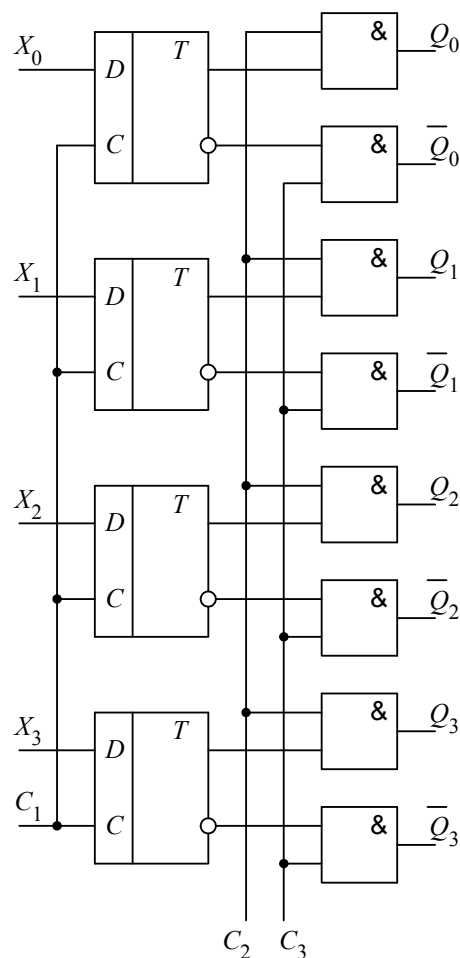


Рис. 2.19. Параллельный регистр на D-триггерах

Выходные элементы регистров, как правило, выполняют с тремя выходными состояниями (0, 1, Z), которые в отличие от обычного логического элемента способны формировать на выходе, кроме сигналов лог. 0 и лог. 1, так называемое высокоимпедансное состояние, при котором выход триггера отключается от вывода Q_i разрядной схемы. Такими выходами обладают регистры К1533ИР22 и К1533ИР23. Это 8-ми разрядные регистры. Регистр ИР22 – регистр-защелка данных. Его условное обозначение приведено на рис. 2.20. Если на входе PE напряжение высокого уровня (лог. 0), то данные от параллельных входов D-

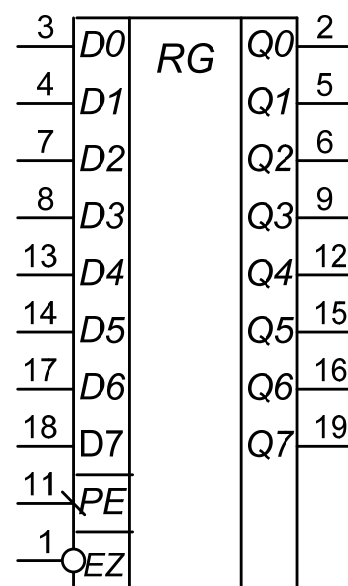


Рис. 2.20. Регистр ИР22

триггеров отображаются на выходах Q . Подачей на вход PE напряжения низкого уровня разрешается запись в триггеры новых данных.

Управляющий вход EZ предназначен для перевода выходов регистра в высокоимпедансное состояние (состояние Z). При $EZ = 1$ выходы триггеров отключены, т.е. находятся в Z состоянии, а при $EZ = 0$ данные появляются на выходе. Данный режим необходим для объединения выходов нескольких регистров.

Регистр ИР23 аналогичен регистру ИР22, но имеет восемь тактируемых триггеров, записи данных в которые осуществляется по импульсу синхронизации, поэтому вход PE заменен на вход C . Вход синхронизации C является инверсным.

Сдвигающий регистр

Параллельный (сдвигающий) регистр является, как правило, универсальным и может выполнять все доступные для регистров микрооперации. Для этого разрядные схемы, входящие в его состав, соединены между собой. Рассмотрим построение такого регистра на примере одноканального сдвигающего регистра с возможностью параллельной выдачи информации (рис. 2.21). Ввод чисел осуществляется в последовательном двоичном коде на вход D . Регистр реализован на D -триггерах.

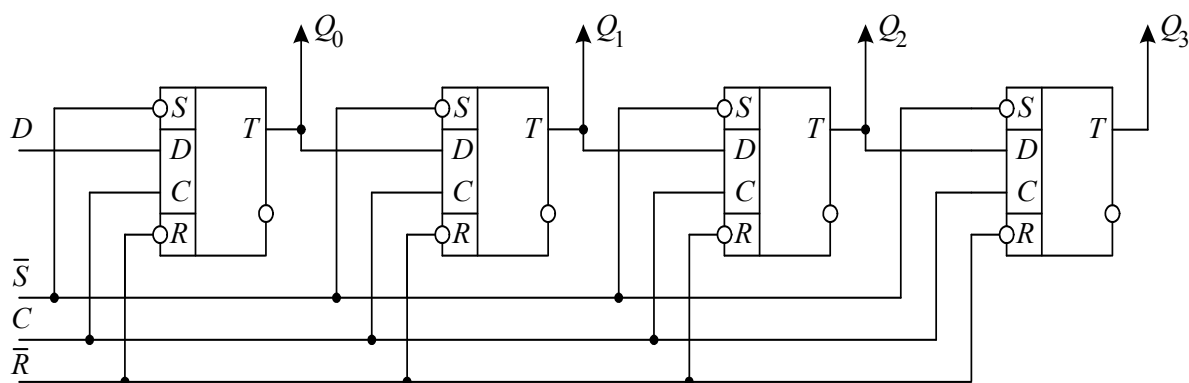


Рис. 2.21. Сдвигающий регистр

C – вход синхронизации. По импульсу на этом входе выполняется запись данных в первый триггер. В свою очередь за этот такт предыдущая информация первого триггера переписывается (сдвигается) во второй, из второго – в третий и т.д. Таким образом осуществ-

ляется сдвиг информации на один разряд. Выходные данные регистра появляются на выходах Q_i .

Асинхронные входы \bar{S} и \bar{R} предназначены для принудительной установки и сброса всех разрядов регистра. На рис. 2.22 показана временная диаграмма работы регистра при записи в него двоичного числа 1100. Запись осуществляется начиная со старшего разряда и выполняется за 4 такта.

На рис. 2.23 показано условное обозначение сдвигающего регистра на примере микросхемы K555ИР8.

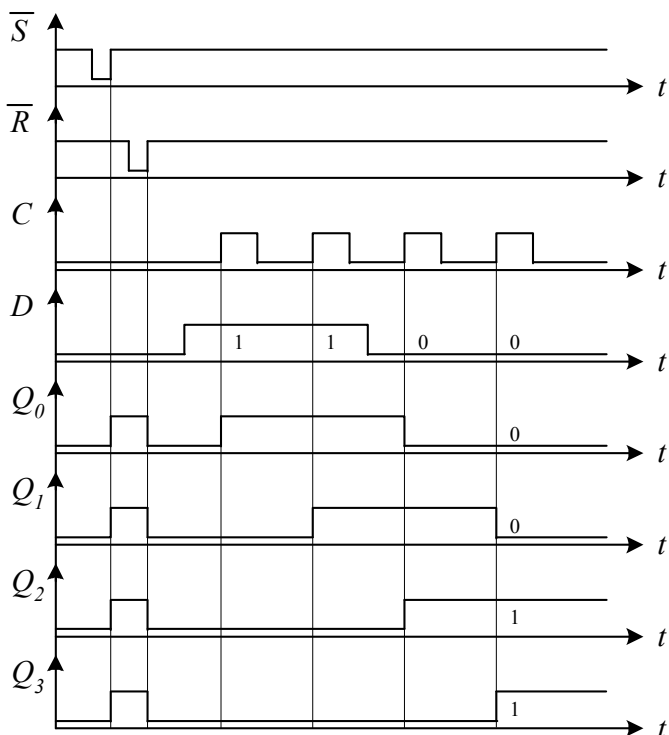


Рис. 2.22. Временная диаграмма работы сдвигающего регистра

2.2.3. Счётчики

Соединив последовательно несколько триггерных схем – делителей частоты на два, получим простейший многоразрядный двоичный делитель. Более общее название для делителей частоты – счетчики.

Счетчиком называется устройство, предназначенное для счета входных импульсов и фиксации их числа в двоичном коде. Счетчики так же, как и сдвиговые регистры, строятся на основе N однотипных связанных между собой разрядных схем, каждая из которых в общем случае состоит из триггера и некоторой комбинационной схемы, предназначенной для формирования сигналов управления триггером.

В цифровых схемах счетчики могут выполнять следующие микрооперации над кодовыми словами:

- 1) установка в исходное состояние (запись нулевого кода);

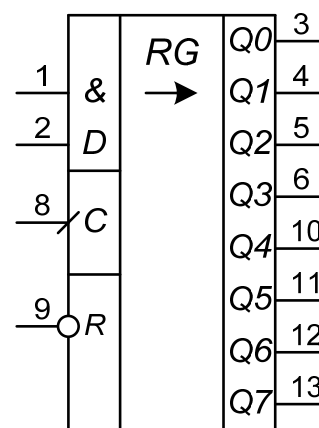


Рис. 2.23. Регистр

- 2) запись входной информации в параллельной форме;
- 3) хранение информации;
- 4) выдача хранимой информации в параллельной форме;
- 5) инкремент – увеличение хранящегося кодового слова на единицу;
- 6) декремент – уменьшение хранящегося кодового слова на единицу.

Основным статическим параметром счетчика является коэффициент деления счетчика или модуль счета M , который характеризует максимальное число импульсов, после прихода которого счетчик устанавливается в исходное состояние.

Основным динамическим параметром, определяющим быстродействие счетчика, является время установления выходного кода t_k , характеризующее временной интервал между моментом подачи входного сигнала и моментом установления нового кода на выходе.

Классификация счетчиков. Счетчики могут классифицироваться по многим параметрам. Рассмотрим основные из них.

1. По значению модуля счета счетчики подразделяют на:

- двоичные, модуль счета которых равен степени числа 2 ($M = 2^n$);
- двоично-кодированные, в которых модуль счета может принимать любое значение, не равное целой степени числа 2.

Эти варианты счетчиков различаются схемой управления триггерами. Между триггерами добавляются логические связи, назначение которых – запретить прохождение в цикле счета лишним импульсам. К примеру, четырехтриггерный счетчик может делить исходную частоту на 16, так как $2^4 = 16$. Получим минимальный выходной двоичный код 0000, а максимальный 1111. Чтобы построить счетчик-делитель на 10, трех триггеров недостаточно ($10 > 2^3$), поэтому десятичный счетчик содержит в своей основе четыре триггера, но имеет обратные связи, останавливающие счет при коде $9_{10} = 1001_2$. Таким образом, удобно выпускать четырехтриггерные счетчики в двух вариантах: двоичном и десятичном. Примеры таких микросхем – пары: ИЕ6 и ИЕ7, ИЕ16 и ИЕ17 серий К555, К1533 и др.

2. По направлению счета счетчики подразделяют на:

- счетчики прямого счета или суммирующие, выполняющие операцию инкремента над хранящимся кодовым словом;
- счетчики обратного счета или вычитающие, выполняющие операцию декремента над хранящимся кодовым словом;

– реверсивные, выполняющие в зависимости от значения управляющего сигнала над хранящимся кодовым словом либо операцию декремента, либо инкремента.

У реверсивных счетчиков организован вход управления счетом *U/D* (*Up/Down* – «Больше/меньше»), с помощью которого можно либо увеличивать, либо уменьшать на единицу содержимое счетчика при каждом очередном тактовом импульсе. У некоторых счетчиков тактовые входы на увеличение и на уменьшение отдельные (входы «+1» и «-1»).

3. По способу организации межразрядных связей счетчики делятся на:

– асинхронные счетчики с последовательным переносом, в которых переключение триггеров осуществляется последовательно один за другим.

В асинхронном режиме предыдущий триггер вырабатывает для последующего тактовые импульсы. Такие счетчики иногда называют счетчиками пульсаций. В счетчике пульсаций каждый триггер вносит в процесс счета определенную задержку, поэтому младшие разряды результирующего кода появляются на выходах триггеров не одновременно, т. е. не синхронно с соответствующим тактовым импульсом. Например, для четырехразрядного счетчика пульсаций выходной параллельный код 1111 появится на выходах триггеров уже после того, как поступит шестнадцатый тактовый импульс, кроме того, эти четыре единицы сформируются не одновременно;

– синхронные счетчики, в которых все триггеры получают тактовый импульс одновременно, поскольку тактовые входы их соединяются параллельно. Поэтому триггеры переключатся практически одновременно.

Синхронная схема значительно сложнее асинхронной. На ее выходах данные от каждого разряда появляются одновременно и строго синхронно с последним входным импульсом. В синхронный счетчик разрешается синхронная (с тактовым импульсом) параллельная (в каждый триггер) загрузка начальных данных. Триггерная линейка синхронного счетчика снабжается специальным шифратором, который называется схемой ускоренного переноса (СУП).

4. По организации сброса данных счетчика, чтобы на всех выходах установился нулевой код. У одних схем асинхронный сброс *R*, у

других – синхронный сброс SR , который происходит одновременно с приходом тактового импульса.

Счетчик прямого счета

В счетчике значения разрядов Q являются выходим сигналами соответствующих триггеров. Для получения счетчика с модулем счета $M = 16$ необходимо как минимум четыре триггера. При этом Q_0 , соответствует младшему разряду двоичного числа и изменяет свое значение с приходом каждого импульса синхронизации; Q_1 – с приходом каждого второго импульса синхронизации; Q_2 – с приходом каждого четвертого импульса, а Q_3 – с приходом каждого восьмого. Данный алгоритм можно легко реализовать используя асинхронные T -триггеры, причем переключение каждого последующего триггера осуществляют выходным сигналом, предыдущего, а переключение первого триггера, формирующего значение Q_0 – непосредственно последовательностью входных импульсов. Временные диаграммы, поясняющие алгоритм работы суммирующего счетчика приведены на рис. 2.24.

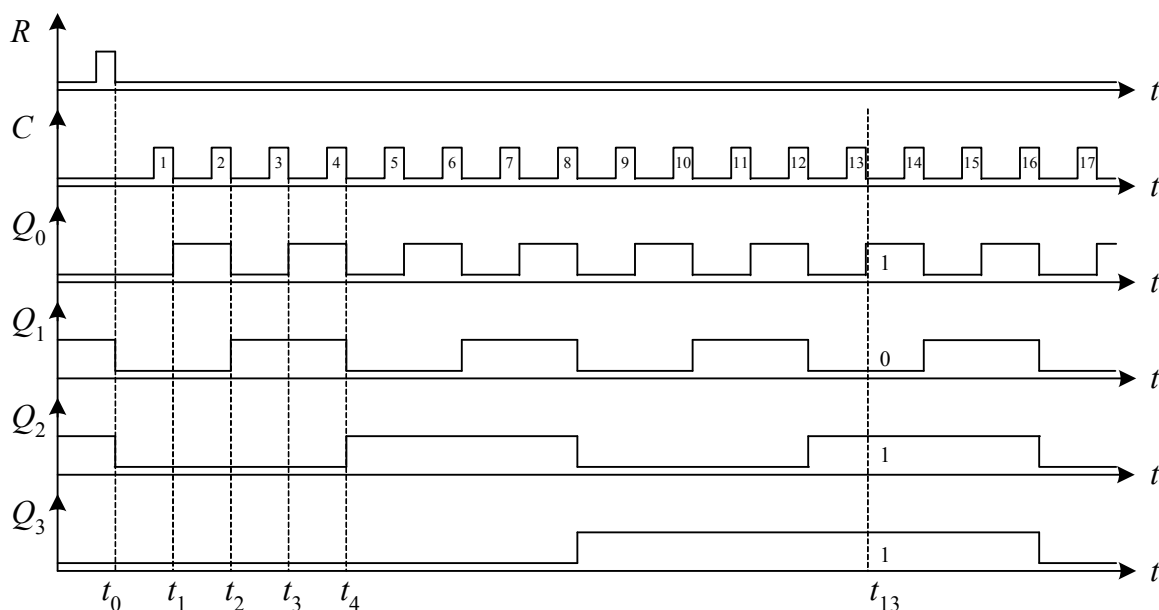


Рис. 2.24. Временные диаграммы суммирующего счетчика

Из временных диаграмм следует, что для организации инкремента, переключение каждого последующего триггера должно происходить в момент изменения выходного сигнала предыдущего триггера из 1 в 0, т. е. по срезу импульса. Для получения суммирующего счетчика используют последовательно включенные двухсту-

пенчатые T -триггеры (рис. 2.25), у которых переключение осуществляется по срезу импульса.

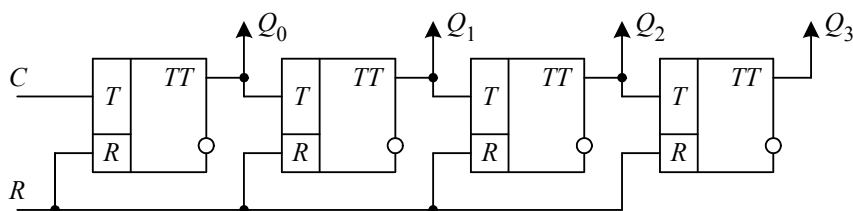


Рис. 2.25. Суммирующий счетчик

Вход сброса R предназначен для установки в нулевое состояние выходов всех триггеров счетчика. На временной диаграмме это момент времени t_0 . На вход C счетчика подаются входные импульсы. С приходом каждого входного импульса первый триггер (его выход Q_0) изменяет своё состояние на противоположное. В свою очередь сигнал с выхода первого триггера поступает на вход второго и т.д. Таким образом, на выходе каждого следующего триггера частота переключения уменьшается в два раза. В соответствии с этим каждый разряд счетчика имеет свой вес, или свое значение. Нулевой разряд Q_0 имеет вес равный $2^0 = 1$, а последний, старший разряд Q_3 имеет вес $2^3 = 8$.

Таким образом, например, после прихода 13-го импульса, что соответствует моменту времени t_{13} , на выходе счетчика установится двоичный код 1011, что соответствует десятичному числу 13.

Модуль счета четырехразрядного счетчика равен $2^4 = 16$ и поэтому после прихода 16-го импульса все триггеры счетчика устанавливаются в нулевое состояние, и счет начинается с нуля.

Счетчик обратного счета

Вычитающий счетчик строится также на двухступенчатых T -триггерах, но входы следующих триггеров подключаются к инверсным выходам предыдущего триггера (рис. 2.26).

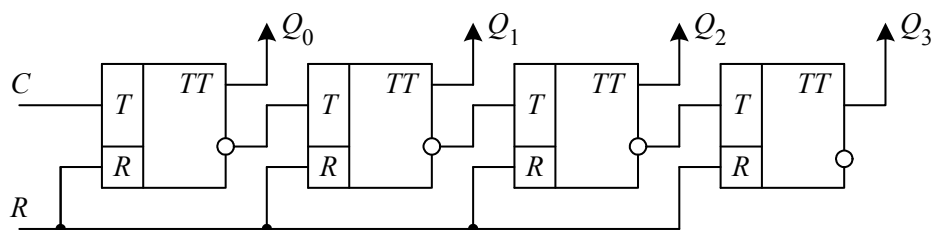


Рис. 2.26. Вычитающий счетчик

Первый импульс на входе устанавливает все триггеры в единицу, и далее с приходом следующих импульсов происходит уменьшение выходного кода до нуля.

Таким образом, направление счета счетчика определяется видом межразрядных связей. Существуют реверсивные счетчики, в которых

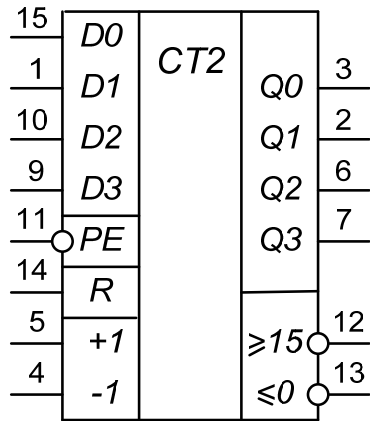


Рис. 2.27. Счетчик K555IE7

можно изменять межразрядные связи с помощью управляющего сигнала и они могут работать как суммирующие, или как вычитающие. Например, введением дополнительного управляющего входа U/D , определяющего направление счета.

Как говорилось выше у некоторых счетчиков входы на увеличение и на уменьшение счета отдельные (входы «+1» и «-1»). Примером такого счетчика является реверсивный счетчик K555IE7 (рис. 2.27). Кроме тактовых входов на увеличение счета «+1» и на уменьшение счета «-1» этот счетчик содержит вход разрешения параллельной загрузки \overline{PE} .

Если на этот вход подать напряжение низкого уровня, то двоичный код, зафиксированный ранее на параллельных входах $D_0...D_3$, загружается в счетчик и появляется на его выходах $Q_0...Q_3$ независимо от сигналов на тактовых входах.

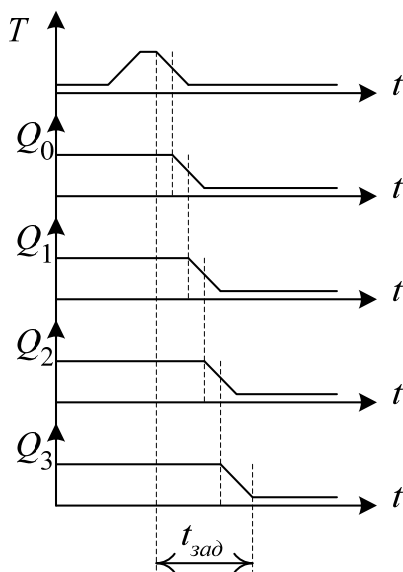


Рис. 2.28. Задержка на переключение счетчика

В этом случае счет будет производиться с числа, записанного в счетчик в параллельном коде. Операция параллельной загрузки у этого счетчика – асинхронная.

Рассмотренные виды счетчиков являются асинхронными. Перенос из разряда в разряд осуществляется последовательно, один за другим и результирующий код появляется на выходах триггеров не одновременно, т.е. не синхронно с соответствующим тактовым импульсом (рис. 2.28). Отсюда основной недостаток асинхронных счетчиков – низкое быстродействие из-за ограниченного времени переключения. Например, для счетчика

К155ИЕ7 время задержки составляет 26нс. Для устранения этого недостатка применяют синхронные счетчики со схемой ускоренного переноса, у которых все триггеры получают тактовый импульс одновременно.

Синхронные счетчики

Синхронные счетчики строятся на основе синхронных триггеров. В схеме счетчика дополнительно формируются сигналы ускоренного переноса, определяющие требуемый порядок переключения триггеров до прихода импульса синхронизации.

В зависимости от реализации схемы ускоренного переноса счетчики подразделяются на счетчики с параллельным переносом, в которых переключение всех триггеров разрядных схем осуществляется одновременно по сигналу синхронизации и счетчики с комбинированным последовательно-параллельным переносом, при котором используются различные комбинации способов переноса.

Схема счетчика с параллельным переносом приведена на рис. 2.29.

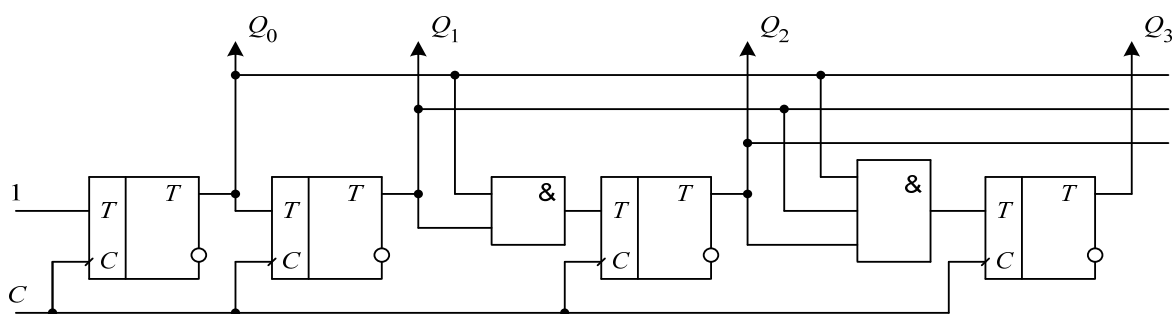


Рис. 2.29. Счетчик с параллельным переносом

В счетчиках с параллельным переносом направление счета не зависит от того, какой (прямой или инверсный) динамический вход имеют триггеры, а определяется тем, какой выход триггера используется для формирования сигнала переноса.

При увеличении числа разрядов счетчика пропорционально увеличивается число входов логических элементов «И», используемых в цепях формирования сигнала переноса. Поэтому при увеличении числа разрядов используют структуры счетчиков с комбинированным переносом. В этом случае разрядная схема счетчика разбивается на группы, внутри которых осуществляется либо последовательный, либо параллельный перенос. Формирование сигнала переноса между группами осуществляется по параллельному принципу.

При организации внутри группы параллельного переноса позволяет получить наибольшее быстродействие счетчика.

Число разрядов в каждой группе может быть произвольным. В частном случае каждая группа может содержать только один разряд, и схема с комбинированным переносом вырождается в схему счетчика со сквозным переносом (рис. 2.30).

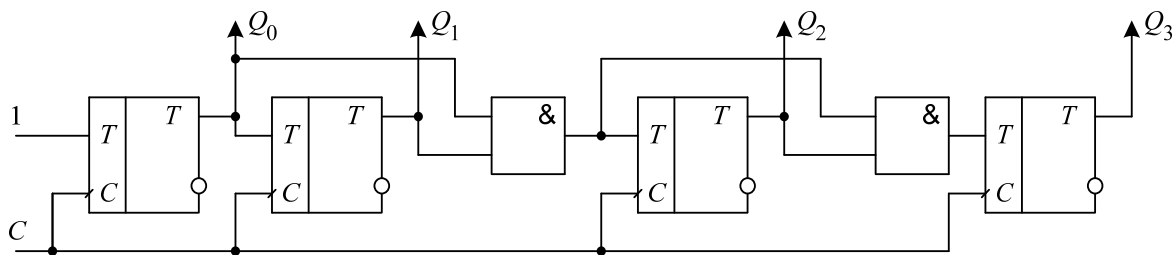


Рис. 2.30. Счетчик со сквозным переносом

Примером четырехразрядного синхронного счетчика является реверсивный двоичный счетчик К555ИЕ17 (рис. 2.31). Счетные импульсы, подсчет которых осуществляет счетчик, подаются на вход C . Переключение выходов счетчика осуществляется одновременно по положительному перепаду на этом входе. Входы \overline{CEP} и \overline{CET}

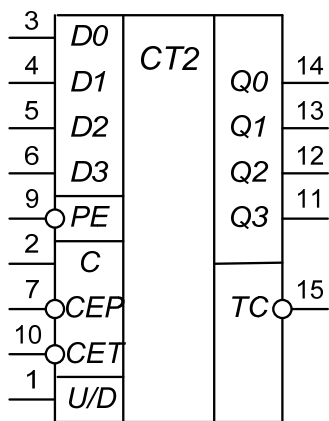


Рис. 2.31. Счетчик К555ИЕ17

предназначены для разрешения параллельного счета при каскадировании (увеличении разрядности) счетчиков. Для переключения направления счета служит вход U/D . На выходе TC формируется сигнал переноса в следующий разряд при прямом счете или сигнал заёма при обратном счете.

Вход \overline{PE} – вход разрешения параллельной загрузки данных по входам $D_0 \dots D_3$. При низком уровне на этом входе счет запрещается. По следующему положительному перепаду на входе C данные записываются в счетчик. Таким образом, параллельная загрузка данных у этого счетчика также синхронная.

Двоично-кодированные счетчики

Все рассмотренные счетчики имеют модуль счета или коэффициент пересчета равный 2^n . На практике часто используются счетчики как делители частоты с коэффициентом отличным от 2^n . Наиболее часто

используются счетчики с модулем счета 10, т.е. двоично-десятичные счетчики. При построении таких счетчиков в основном используется метод управляемого сброса.

При этом методе принудительно формируется сигнал сброса триггеров счетчика при появлении на его выходе кода, совпадающего с требуемым модулем счета.

На рис. 2.32. показана схема преобразования четырехразрядного двоичного счетчика в двоично-десятичный. Для этого на входы дополнительного логического элемента «4И» необходимо подать комбинацию выходных сигналов триггеров, соответствующую коду 1010, т.е. $Q_3\bar{Q}_2Q_1\bar{Q}_0$. В этом случае при появлении на выходе счетчика кода 1010 элемент «4И» сформирует сигнал сброса и на выходе счетчика установится нулевой код. Временные диаграммы на рис. 2.33 поясняют принцип работы двоично-десятичного счетчика.

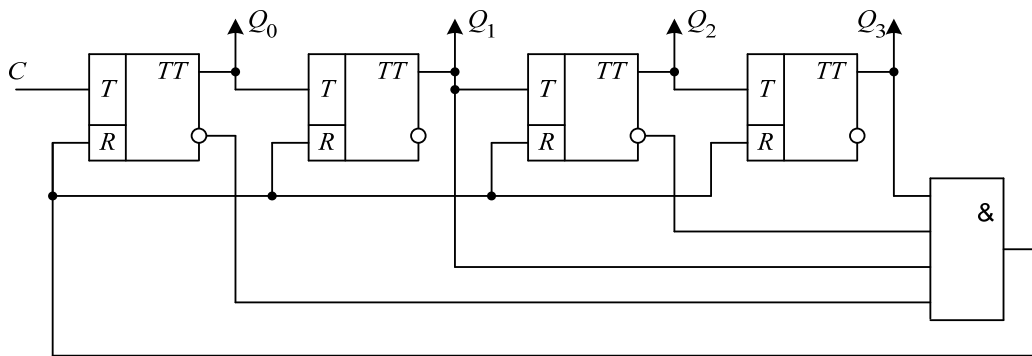


Рис. 2.32. Двоично-десятичный счетчик

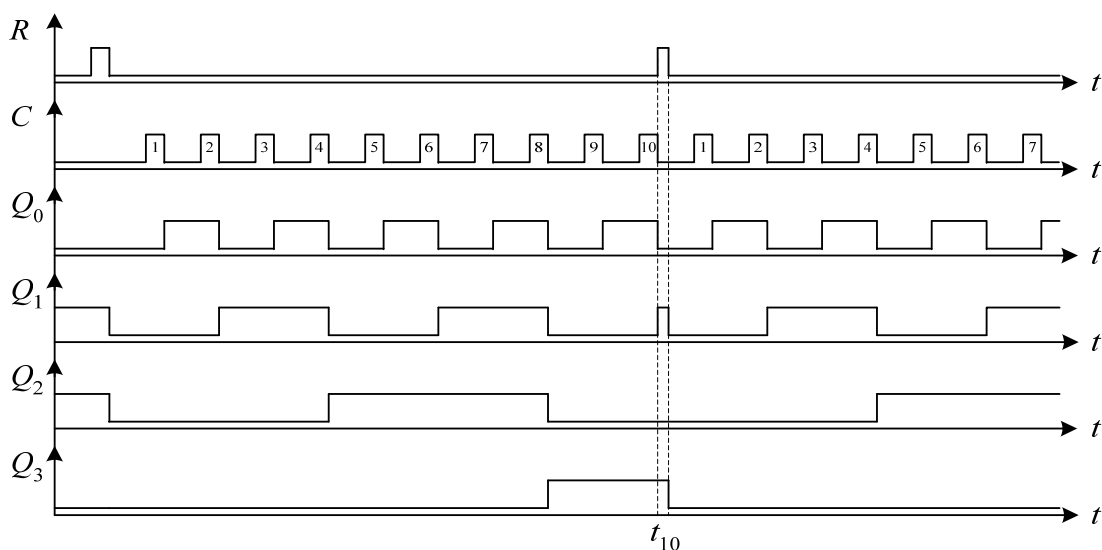


Рис. 2.33. Временные диаграммы двоично-десятичного счетчика

Решение этой задачи можно упростить. Так при проектировании на основе двоичного счетчика двоично-десятичного число входов дополнительного элемента может быть уменьшено до двух, на которые достаточно подать значения Q_3 и Q_1 . Например, из двоичного счетчика К555ИЕ5 можно организовать двоично-десятичный счетчик в соответствии со схемой, приведенной на рис. 2.34.

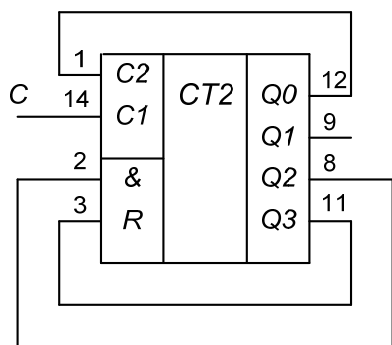


Рис. 2.34. Счетчик К555ИЕ5

Используя метод управляемого сброса на основе двоичных счетчиков можно реализовать любой модуль счета.

Промышленностью выпускается широкая номенклатура двоично-десятичных счетчиков как асинхронных, так и синхронных. Счетчик К555ИЕ2 является двоично-десятичным и по своей структуре аналогичен счетчику ИЕ5. Точно также парой реверсивного асинхронного двоичного счетчика ИЕ7 является двоично-десятичный счетчик ИЕ6, а для синхронного реверсивного двоичного счетчика ИЕ17 выпускается аналогичный двоично-десятичный счетчик ИЕ16.

В обозначении двоично-десятичного счетчика вместо символа $CT2$ ставится символ $CT2/10$.

Кольцевые счетчики

В рассмотренных выше счетчиках их выходной код соответствует числу импульсов, поступивших на вход. В ряде случаев необходимо чтобы каждому входному импульсу соответствовал сигнал на определенном выходе устройства. Одним из способов решения этой задачи является применение

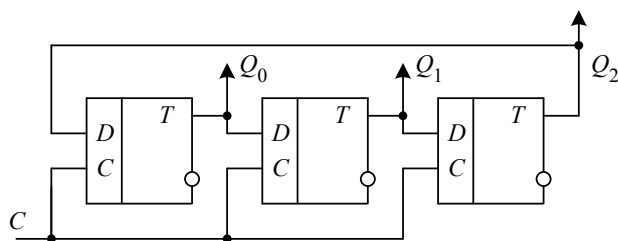


Рис. 2.35. Кольцевой счетчик

кольцевых счетчиков, представляющих собой сдвиговой регистр, выход последнего разряда которого подключается к входу первого разряда (рис. 2.35).

В этом счетчике по импульсу синхронизации логическая единица из первого триггера переписывается во второй, а в первый триггер

из последнего разряда записывается сигнал логического нуля. По следующему импульсу синхронизации логическая единица переписывается из второго триггера в третий, а во второй записывается логический ноль из первого триггера и т.д. Процесс переключения триггеров показан на временной диаграмме рис. 2.36.

Модуль счета такого счетчика равен числу разрядов, в данном случае $M = 3$. Для увеличения модуля счета обычно увеличивают количество триггеров в кольце.

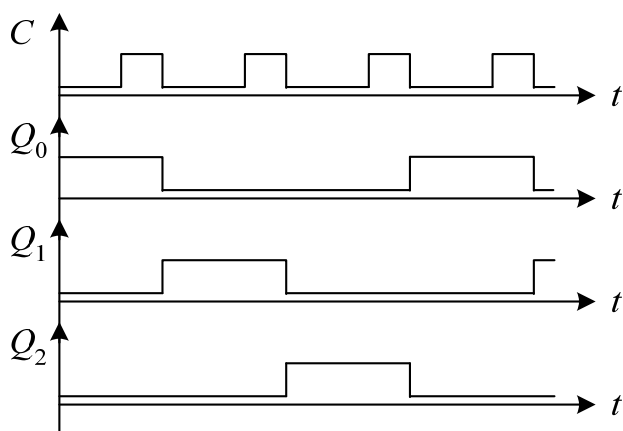


Рис. 2.36. Временные диаграммы работы кольцевого счетчика

2.3. АРИФМЕТИКО-ЛОГИЧЕСКИЕ УСТРОЙСТВА

Арифметико-логическим устройством (АЛУ) называется функционально законченный узел ЭВМ, предназначенный для реализации логических и арифметических операций по обработке информации. Эти операции могут выполняться либо аппаратным способом – с использованием соответствующих электронных устройств, построенных на логических элементах, либо программным способом – с применением последовательного исполнения нескольких операций, выполняемых аппаратным способом. В соответствии со сказанным, АЛУ является одним из основных узлов ЭВМ.

Вне зависимости от того, насколько широк круг операций, реализуемых современными АЛУ, главными среди них остаются операции арифметического сложения и умножения. Важность этих операций подтверждается тем, что при описании характеристик новых машин продолжительность этих операций, как правило, указывается в качестве основных характеристик ЭВМ.

2.3.1. Элементы выполнения арифметических операций

Сумматоры

Сумматором называется комбинационное логическое устройство, предназначенное для выполнения операции арифметического сложения чисел, представленных в двоичном коде.

Сумматоры являются одним из основных узлов арифметико-логического устройства.

Классификация сумматоров

Классификация сумматоров может быть выполнена по различным признакам. Рассмотрим наиболее часто встречающиеся из них.

По числу выводов различают: полусумматоры, одноразрядные сумматоры, многоразрядные сумматоры.

Различают комбинационные сумматоры – устройства, не имеющие собственной памяти, и накапливающие сумматоры, снабженные собственной внутренней памятью, в которой аккумулируются результаты выполненной операции. При этом каждое очередное слагаемое прибавляется к уже имевшемуся в устройстве значению.

По способу тактирования различают синхронные и асинхронные сумматоры. В синхронных сумматорах время выполнения операции арифметического суммирования двух кодов не зависит вида самих кодов и всегда остается постоянным. В асинхронных сумматорах время выполнения операции зависит от вида слагаемых. Поэтому по завершении выполнения суммирования необходимо вырабатывать специальный сигнал завершения операции.

В зависимости от используемой системы счисления различают двоичные, двоично-десятичные и другие типы сумматоров.

Двоичный полусумматор

Полусумматором называется устройство, предназначенное для сложения двух одноразрядных кодов, имеющее два входа и два выхода и формирующее из сигналов входных слагаемых сигналы суммы и переноса в старший разряд.

Таблица 2.3

Таблица истинности полусумматора

x_1	x_2	P	S	СДНФ переноса	СДНФ суммы
0	0	0	0		
0	1	0	1		$\bar{x}_1 \cdot x_2$
1	0	0	1		$x_1 \cdot \bar{x}_2$
1	1	1	0	$x_1 \cdot x_2$	

Логические условия работы полусумматора согласно его определению определим в виде таблицы истинности (табл. 2.3). В таблице обозначено: x_1, x_2 – слагаемые, S – сумма, P – значение переноса в старший разряд.

Логические уравнения для суммы и для значения переноса записываются в виде:

$$S = \bar{x}_1 \cdot x_2 + x_1 \cdot \bar{x}_2;$$

$$P = x_1 \cdot x_2.$$

Выражение для суммы представляет собой логическую функцию сумма по модулю 2 и реализуется на элементе «исключающее ИЛИ» (см. табл.1.2): $S = x_1 \oplus x_2$. Таким образом, структурная схема полусумматора и его условное обозначение показаны на рис. 2.37.

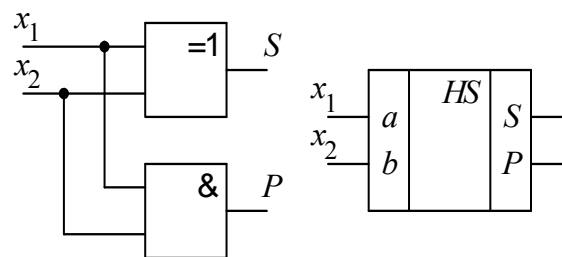


Рис. 2.37. Полусумматор

Одноразрядный сумматор

Одноразрядным сумматором называется устройство, предназначенное для сложения двух одноразрядных кодов, имеющее три входа и два выхода, и формирующее из сигналов входных слагаемых и сигнала переноса из младших разрядов сигналы суммы и переноса в старший разряд.

В таблице 2.4. записаны логические условия работы сумматора в виде таблицы истинности. В таблице обозначено: P_{i-1} – значение переноса из младшего разряда, x_1, x_2 – слагаемые, S – сумма, P – значение переноса в старший разряд.

Логические уравнения для суммы и для значения переноса записываются в виде:

$$P = \bar{P}_{i-1} \cdot x_1 \cdot x_2 + P_{i-1} \cdot \bar{x}_1 \cdot x_2 + P_{i-1} \cdot x_1 \cdot \bar{x}_2 + P_{i-1} \cdot x_1 \cdot x_2;$$

$$S = \bar{P}_{i-1} \cdot \bar{x}_1 \cdot x_2 + \bar{P}_{i-1} \cdot x_1 \cdot \bar{x}_2 + P_{i-1} \cdot \bar{x}_1 \cdot \bar{x}_2 + P_{i-1} \cdot x_1 \cdot x_2.$$

Если выполнить преобразования полученных логических уравнений, используя законы алгебры логики, то получим минимизированные уравнения для значения переноса и суммы:

$$P = x_1 \cdot x_2 + P_{i-1} \cdot x_1 + P_{i-1} \cdot x_2;$$

$$S = x_1 \cdot x_2 + P_{i-1} \cdot (x_1 \oplus x_2).$$

На основе полученных уравнений строится структурная схема сумматора (рис.2.38.а). Там же показано его условное обозначение (б).

Таблица 2.4

Таблица истинности сумматора

P_{i-1}	x_1	x_2	ДЭ суммы чисел	P	S	СДНФ переноса	СДНФ суммы
0	0	0	0	0	0		
0	0	1	1	0	1		$\bar{P}_{i-1} \cdot \bar{x}_1 \cdot x_2$

P_{i-1}	x_1	x_2	ДЭ суммы чисел	P	S	СДНФ переноса	СДНФ суммы
0	1	0	1	0	1		$\bar{P}_{i-1} \cdot x_1 \cdot \bar{x}_2$
0	1	1	2	1	0	$\bar{P}_{i-1} \cdot x_1 \cdot x_2$	
1	0	0	1	0	1		$P_{i-1} \cdot \bar{x}_1 \cdot \bar{x}_2$
1	0	1	2	1	0	$P_{i-1} \cdot \bar{x}_1 \cdot x_2$	
1	1	0	2	1	0	$P_{i-1} \cdot x_1 \cdot \bar{x}_2$	
1	1	1	3	1	1	$P_{i-1} \cdot x_1 \cdot x_2$	$P_{i-1} \cdot x_1 \cdot x_2$

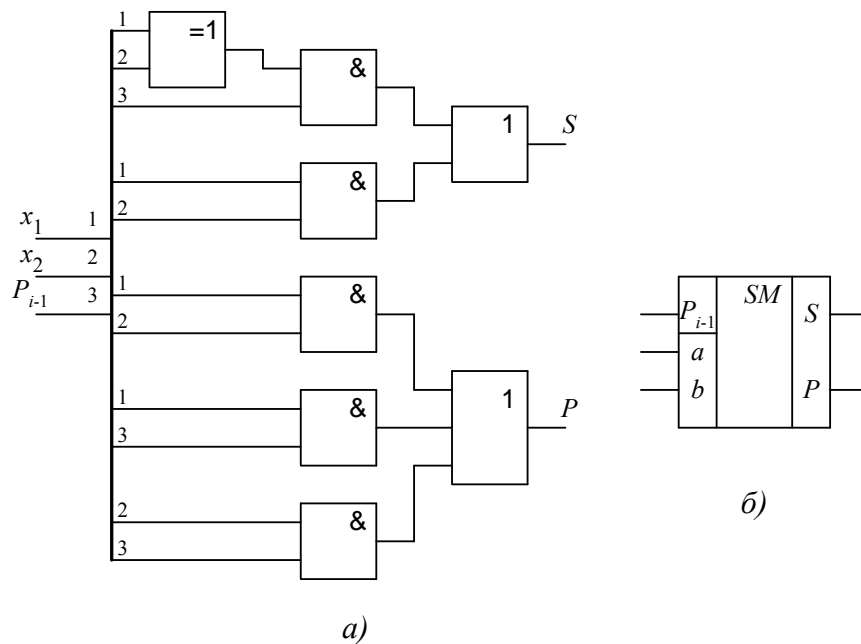


Рис. 2.38. Одноразрядный сумматор

Многоразрядный сумматор

Многоразрядным сумматором называется устройство, предназначенное для сложения двух многоразрядных кодов, формирующее на выходе код суммы и сигнал переноса в случае, если результат сложения не может быть представлен кодом, разрядность которого совпадает с разрядностью кодов слагаемых. В свою очередь, многоразрядные сумматоры подразделяются на последовательные и параллельные. В последовательных сумматорах операция сложения выполняет-

ся последовательно разряд за разрядом, начиная с младшего. В параллельных все разряды входных кодов суммируются одновременно.

Последовательные сумматоры

Операцию сложения многоразрядных чисел можно реализовать с использованием только одного одnorазрядного сумматора (рис. 2.39). Многоразрядные слагаемые A и B записываются в сдвиговые регистры. Для сложения n -разрядных кодов необходимы $(n+1)$ -разрядные регистры. При выполнении операции сдвига данные из регистров через выход разряда Q_n подаются на сумматор. В сумматоре осуществляется сложение одnorазрядных чисел, и сумма с выхода сумматора подается на вход данных третьего сдвигового регистра. Сдвиг данных осуществляется с помощью сигнала синхронизации, который подается на входы синхронизации C всех регистров и триггера. В третьем сдвиговом регистре формируется параллельный код суммы. Сигнал переноса в каждом такте формируется с помощью D -триггера.

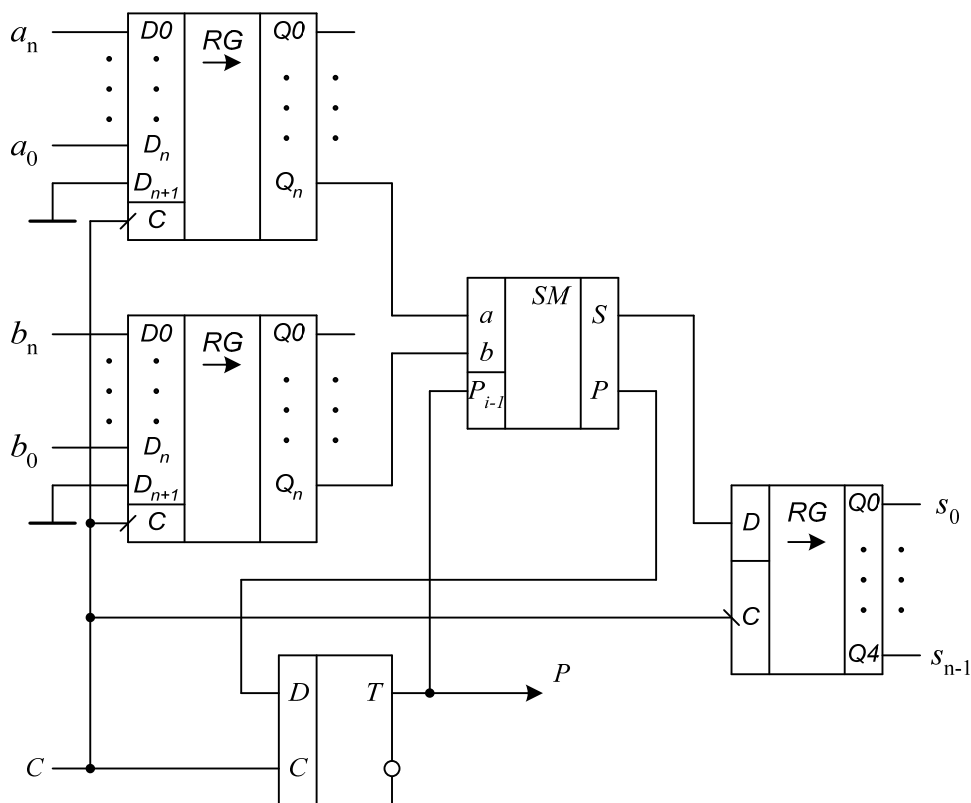


Рис. 2.39. Последовательный сумматор

Таким образом, суммирование многоразрядных чисел осуществляется за число тактов, равное числу разрядов слагаемых.

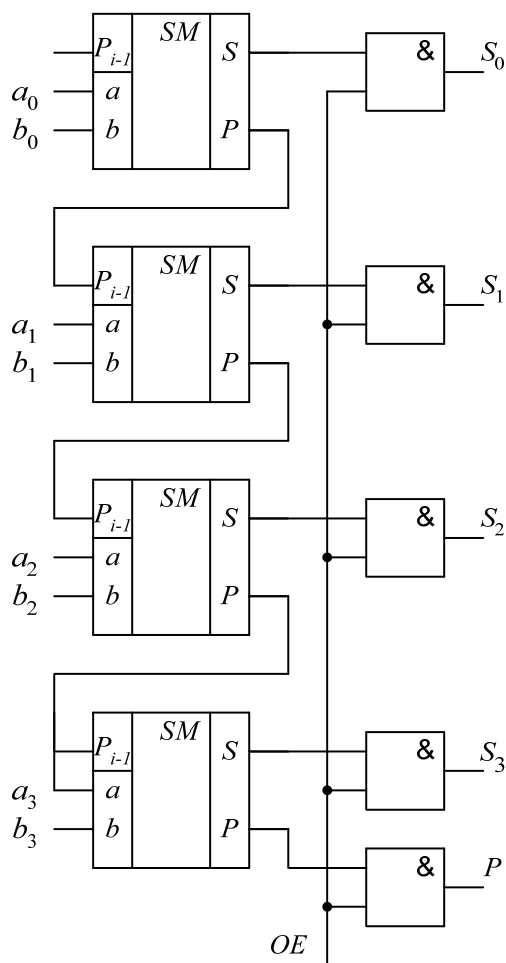


Рис. 2.40. Параллельный сумматор

В каждом разряде используется отдельный сумматор, реальное время выполнения операции суммирования в данной схеме определяется последовательным переносом сигнала P из разряда в разряд. Поэтому результат, который может быть снят с выхода схемы через время, равное времени суммирования в одном разряде, не будет являться реальным значением искомой суммы.

Для получения истинного значения суммы на выходе схемы установлены элементы «И». Сигнал OE на входах этих элементов должен появляться не ранее, чем после последовательной передачи сигнала переноса по всем разрядам сумматоров.

Для повышения быстродействия сумматоров используют параллельные сумматоры с различными схемами ускоренного переноса. К ним относятся сумматоры с параллельным переносом, сумматоры с цепным переносом, сумматоры с групповой структурой и т.д.

Недостатком последовательного сумматора является его низкое быстродействие.

Параллельные сумматоры.

В этих сумматорах имеются отдельные аппаратные средства для выполнения суммирования в каждом разряде. На рис. 2.40 приведена структурная схема четырехразрядного сумматора, выполненная на четырех одноразрядных сумматорах. Разряды кодов слагаемых A (a_3, a_2, a_1, a_0) и B (b_3, b_2, b_1, b_0) вводятся одновременно на соответствующие входы сумматоров. Код суммы S (s_3, s_2, s_1, s_0) подается на входы логических элементов «И», которые используются в качестве выходных ключей. Чтение суммы и переноса осуществляется одновременно по сигналу OE .

Однако, независимо оттого, что для суммирования в каждом

Примером быстродействующего сумматора со схемой ускоренного переноса является четырехразрядный сумматор К555ИМЗ, условное обозначение которого приведено на рис. 2.41.

Схемы контроля четности

Устройство для проверки на четность или нечетность суммы единиц входного слова для контроля достоверности цифрового кода при приеме или передаче данных. Устройство (рис. 2.42) строится на элементах исключающее «ИЛИ-НЕ».

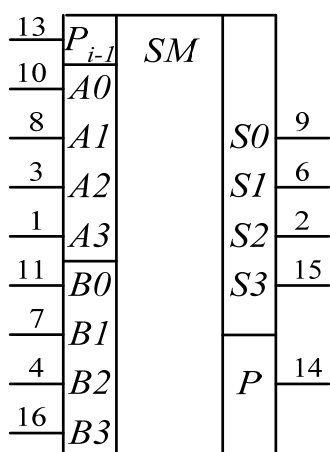


Рис. 2.41. Четырехразрядный сумматор К555ИМЗ

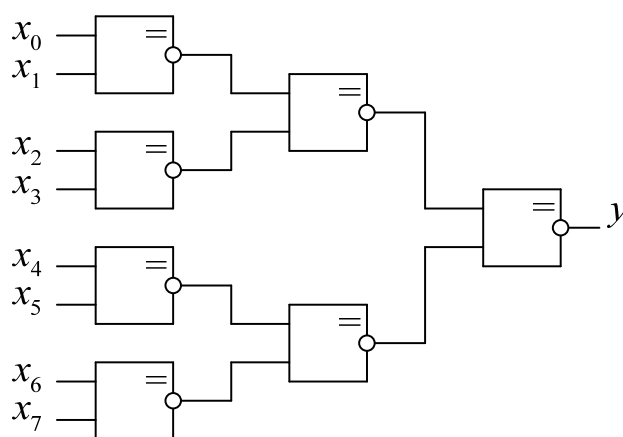


Рис. 2.42. Схема контроля четности

Результат Y на выходе схемы принимает значение 1, если число единиц во входном слове X четное и значение 0, если число единиц нечетное.

Цифровые компараторы

Цифровым компаратором называется комбинационное логическое устройство, предназначенное для сравнения чисел, представленных в двоичном коде. Если сравниваются два числа A и B , то компаратор имеет три выхода: $A < B$, $A = B$, $A > B$.

Функциональная схема одноразрядного цифрового компаратора строится на основе таблицы истинности (табл. 2.5).

Таблица 2.5

Таблица истинности цифрового компаратора

A	B	$A > B$	$A = B$	$A < B$
0	0	0	1	0
0	1	0	0	1
1	0	1	0	0
1	1	0	1	0

Логические уравнения для трех функций $F_1 (A < B)$, $F_2 (A = B)$ и $F_3 (A > B)$ записываются в виде:

$$F_1 = A \wedge \bar{B};$$

$$F_2 = (\bar{A} \wedge \bar{B}) \vee (A \wedge B);$$

$$F_3 = \bar{A} \wedge B.$$

По полученным уравнениям строится структурная схема цифрового компаратора (рис. 2.43.а). Необходимо отметить, что выражение для определения функции F_2 называется операцией «Исключающее ИЛИ-НЕ» или инверсия от суммы по модулю два (см. табл. 1.2).

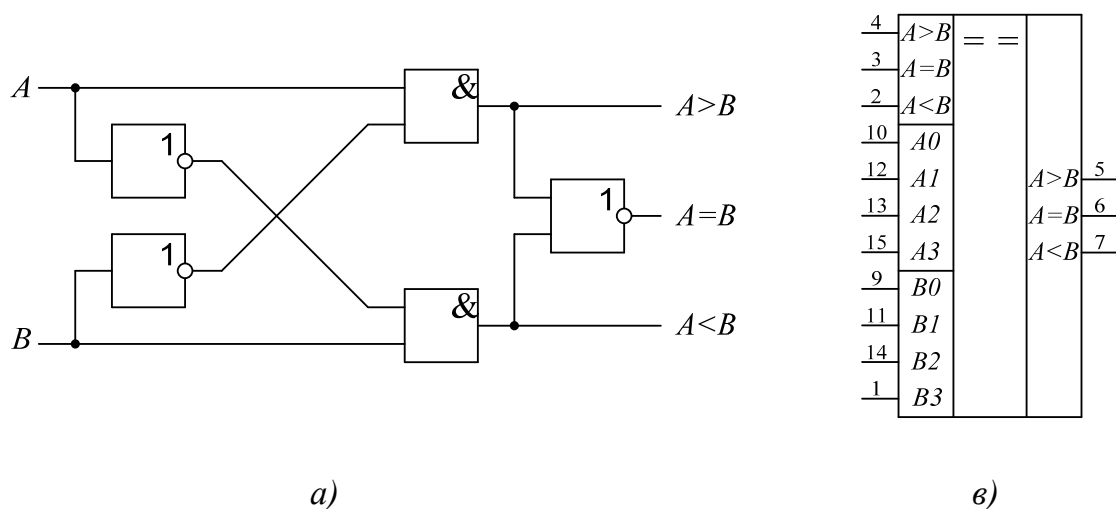


Рис. 2.43. Цифровой компаратор

На практике часто приходится сталкиваться с задачей сравнения многоразрядных двоичных кодов. Промышленностью выпускается четырехразрядный цифровой компаратор К555СП1, условное обозначение которого показано на рис. 2.43.б. Дополнительные входы $A < B$, $A = B$, $A > B$ предназначены для наращивания разрядности компаратора до 8-ми, 12-ти и более разрядов. На эти входы компаратора старших разрядов подаются сигналы с аналогичных выходов компаратора младших разрядов.

Арифметико-логические устройства.

Для выполнения арифметических и логических операций над входными переменными они должны быть введены в АЛУ, поэтому его дополняют вспомогательными устройствами, предназначенными для промежуточного хранения, как исходных данных, так и результа-

тов выполнения той или иной операции. Функции этих устройств возлагают на дополнительные регистры.

Как правило, АЛУ снабжается двумя группами входных и одной группой выходных выводов данных, а также группой выходов, предназначенных для получения вспомогательной информации. Обе группы входных выводов (входных портов) снабжаются буферными регистрами, предназначенными для временного хранения данных. Каждый буферный регистр способен хранить одно слово информации. Разрядность этого слова определяется конкретным типом устройства. Один входной порт АЛУ позволяет принимать данные непосредственно с шины данных, а второй – либо с шины данных, либо из специализированного регистра, называемого аккумулятором. Вход этого регистра соединен с выходным портом. В ряде случаев аккумулятор снабжается вторым входом, подключаемым к шине данных. Поэтому в общем случае в аккумуляторе могут храниться как данные, полученные в результате выполнения предыдущей операции, так и данные, переданные по шине данных. Группа выводов, предназначенных для получения вспомогательной информации о работе АЛУ, подключается к специальному регистру, называемому регистром состояний.

Конкретный перечень операций, реализуемых в АЛУ, может быть достаточно обширным и различен для устройств разных классов.

По своему построению АЛУ относится к разряду комбинационных устройств, так как не содержит собственных элементов памяти. Поэтому значения его выходных сигналов определяются исключительно комбинацией входных сигналов, а время выполнения конкретной элементарной операции зависит от времени задержки распространения сигнала, т.е. определяется свойствами используемой элементной базы.

В качестве примера можно привести комбинационное четырехразрядное АЛУ К155ИПЗ, выполняющее логические и арифметические операции, подробное описание которого приведено в [6].

Это устройство может работать в двух режимах, выполняя либо 16 логических, либо 16 арифметических операций над двумя четырехразрядными словами. Тип выполняемой операции (логическая или арифметическая) определяется уровнем управляющего сигнала на входе *mode control*. Для получения максимального быстродействия при обработке длинных цифровых слов в схеме АЛУ присутствует внутренняя схема ускоренного переноса.

2.4. ЭЛЕМЕНТЫ КОММУТАЦИИ И ПРЕОБРАЗОВАНИЯ ИНФОРМАЦИИ

В цифровой техника применяются различные виды кодирования информации. Так при выполнении операций в ЭВМ обычно применяют несколько разновидностей двоичного кода – прямой, обратный, дополнительный, двоично-десятичный и т.д. В связи с этим всегда стоит задача преобразования информации из одного кода в другой. Эту задачу в цифровой схемотехнике решают комбинационные устройства – преобразователи кода.

Преобразователи кода характеризуются таблицей истинности, в которой отражены зависимости выходного кода от входного. В общем случае число разрядов входного и выходного кодов может не совпадать. На основе таблицы истинности выполняется синтез заданного преобразователя кода.

Частным случаем преобразователей кода являются шифраторы и дешифраторы.

2.4.1. Шифратор

Шифратор – это комбинационная схема преобразования унитарного кода, т.е. сигнала, поданного только на один вход в параллельный двоичный код на выходе. Выходной двоичный код соответствует номеру входа, на который подан входной сигнал. Таким образом, шифратор является преобразователем десятичного кода в двоичный. Если шифратор имеет n выходов, то число входов должно быть на более чем 2^n .

Наиболее простым является диодный шифратор, изображенный на рис. 2.44. В состоянии переключателей, показанном на рисунке, на выходах Q_i шифратора сигналы отсутствуют. При замыкании одного из переключателей сигнал от источника $+U$ через соответствующие диоды пройдет на выход. Например, если замкнут переключатель с номером 5, то сигнал через два диода пройдет на выходы Q_0 и Q_2 и на выходе установится двоичный код 101.

Нетрудно заметить, что если в шифраторе рассматриваемого типа замкнуть переключатель с нулевым номером, то на выходе сигналы не появятся, что соответствует двоичному коду 000, поэтому его

можно не использовать и отсутствие замыкания любого переключателя трактуется схемой как нулевой входной код.

Аналогичными свойствами обладает комбинационный шифратор, реализованный на логических элементах (рис.2.45).

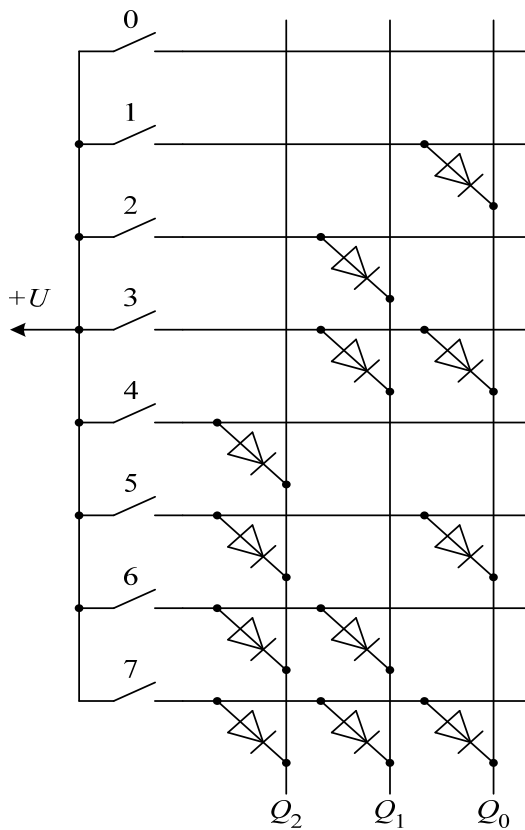


Рис. 2.44. Диодный шифратор

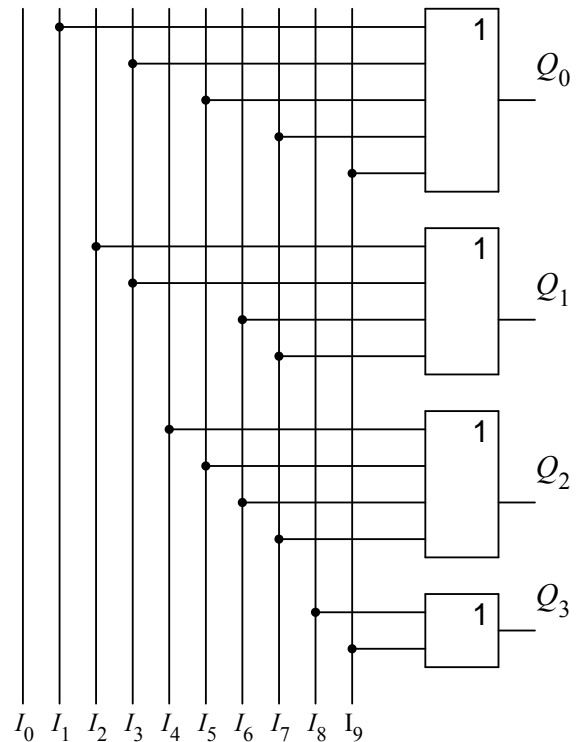


Рис. 2.45. Комбинационный шифратор

В рассмотренном диодном шифраторе число входов $m = 8$, а число выходов $n = 3$. Здесь выполняется соотношение $m = 2^n$, и такой шифратор называется полным. Для шифратора, приведенного на рис.2.45, $m < 2^n$ ($m = 10$, $n = 4$). Такой шифратор называется неполным.

Чтобы шифратор откликнулся на входной сигнал только одного входа, его схему делают приоритетной. Тогда выходной код должен соответствовать номеру «старшего» входа, получившего сигнал. Предположим, активные уровни поступили на входы 3, 4 и 9. Старший по номеру вход здесь 9, он обладает приоритетом, поэтому выходной код шифратора 1001.

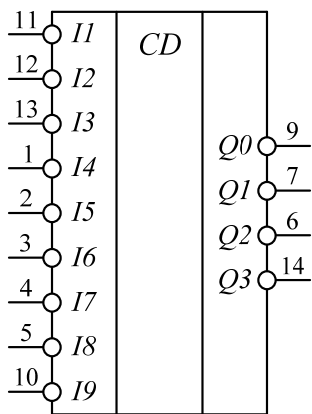


Рис. 2.46. Шифратор К555ИВ3

Примером шифратора является микросхема К555ИВ3, условное обозначение которого показано на рис. 2.46. Это приоритетный неполный двоично-десятичный шифратор, имеющий 9 входов и 4 выхода. Входные и выходные сигналы – инверсные. Когда на один из девяти входов $I_1 \dots I_9$ подано напряжение низкого уровня, на выходах $Q_0 \dots Q_3$ появляется соответствующий двоичный код (активные уровни – низкие). Входа для нуля нет; нуль кодируется на выходе, если на все девять входов поступили только напряжения высокого уровня.

2.4.2. Дешифратор

Дешифратор – комбинационная схема преобразования двоичного кода на входе в сигнал только на одном выходе, номер которого соответствует входному двоичному коду. Например, входной код 1001 должен сделать активным выход с номером 9. На всех остальных выходах дешифратора сигналы должны быть нулевыми. Таким образом, дешифратор выполняет операцию обратную шифратору. Также различают

Таблица 2.6

Таблица истинности дешифратора

A_1	A_0	E	Y_0	Y_1	Y_2	Y_3
*	*	0	0	0	0	0
0	0	1	1	0	0	0
0	1	1	0	1	0	0
1	0	1	0	0	1	0
1	1	1	0	0	0	1

полные и неполные дешифраторы.

Рассмотрим синтез полного дешифратора, имеющего два входа. Соответственно число выходов равно 2^n , то есть 4. Составим таблицу истинности дешифратора, согласно его определению (табл. 2.6). В таблице введена дополнительная входная пере-

менная E , о назначении которой будет сказано ниже.

Запишем логические уравнения для выходных переменных Y :

$$Y_0 = \overline{A_0} \wedge \overline{A_1};$$

$$\begin{aligned}
 Y_1 &= A_0 \wedge \overline{A_1}; \\
 Y_2 &= \overline{A_0} \wedge A_1; \\
 Y_3 &= A_0 \wedge A_1.
 \end{aligned}
 \tag{2.1}$$

Как видно из таблицы при любом значении входных переменных A логическая единица всегда присутствует на одном из выходов. Для того чтобы запретить появление единицы на выходе, введен дополнительный вход E – разрешение выхода. Если на этом входе присутствует логический ноль, то независимо от значений входных переменных A на всех выходах присутствует сигнал логического нуля. Этот вход имеет назначение, аналогичное входу EZ регистра (см. рис. 2.20).

Структурная схема и условное обозначение дешифратора показано на рис. 2.47 (а) и (б).

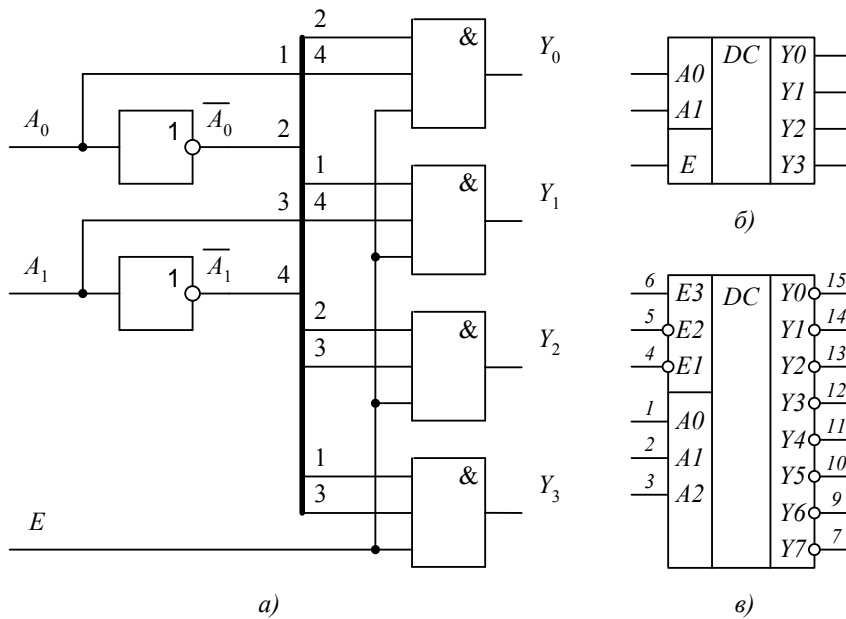


Рис. 2.47. Дешифратор

Микросхема К555ИД7 (рис. 2.47.в) – дешифратор, позволяющий преобразовать трехразрядный двоичный код, поступивший на входы $A_0 \dots A_2$ в напряжение низкого логического уровня, появляющееся на одном из восьми выходов $Y_0 \dots Y_7$. Дешифратор имеет три входа разрешения дешифрации $E_0 \dots E_2$.

Существует несколько логических структур дешифраторов. Их основное отличие в быстродействии. Наиболее быстродействующим

является дешифратор, непосредственно реализующий систему уравнений (2.1). Такой дешифратор называется одноступенчатым или параллельным. Его структурная схема имеет вид, показанный на рис. 2.47.а. Основным недостатком такого дешифратора – это значительное увеличение числа логических элементов при увеличении его разрядности.

Существуют также дешифраторы пирамидальной структуры и многоступенчатые дешифраторы. Эти дешифраторы по числу необходимых логических элементов проще одноступенчатых, но и обладают меньшим быстродействием. Их преимущества проявляются при значительном увеличении разрядности, и нашло применение при построении микросхем памяти.

2.4.3. Преобразователи кода

Как говорилось выше, шифраторы и дешифраторы являются частным случаем преобразователей кода. В общем случае преобразователи кода это устройства преобразования информации из одного кода в другой. Различают комбинационные и накапливающие преобразователи кодов.

Комбинационные преобразователи кодов

Одним из наиболее часто используемых преобразователей является преобразователь двоичного кода в код управления семисегментным индикатором.

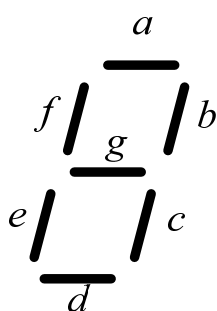


Рис. 2.48. Семисегментный индикатор

Сам индикатор представляет собой полупроводниковый прибор, в котором имеется семь сегментов, выполненных из светодиодов (рис. 2.48). Включением и выключением отдельных сегментов можно получить изображение отдельных цифр или знаков.

Проектирование преобразователя кода для такого индикатора начинается с составления таблицы истинности (табл. 2.7). Каждой цифре соответствует свой набор включения определенных сегментов индикатора. В таблице также приведены двоичные коды соответствующих цифр. Для каждой функции $a...g$ записываются логические уравнения.

Например, для функции a :

$$a = (\bar{X}_3 \wedge \bar{X}_2 \wedge \bar{X}_1 \wedge \bar{X}_0) \vee (\bar{X}_3 \wedge \bar{X}_2 \wedge X_1 \wedge \bar{X}_0) \vee (\bar{X}_3 \wedge \bar{X}_2 \wedge X_1 \wedge X_0) \vee (\bar{X}_3 \wedge X_2 \wedge \bar{X}_1 \wedge X_0) \vee (\bar{X}_3 \wedge X_2 \wedge X_1 \wedge \bar{X}_0) \vee (\bar{X}_3 \wedge X_2 \wedge X_1 \wedge X_0) \vee (X_3 \wedge \bar{X}_2 \wedge \bar{X}_1 \wedge \bar{X}_0) \vee (X_3 \wedge \bar{X}_2 \wedge \bar{X}_1 \wedge X_0).$$

Таблица 2.7

Таблица соответствия кодов семисегментного индикатора

Цифра	Входной код				Сегменты индикатора						
	X_3	X_2	X_1	X_0	a	b	c	d	e	f	g
0	0	0	0	0	1	1	1	1	1	1	0
1	0	0	0	1	0	1	1	0	0	0	0
2	0	0	1	0	1	1	0	1	1	0	1
3	0	0	1	1	1	1	1	1	0	0	1
4	0	1	0	0	0	1	1	0	0	1	1
5	0	1	0	1	1	0	1	1	0	1	1
6	0	1	1	0	1	0	1	1	1	1	1
7	0	1	1	1	1	1	1	0	0	0	0
8	1	0	0	0	1	1	1	1	1	1	1
9	1	0	0	1	1	1	1	1	0	1	1

Аналогично записываются уравнения для других функций. По полученным уравнениям составляются комбинационные схемы для каждой функции, которые затем объединяются в общую схему.

Выходной каскад преобразователя для различных типов индикаторов может проектироваться по разным схемам: с открытым коллектором, повышенной нагрузочной способности и т.д.

Условное обозначение преобразователя кода для семисегментного индикатора К133ПП4 приведено на рис. 2.49. Вход Г предназначен для гашения всех сегментов, при любом входном двоичном коде.

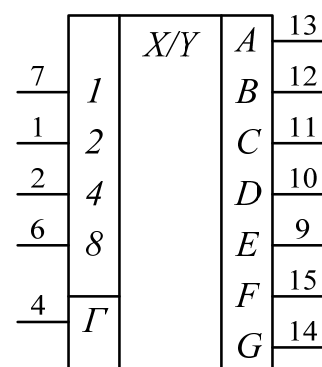


Рис. 2.49. К133ПП4

Необходимо сделать следующее замечание. Каждый входной разряд преобразователя имеет свой двоичный вес, или свое значение. Нулевой разряд X_0 имеет вес равный $2^0 = 1$, разряд X_1 имеет вес $2^1 = 2$, а последний, старший разряд X_3 имеет вес $2^3 = 8$. Поэтому в обозначении преобразователей кода, у которых входные или выходные сигналы представлены в

двоичном коде, допускается вместо обозначений X_0, X_1, X_2, X_3 ставить обозначения 8, 4, 2, 1. Это также относится к шифраторам, дешифраторам, а также к двоичным счетчикам, у которых вместо Q_0, Q_1, Q_2, Q_3 также можно ставить эти обозначения (см. рис. 2.27).

Накапливающий преобразователь кода

Рассмотренные преобразователи для семисегментных индикаторов предназначены для отображения одной десятичной цифры. Рассмотрим пример отображения числа на семисегментных индикаторах, когда число представлено 12-ти разрядным двоичным кодом.

Максимальное десятичное число, которое может быть представлено этим кодом равно $2^{12} = 4096$. Таким образом, диапазон отображаемых чисел лежит в диапазоне от 0 до 4095. Для этого необходимо 4 индикатора и 4 преобразователя кода для семисегментных индикаторов. Но на входы этих преобразователей необходимо подавать двоичные коды цифр, обозначающих единицы, десятки, сотни и тысячи исходного двоичного числа. Для этой цели необходимо спроектировать специальный преобразователь двоичного 12-ти разрядного кода в двоично-десятичный. Функциональная схема устройства представлена на рис. 2.50.

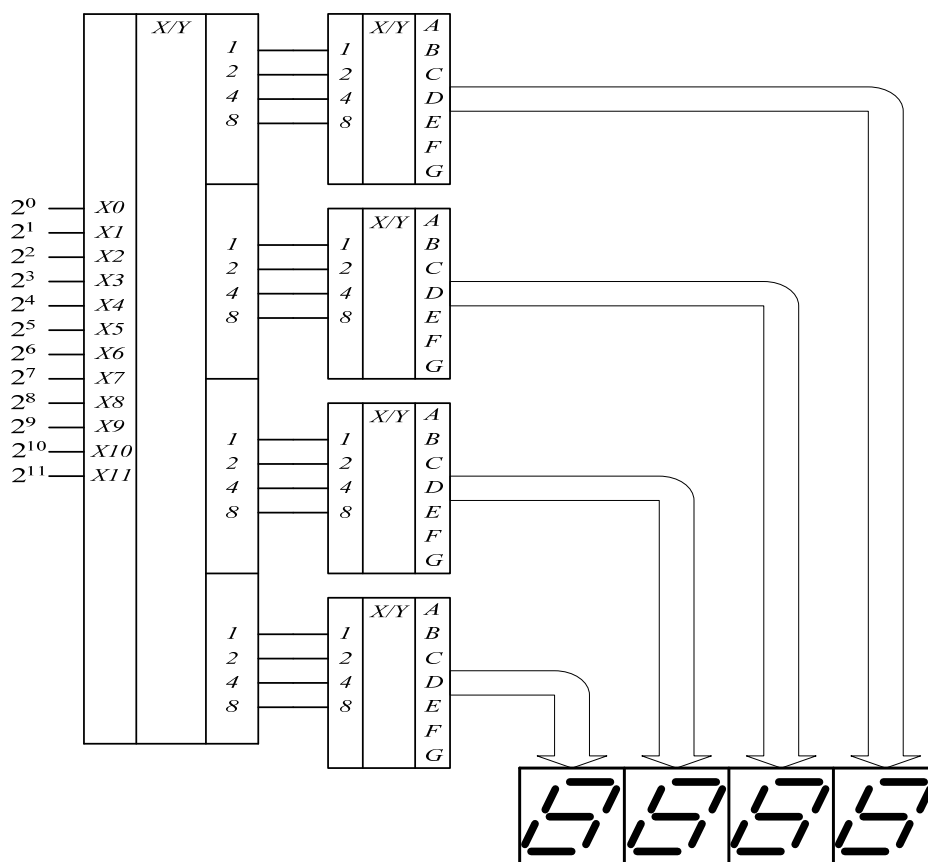


Рис. 2.50. Устройство отображения четырехзначкового числа

Реализовать комбинационный преобразователь двоичного 12-ти разрядного кода в двоично-десятичный можно только теоретически, т.к. получается очень громоздкая схема. Поэтому для его построения можно использовать двоично-десятичные счетчики. На рис.2.51 изображен такой преобразователь.

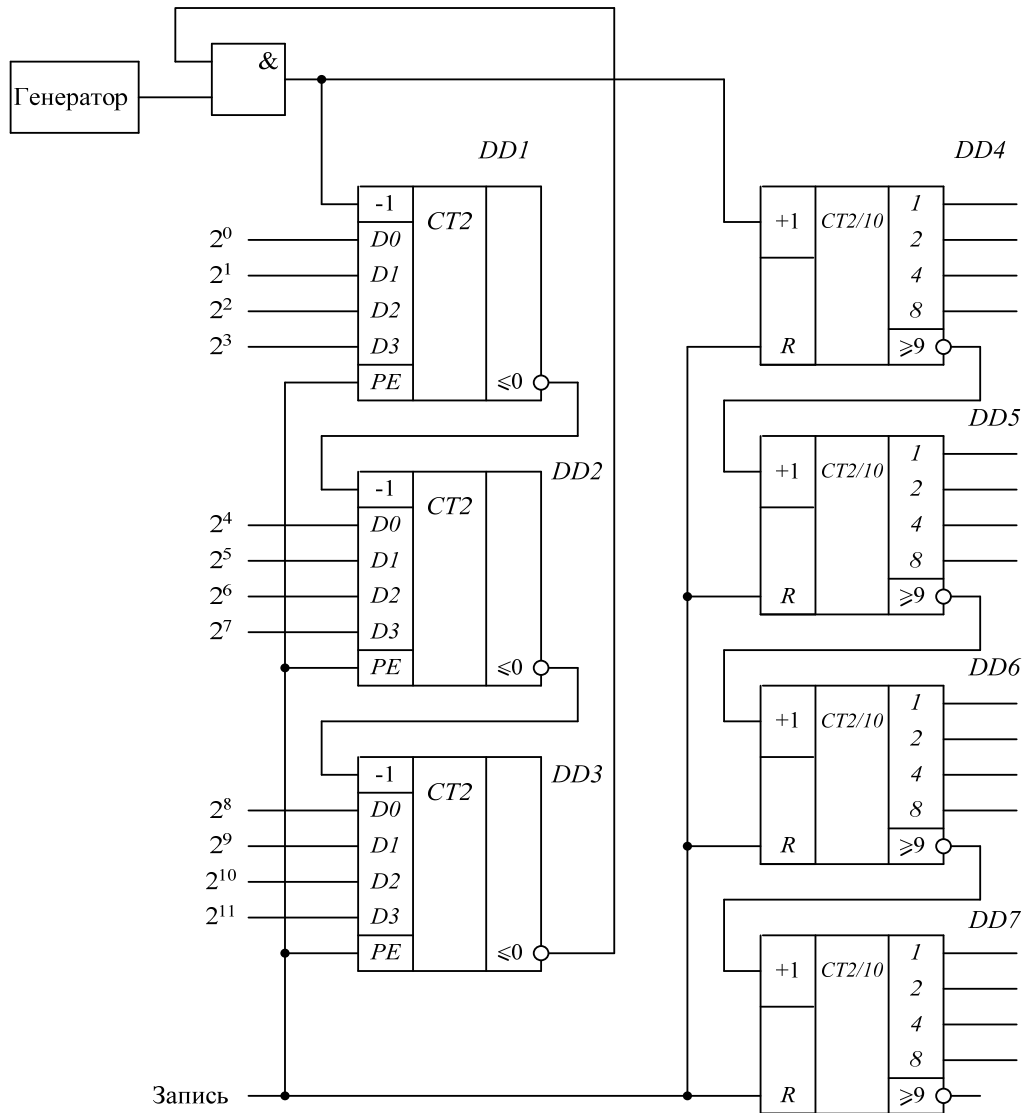


Рис. 2.51. Преобразователь двоичного кода в двоично-десятичный

Для реализации 12-ти разрядного двоичного счетчика используется три 4-х разрядных счетчика $DD1$, $DD2$ и $DD3$. Двоичный 12-ти разрядный код подается на входы $2^0 \dots 2^{11}$ и сигналом «Запись» записывается в двоичный счетчик. Одновременно этим же сигналом обнуляются двоично-десятичные счетчики $DD4 \dots DD7$. Запускается генератор, выходные импульсы которого через элемент «И» поступают на

вход «-1» двоичного счетчика и на вход «+1» двоично-десятичного. Как только двоичный счетчик досчитает до нуля на его выходе « ≤ 0 », подключенному ко второму входу элемента «И», появляется логический ноль. Элемент «И» закрывается и запрещает дальнейшее прохождение импульсов с генератора.

К этому моменту двоично-десятичный счетчик, работающий в режиме прямого счета, накопит на своих выходах эквивалентное число, представленное в двоично-десятичном коде.

Далее эти выходы можно подключать к преобразователям кода для семисегментного индикатора.

2.4.4. Мультиплексоры и демультиплексоры

Мультиплексор – комбинационная схема, обеспечивающая передачу двоичных данных с одного из нескольких входов на единственный выход. Номер входа определяется управляющим двоичным кодом.

Функциональная схема мультиплексора и его условное обозначение приведены на рис.2.52.

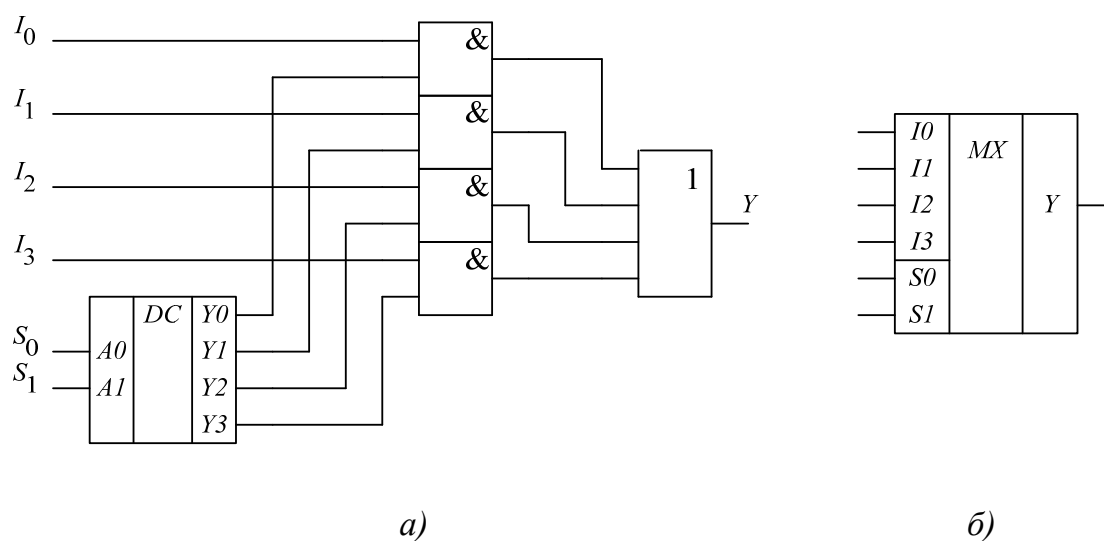


Рис. 2.52. Мультиплексор

Входные двоичные данные, например информация с различных устройств, подаются на входы $I_0 \dots I_3$. В зависимости от состояния входов S_0 и S_1 дешифратора будет открыт только один элемент «И», и соответственно только один входной сигнал пройдет на выход Y мультиплексора.

Логическое уравнение работы мультиплексора записывается в виде

$$Y = I_0 \cdot \overline{S_0} \cdot \overline{S_1} + I_1 \cdot S_0 \cdot \overline{S_1} + I_2 \cdot \overline{S_0} \cdot S_1 + I_3 \cdot S_0 \cdot S_1.$$

Мультиплексоры можно назвать цифровыми многопозиционными переключателями, или коммутаторами. У мультиплексора может быть, например, 16 входов и один выход. Это означает, что, если к этим 16 входам присоединены 16 источников цифровых сигналов – генераторов последовательных цифровых слов, то информацию от любого из генераторов можно передавать в единственный выход. Для этого нужный нам вход требуется выбрать, подав на четыре входа селекции (т. е. выбора номера канала) двоичный код адреса. Так, для передачи на выход данных от канала номер 9 следует установить код адреса 1001. Мультиплексоры способны выбирать или селектировать определенный канал. Поэтому их иногда называют селекторами. Используются и двойное название: селекторы-мультиплексоры.

Выпускаются мультиплексоры на 2, 4, 8 и 16 входов. Выходов всегда один. Иногда он дублируется своим инверсным значением (Y и \overline{Y}). Также выпускаются сдвоенные и счетверенные мультиплексоры.

Например на рис. 2.53. показан мультиплексор К555КП12. Это сдвоенный мультиплексор, каждый из каналов которого имеет четыре входа. Селектор адреса (входы S_0 и S_1) общий для обоих каналов. Входы EO – входы разрешения. Если на одном из входов присутствует высокий уровень, то соответствующий канал закрыт для передачи данных.

Демультимплексор – комбинационная схема, обеспечивающая распределение входных двоичных данных с одного входа на несколько выходов. Номер выхода определяется управляющим двоичным кодом.

Функциональная схема демультимплексора и его условное обозначение приведены на рис.2.54.

Входные двоичные данные подаются на вход I . В зависимости от состояния входов S_0 и S_1 дешифратора будет открыт только один элемент «И», и входной сигнал пройдет на соответствующий выход Y_i демультимплексора.

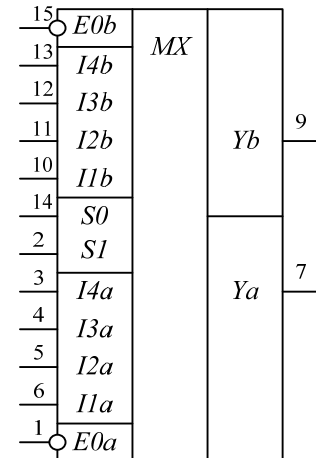


Рис. 2.53. К555КП12

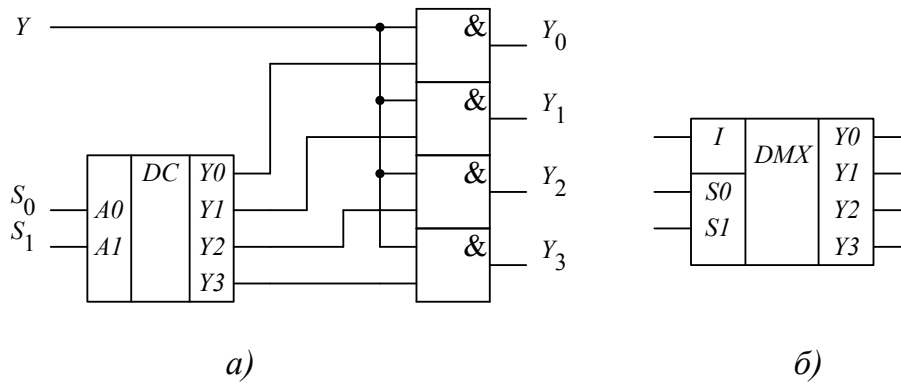


Рис. 2.54. Демультимплексор

Логические уравнения демультимплексора записывается в виде

$$Y_0 = X \cdot \overline{S_0} \cdot \overline{S_1};$$

$$Y_1 = X \cdot S_0 \cdot \overline{S_1};$$

$$Y_2 = X \cdot \overline{S_0} \cdot S_1;$$

$$Y_3 = X \cdot S_0 \cdot S_1.$$

Если посмотреть на структурную схему и условное обозначение дешифратора (см. рис. 2.47), то, очевидно, что функции демультимплексора сходны с функциями дешифратора при условии, что входной сигнал будет подаваться на вход E .

Поэтому такие микросхемы называют дешифраторами-демультимплексорами. Так, например, дешифратор К555ИД7 можно использовать в качестве демультимплексора с одним входом и восемью выходами. При этом один из входов разрешения, например $E3$, используется в качестве основного входа демультимплексора, а адресные входы и выходы используются по прямому назначению. На входы $E0$ и $E1$ должны быть поданы уровни логического нуля.

Как говорилось выше, мультиплексоры и демультимплексоры предназначены для изменения направления передачи сигналов, представленных в двоичном формате.

Наряду с ними существуют устройства, предназначенные для изменения направления передачи как двоичных, так и аналоговых сигналов, которые называются коммутаторами или переключателями.

Структурная схема коммутаторов аналогична структурной схеме мультиплексоров и демультимплексоров. Основное отличие их в том, что функцию логического элемента «И» выполняют управляемые ключи на полевых транзисторах. Функциональная схема такого

ключа показана на рис. 2.55. Управление ключом осуществляется подачей управляющего сигнала $U_{упр}$, который может принимать значение логического нуля или логической единицы.

Входное $U_{вх}$ и соответственно выходное $U_{вых}$ напряжение может лежать в диапазоне от -15 В до +15 В. Входы управления могут быть с дешифратором и без него.

2.4.5. Шинные формирователи и каналные приемопередатчики

В микропроцессорных устройствах в настоящее время широко используют двунаправленные шинные формирователи и каналные приемопередатчики. Их назначение формировать цифровые сигналы, усиливать импульсы по току, задавать направление передачи информации, т.е. обслуживать несколько устройств, подключенных к одной шине. Такой шиной, прежде всего, может быть шина данных, состоящая из нескольких токоведущих проводников. На рис. 2.56 показана микропроцессорная система, в которой несколько устройств U объединены между собой с помощью шины данных.

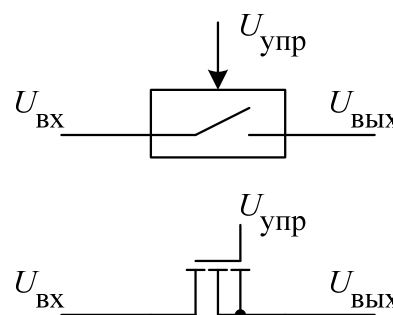


Рис. 2.55. Ключ коммутатора

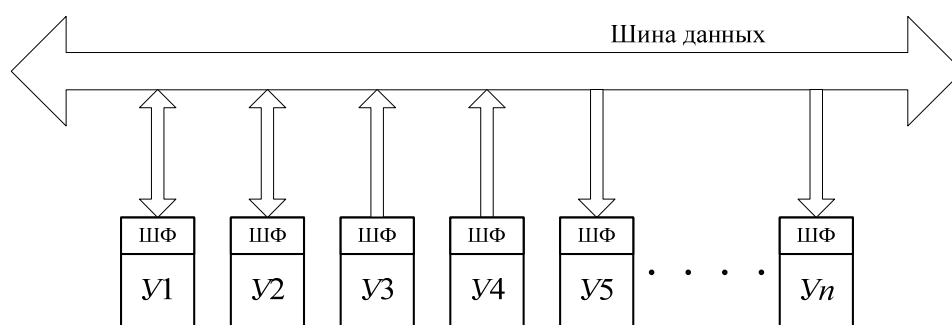


Рис. 2.56. Микропроцессорная система

В качестве устройства $U1$ может быть микро процессор, остальными устройствами могут быть ОЗУ ($U2$), ПЗУ ($U3$), устройства ввода информации в систему ($U4$), устройства вывода информации ($U5$) и т.д. Обмен информацией между этими устройствами осуществляется по шине данных, к которой все эти устройства подключены.

В случае передачи информации из устройства $U1$ эта информация появляется на шине данных и поступает к устройствам $U2, U5...Un$. Если информация передается из устройства $U3$, то она поступает во все остальные устройства. В свою очередь устройства $U1$ и $U2$ могут как принимать информацию, так и передавать ее.

Таким образом, для правильной передачи информации от одного устройства к заданному другому устройству необходимо остальные устройства заблокировать, т.е. отключить от шины данных, а для рабочих устройств установить требуемое направление передачи.

В связи с тем, что различные устройства могут быть установлены на значительном расстоянии друг от друга и при передаче информации может быть значительное ослабление сигнала, передаваемый сигнал необходимо усилить.

Эти функции выполняют шинные формирователи (ШФ), с помощью которых устройства подключаются к шине данных и могут иметь две разновидности.

На рис.2.57 приведены функциональные схемы одного двустороннего канала, образованного буферными элементами «И».

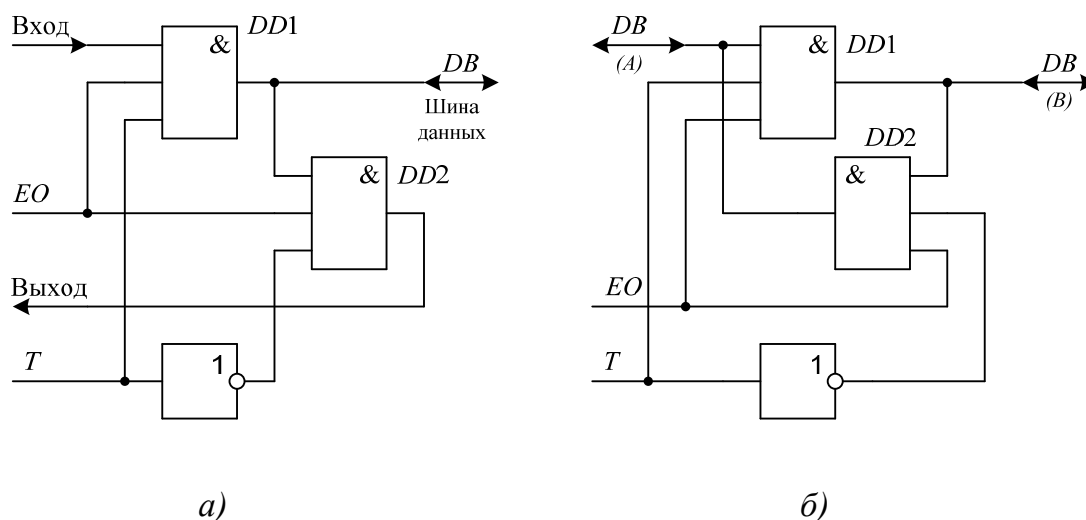


Рис. 2.57. Шинные формирователи

С помощью управляющего входа T задается направление передачи информации. Если на входе T присутствует напряжение высокого уровня (см. рис 2.57.а), то элемент $DD1$ открыт, а $DD2$ – закрыт и сигнал с входа через элемент $DD1$ поступает на линию DB , которая подключается к шине данных. Если на входе T напряжение низкого

уровня, то элементы *DD1* и *DD2* переключаются и сигнал с шины данных по линии *DB* через элемент *DD2* поступает на выход шинного формирователя.

Управляющий вход *EO* служит для отключения устройства от шины данных. Если на этот вход подать напряжение низкого уровня, то элементы *DD1* и *DD2* закрываются, и запрещают прохождение сигнала в любом направлении. Фактически подачей сигнала низкого уровня на вход *EO* буферные элементы «И» переводятся в третье высокоимпедансное состояние.

Более широкое применение нашли шинные формирователи, построенные по структуре, показанной на рис.2.57.б. Управляющие входы *T* и *EO* имеют такое же функциональное назначение. Отличие состоит в том, что этот шинный формирователь имеет два равнозначных канала *DB* (*A* и *B*), и передача информации может осуществляться либо со стороны *A* на сторону *B*, либо наоборот.

Условное графическое обозначение шинных формирователей показано на рис. 2.58.

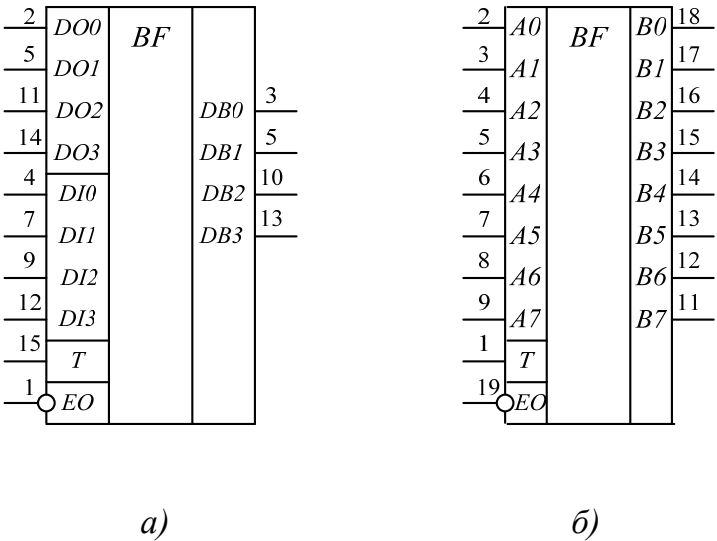


Рис. 2.58. Шинные формирователи К589АП16 (а) и К555АП6 (б)

К589АП16 – четырехразрядный шинный формирователь, построенный по первой структуре. Если на входе *T* напряжение высокого уровня, то передача информации осуществляется с линий *DB* на линии *DO*, а если низкого уровня, то с линий *DI* на *DB*.

К555АП6 – восьмиразрядный шинный формирователь, построенный по второй структуре. В зависимости от уровня сигнала на входе T информация передается со стороны A на сторону B ($T = 1$), или со стороны B на сторону A ($T = 0$).

2.4.6. Триггеры Шмитта

Входные импульсные сигналы могут иметь пологие фронт и срез и, соответственно импульс на выходе формирующего логического элемента также не будет прямоугольным, поскольку некоторое время логический элемент будет находиться в усилительном режиме (базовый логический элемент ТТЛ имеет коэффициент усиления $K_U \approx 20$). Кроме того, на фронте и срезе выходного импульса будут присутствовать усиленные помехи. Импульс с зашумленными и несформированными фронтом и срезом непригоден для переключения тактовых входов триггеров, регистров, счетчиков.

Повышение K_U формирователя до 1000 раз и более за счет последовательного включения нескольких буферных элементов не дает точной привязки момента переключения к определенному пороговому уровню входного импульса. В таких случаях используют так называемую схему триггера Шмитта, состоящую из двухкаскадного усилителя, охваченного слабой положительной обратной связью.

Логические элементы со свойствами триггера Шмитта имеют внутреннюю положительную обратную связь, глубина которой подобрана так, чтобы получить передаточную характеристику со значительным гистерезисом. Выходной сигнал логического элемента Шмитта имеет крутые импульсные перепады, длительность которых не зависит от скорости нарастания или спада входного сигнала. Импульсные перепады по времени соответствуют моментам, когда входной сигнал превышает напряжение срабатывания $U_{срб}$ и становится меньше, чем напряжение отпускания $U_{отп}$.

Передаточная характеристика обычного элемента ТТЛ имеет входной порог (напряжение срабатывания) $U_{пор} = 1,3$ В. Передаточная характеристика элемента Шмитта двухпороговая, она показана на рис. 2.59.а, а временная – на рис. 2.59.б. Если входное напряжение такого логического элемента $U_{вх} = 0$ (точка А), то выходное напряжение

$U_{\text{ВЫХ}} = 2,4 \text{ В}$ (напряжение высокого логического уровня ТТЛ). При повышении $U_{\text{ВХ}}$ до $1,7 \text{ В}$ выходной сигнал скачком уменьшается (переходит от точки Б к В, где $U_{\text{ВЫХ}} \leq 0,3 \text{ В}$, т. е. напряжение низкого уровня ТТЛ). В этот момент входное напряжение становится равным напряжению срабатывания $U_{\text{ВХ}} = U_{\text{срб}} = 1,7 \text{ В}$.

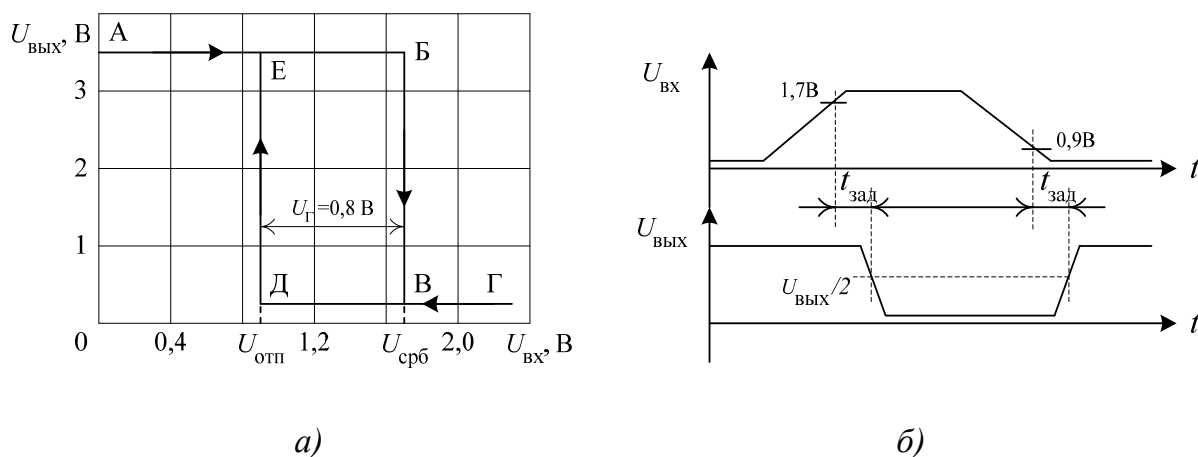


Рис. 2.59. Характеристики триггера Шмитта

Если входное напряжение теперь постепенно уменьшать (от точки Г), то при $U_{\text{ВХ}} = 0,9 \text{ В}$ выходное напряжение скачком перейдет от низкого уровня к высокому (линия Д—Е). Это напряжение порога отпускания $U_{\text{отп}}$. При дальнейшем снижении $U_{\text{ВХ}}$ до нуля возвращаемся в точку А передаточной характеристики. Таким образом, логический элемент, построенный на основе триггера Шмитта, имеет пороги срабатывания и отпускания, между которыми существует зона гистерезиса $U_{\text{срб}} - U_{\text{отп}} = 800 \text{ мВ}$. Эта зона симметрична относительно порогового напряжения обычного элемента ТТЛ, т. е. $1,3 \text{ В} (\pm 400 \text{ мВ})$.

В микросхеме К155ТЛ1, условное обозначение которой показано на рис. 2.60, содержится два логических четырехходовых элемента «И» с порогом Шмитта. Если для приема сигналов используется лишь один из входов этого логического элемента, остальные три следует подключить к положительному полюсу источника питания.

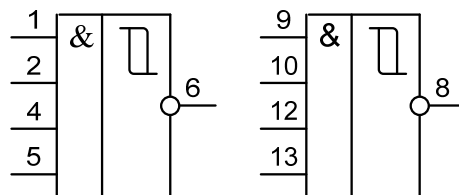


Рис. 2.60. Триггер Шмитта К155ТЛ1

2.4.7. Ждущие мультивибраторы

В составе серий ТТЛ имеется несколько аналого-импульсных схем – ждущих и управляемых по частоте мультивибраторов. Они позволяют сформировать синхронизированные тактовые последовательности импульсов, расширить длительность коротких импульсов, сформировать импульсы разрешения нужной длительности, надежно отмерить интервалы времени до единиц минут.

Микросхема К155АГ1 (рис. 2.61) – одноканальный ждущий мультивибратор. Он формирует калиброванные импульсы с хорошей стабильностью длительности. Мультивибратор содержит внутреннюю ячейку памяти – триггер с двумя выходами Q и \bar{Q} , поэтому на выходе имеется парафазный сформированный импульс. Триггер имеет три импульсных входа логического управления (установки в исходное состояние) через элемент Шмитта. Вход B (активный перепад – положительный) дает прямой запуск триггера, два входа A – инверсные (активный перепад отрицательный).

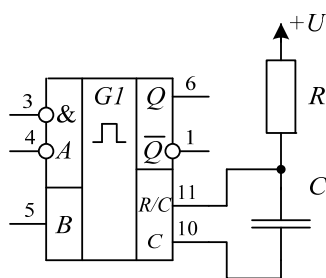


Рис. 2.61. Ждущий мультивибратор К155АГ1

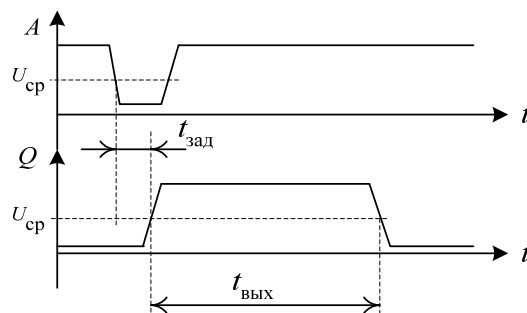


Рис. 2.62. Временные диаграммы мультивибратора

Диаграммы выходных и запускающих по входам A импульсов приведены на рис. 2.62. Сигнал сброса, т. е. окончания импульса в триггере, формируется с помощью RC -звена. Длительность выходного импульса можно подсчитать по формуле

$$\tau_{\text{ВЫХ}} = C \cdot R \cdot \ln 2 \approx 0,7C \cdot R$$

Длительность выходных импульсов можно менять от 30 нс до 0,28 с при соответствующем подборе номиналов резистора и конденсатора.

Мультивибратор нельзя перезапустить, пока не истекло время $\tau_{\text{ВЫХ}}$. Запущенный мультивибратор нечувствителен к входным сигналам.

лам A и B . Если на вход мультивибратора подается зашумленный сигнал, то его запуск осуществляется по первому перепаду входного импульса, и шум в сигнале не оказывает влияния на его работу. Таким образом осуществляется подавление помех входного сигнала.

Существуют также мультивибраторы с возможностью перезапуска.

Контрольные вопросы

1. Назовите основные типы базовых логических элементов.
2. Что характеризует параметр нагрузочной способности элементов?
3. В чем особенность элемента с открытым коллектором?
4. Каково назначение и состав триггерных устройств?
5. Чем различаются между собой одно- и двухступенчатые триггеры?
6. Как выполняются взаимные преобразования триггеров?
7. По каким признакам можно провести классификацию регистров?
8. Каким образом повышается быстродействие счетчиков?
9. Как осуществляется предварительная установка счетчиков?
10. Чем отличаются полусумматор и одноразрядный сумматор?
11. В чем основное отличие многоразрядных сумматоров параллельного и последовательного действия?
12. С какой целью в многоразрядном сумматоре формируется функция переноса?
13. Используя двоичный код, определите сумму и разность десятичных чисел 56 и 24.
14. Объясните назначение схемы контроля четности.
15. Выполните синтез одноразрядного сумматора.
16. Каково назначение и условное обозначение дешифратора?
17. Каково назначение и условное обозначение мультиплексора и демультимплексора?
18. Выполните синтез дешифратора, имеющего десять выходов.
19. Выполните синтез мультиплексора 4×1 .
20. Каково назначение ждущего мультивибратора?
21. Каково назначение шинного формирователя?
22. Для чего необходимо высокоимпедансное состояние у шинного формирователя; у регистра?

3. ПРЕОБРАЗОВАТЕЛИ АНАЛОГОВЫХ СИГНАЛОВ

В электронных системах одинаково широко используется обработка информации, представленной в аналоговой и цифровой формах. Объясняется это тем, что первичная, исходная информация о различных физических величинах и процессах носит, как правило, аналоговый характер. Обработку же этой информации удобнее вести в цифровой форме. Использование полученных после цифровой обработки результатов также в большинстве случаев требует их аналогового представления. Следовательно, любая система, использующая цифровые методы обработки информации, должна содержать устройства взаимного преобразования аналоговых и цифровых сигналов. Роль таких устройств выполняют аналого-цифровые и цифро-аналоговые преобразователи (АЦП и ЦАП).

3.1. ЦИФРО-АНАЛОГОВЫЕ ПРЕОБРАЗОВАТЕЛИ

Цифро-аналоговым преобразователем (ЦАП) называется устройство, предназначенное для преобразования цифровой информации в аналоговую. Они используются для формирования сигнала в виде напряжения или тока, функционально связанного с управляющим кодом. В большинстве случаев эта функциональная зависимость является линейной. Наиболее часто ЦАП используются для сопряжения устройств цифровой обработки сигналов с системами, работающими с аналоговыми сигналами. Кроме этого, ЦАП используются в качестве узлов обратной связи в аналого-цифровых преобразователях и в устройствах сравнения цифровых величин с аналоговыми.

Области применения ЦАП достаточно широки. Они применяются в системах передачи данных, в измерительных приборах и испытательных установках, в генераторах сигналов сложных функций, для формирования изображений на экране дисплеев и др. В связи с этим разработано и выпускается большое количество интегральных микросхем ЦАП.

Схемы ЦАП можно классифицировать по различным признакам: принципу действия, виду выходного сигнала, полярности выходного сигнала, элементной базе и др.

По принципу действия наибольшее распространение получили ЦАП с суммированием токов и с делением напряжения.

По виду выходного сигнала ЦАП делят на два вида: с токовым выходом и выходом по напряжению. Для преобразования выходного тока ЦАП в напряжение обычно используются операционные усилители.

По полярности выходного сигнала ЦАП принято делить на однополярные и двухполярные.

При формировании выходного напряжения ЦАП под действием управляющего кода обычно используются источники опорного напряжения. В зависимости от вида источника опорного напряжения ЦАП делят на две группы: с постоянным опорным напряжением и с изменяющимся опорным напряжением. Работа с внешним источником опорного напряжения позволяет разделить все ЦАП на две группы: умножающие – работающие с изменяющимся во времени источником опорного сигнала, и неумножающие – работающие с источником, величина которого в течение всего времени работы устройства остается постоянной.

Управляющий код, подаваемый на вход ЦАП, может быть различным: двоичным, двоично-десятичным, Грея, унитарным и др. Кроме того, различными могут быть и уровни логических сигналов на входе ЦАП.

Кроме этого, ЦАП делят по основным характеристикам: количеству разрядов, быстродействию, точности преобразования, потребляемой мощности.

Интегральные схемы ЦАП могут выполняться как функционально завершенными, т. е. не требующими для своей работы дополнительных элементов, так и функционально незавершенными. В последнем случае в качестве внешних элементов, как правило, применяют источник опорного напряжения, операционный усилитель, регистры и т. д.

Основные параметры ЦАП

Все параметры ЦАП можно разделить на две группы: статические, которые задают конечную точность преобразования и динамические, характеризующие быстродействие данного класса устройств. Статические характеристики преобразователей определяются видом характеристики преобразования, которая устанавливает соответствие между значениями аналоговой величины и цифрового кода. К ним относятся разрешающая способность, погрешность преобразования,

диапазон значений выходного сигнала, характеристики управляющего кода, смещение нулевого уровня и некоторые другие.

К динамическим показателям ЦАП принято относить: время установления выходного сигнала, предельную частоту преобразования, динамическую погрешность. Рассмотрим некоторые из этих параметров.

Число разрядов (n) – число разрядов кода, отображающего исходную аналоговую величину, которое может подаваться на вход ЦАП.

Разрешающая способность ЦАП определяется как величина, обратная максимальному количеству градаций выходного сигнала. Так, например, если разрешающая способность ЦАП составляет 10^{-5} , то это означает, что максимальное число градаций выходного сигнала равно 10^5 . Иногда разрешающую способность ЦАП оценивают выходным напряжением при изменении входного кода на единицу младшего разряда, т. е. шагом квантования h . Очевидно, что чем больше разрядность ЦАП, тем выше его разрешающая способность и меньше шаг квантования.

Погрешность преобразования ЦАП принято делить на дифференциальную и погрешность нелинейности. С ростом кода на входе ЦАП растет и выходное напряжение, однако при увеличении напряжения могут быть отклонения от линейной зависимости. Погрешностью нелинейности называют максимальное отклонение выходного напряжения от идеальной прямой во всем диапазоне преобразования.

Дифференциальной погрешностью называют максимальное отклонение от линейности для двух смежных значений входного кода.

Напряжение смещения нуля определяется выходным напряжением при входном коде, соответствующем нулевому значению.

Время установления ($t_{уст}$) – это интервал времени от подачи входного кода до вхождения выходного сигнала в заданные пределы, определяемые погрешностью.

Максимальная частота преобразования – наибольшая частота дискретизации, при которой все параметры ЦАП соответствуют заданным значениям.

По совокупности параметров ЦАП принято делить на три группы: общего применения, прецизионные и быстродействующие. Быстродействующие ЦАП имеют время установления меньше 100 нс. К

прецизионным относят ЦАП, имеющие погрешность нелинейности менее 0,1%.

ЦАП с суммированием токов

На практике наибольшее применение нашли схемы ЦАП с суммированием эталонных источников тока. На рис.3.1 показана структурная схема ЦАП с использованием матрицы взвешенных резисторов. Сопротивления резисторов пропорциональны весовым коэффициентам входного кода.

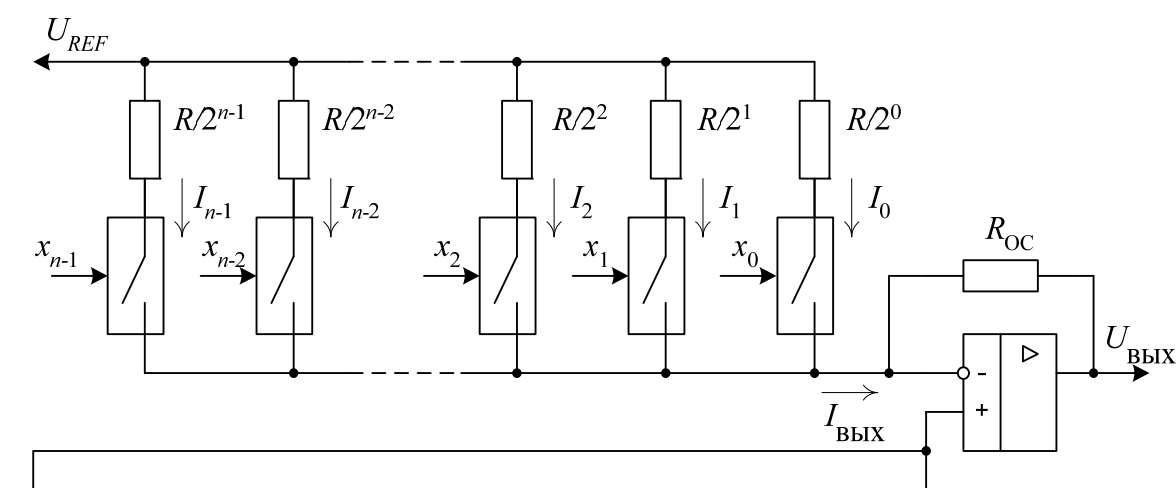


Рис. 3.1. Схема ЦАП с использованием матрицы взвешенных резисторов

Устройство содержит n источников тока I_0, I_1, \dots, I_{n-1} и n управляемых ключей, где n – число разрядов входного кода.

Источники тока задаются с помощью источника эталонного (опорного) напряжения U_{REF} . Ток через резисторы матрицы определяется выражением $I_i = U_{REF} / R_i = 2^i \cdot U_{REF} / R$.

Входной двоичный код подается на входы управления ключами x_i . Если в i -м разряде входного кода присутствует сигнал логической единицы ($x_i = 1$), то соответствующий ключ замыкается, и ток через задающий резистор поступает на вход усилителя. В результате суммарный выходной ток $I_{ВЫХ}$ определяется выражением

$$I_{ВЫХ} = \frac{U_{REF}}{R} \sum_{i=0}^{n-1} 2^i \cdot x_i,$$

где x_i может принимать значения 0 или 1. Таким образом, суммарный ток пропорционален значению входного кода.

Для получения напряжения, пропорционального входному коду, суммарный ток подают на вход операционного усилителя, и выходное напряжение определяется по формуле

$$U_{\text{ВЫХ}} = U_{\text{REF}} \cdot \frac{R_{\text{OC}}}{R} \sum_{i=0}^{n-1} 2^i \cdot x_i. \quad (3.1)$$

Недостатком ЦАП с взвешенными резисторами является широкий диапазон изменения сопротивлений. Для обеспечения высокой точности преобразования значения сопротивлений этих резисторов должны выдерживаться с прецизионной точностью. Например, для 12-ти разрядного ЦАП сопротивления первого и последнего резисторов должны отличаться в $2^{11} = 2048$ раз, что весьма трудно выполнить технологически.

Для устранения этого недостатка используются ЦАП с резистивной матрицей R - $2R$, выполненные только на резисторах двух номиналов R и $2R$. Структурная схема такого ЦАП приведена на рис. 3.2.

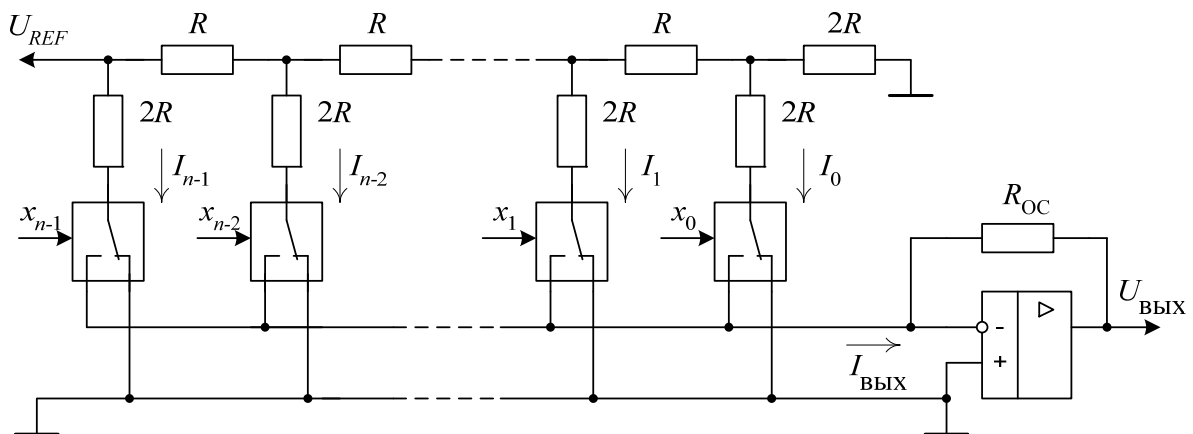


Рис. 3.2. Схема ЦАП с матрицей резисторов R - $2R$

Входной ток задается источником опорного U_{REF} напряжения и последовательно делится на узлах R - $2R$ по двоичному закону. Токи ветвей I_0, I_1, \dots, I_{n-1} через ключи суммируются на входе операционного усилителя. На выходе усилителя формируется выходное напряжение $U_{\text{ВЫХ}}$ преобразователя, которое определяется по формуле

$$U_{\text{ВЫХ}} = U_{\text{REF}} \cdot \frac{R_{\text{OC}}}{R} \cdot \frac{(2^{(n-1)} \cdot x_{n-1} + 2^{(n-2)} \cdot x_{n-2} + \dots + 2^i \cdot x_i + \dots + 2^0 \cdot x_0)}{2^n}.$$

При подаче на вход двоичного кода, состоящего из всех единиц, на выходе ЦАП установится максимальное напряжение

$$U_{\text{ВЫХ}_{\text{max}}} = U_{\text{REF}} \cdot \frac{R_{\text{OC}}}{R} \cdot \left(1 - \frac{1}{2^n}\right).$$

Минимальное выходное напряжение получается при нулевом входном коде и очевидно $U_{\text{ВЫХ}_{\text{min}}} = 0$.

Шаг квантования h , т.е. величина, на которую изменяется выходное напряжение при изменении кода на единицу младшего разряда, определяется по формуле $h = U_{\text{REF}} \cdot \frac{R_{\text{OC}}}{R \cdot 2^n}$.

Полученные выражения показывают, что в ЦАП рассматриваемого типа максимальное выходное напряжение всегда меньше опорного напряжения U_{REF} на величину шага квантования h :

$$U_{\text{ВЫХ}_{\text{max}}} = U_{\text{REF}} \cdot \frac{R_{\text{OC}}}{R} - h,$$

или при $R_{\text{OC}} = R$ получаем $U_{\text{ВЫХ}_{\text{max}}} = U_{\text{REF}} - h$.

Например, для 4-х разрядного ЦАП, при $R_{\text{OC}} = R$ и при $U_{\text{REF}} = 10\text{В}$ получаем

$$U_{\text{ВЫХ}_{\text{max}}} = 10 \cdot \left(1 - \frac{1}{2^4}\right) = 10 \cdot (1 - 0,0625) = 9,375\text{В}; \quad h = 10 \cdot \frac{1}{2^4} = 0,625\text{В}.$$

График изменения выходного напряжения в зависимости от входного двоичного кода показан на рис. 3.3.

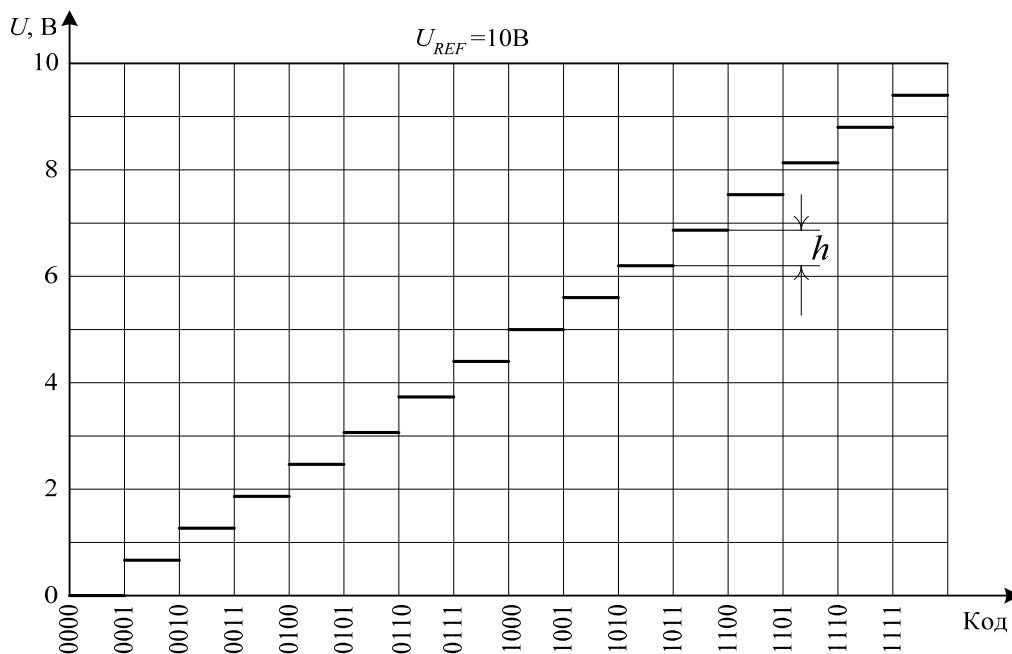


Рис. 3.3. График изменения выходного напряжения ЦАП

Условное обозначение десятиразрядного ЦАП и схема его подключения показаны на примере микросхемы К572ПА1 (рис. 3.4). Та-

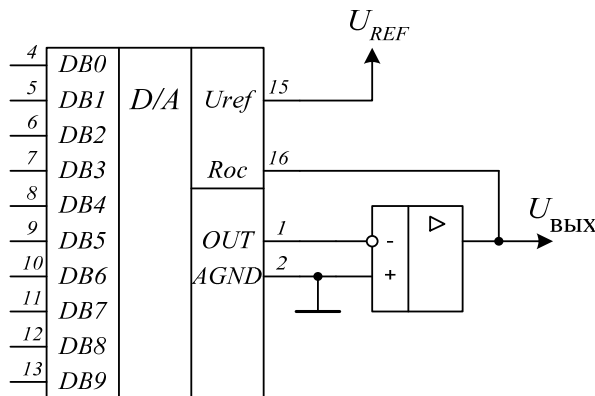


Рис. 3.4. Схема подключения ЦАП К572ПА1

кая схема обеспечивает однополярный режим работы.

На цифровые входы $DB0...DB9$ подается десятиразрядный двоичный код. Эта микросхема имеет внутренний резистор обратной связи R_{OC} , величина которого равна сопротивлению резистора матрицы, т.е. $R_{OC} = R$, и, следовательно, отношение $\frac{R_{OC}}{R} = 1$.

Необходимо заметить, что операционный усилитель включен в режиме инвертора, т.к. выход OUT преобразователя подключен к инверсному входу усилителя. Следовательно, при $U_{REF} = 10В$ выходное напряжение усилителя будет изменяться в диапазоне от $0В$ до $-U_{ВЫХ\max} = -(U_{REF} - h)$. Шаг квантования $h = 10 \cdot \frac{1}{2^{10}} = 0,009765625В$.

Изменение выходного напряжения в зависимости от входного кода приведено в табл. 3.1.

Таблица 3.1

Изменение выходного напряжения ЦАП

Двоичный код	$U_{ВЫХ}$
00.....00	0
00.....01	$-2^{-10} U_{REF}$
...	
10.....00	$-U_{REF}/2$
...	
11.....11	$-(1-2^{-10}) U_{REF}$

Для получения двухполярного выходного сигнала ЦАП применяют схему включения, показанную на рис. 3.5.

В этой схеме используются два операционных усилителя, включенных в режиме инвертора. Выходное напряжение $U_{ВЫХ1}$ первого усилителя аналогично выходному напряжению однополярного ЦАП.

На втором усилителе осуществляется суммирование напряжений $U_{ВЫХ1}$ и U_{REF} . При этом коэффициент усиления

усилителя для напряжения U_{REF} равен $k_1 = \frac{R_{OC}}{R_{BX1}} = \frac{2R}{2R} = 1$, а для напря-

жения $U_{ВЫХ1}$ равен $k_2 = \frac{R_{OC}}{R_{BX2}} = \frac{2R}{R} = 2$

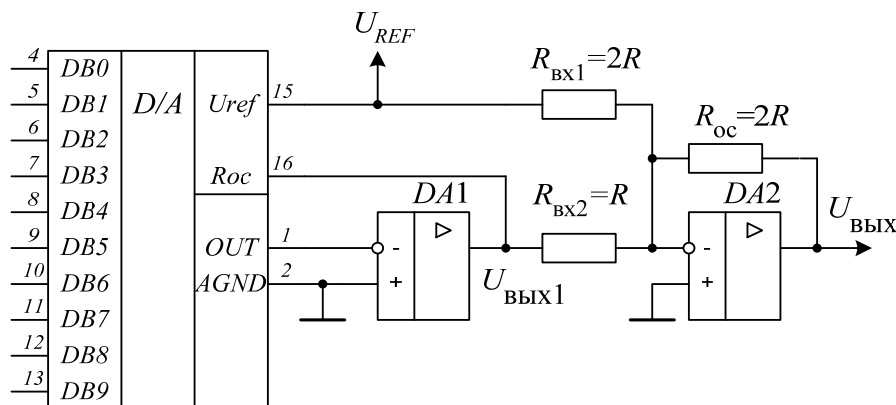


Рис. 3.5. Двухполярный ЦАП

На рис.3.6.а показаны графики изменения напряжений в зависимости от входного двоичного кода. $U_{ВЫХ1}$ – выходное напряжение первого усилителя. U_{REF} – опорное напряжение. На выходе второго усилителя в соответствии с коэффициентом усиления k_2 формируется напряжение $2U_{ВЫХ1}$. Так как усилитель инвертирует сигналы, то выходное напряжение первого усилителя и опорное напряжение формируются в виде $-2U_{ВЫХ1}$ и $-U_{REF}$. В результате суммирования этих напряжений на выходе второго усилителя формируется напряжение $U_{ВЫХ}$, которое изменяется от $-U_{REF}$ до $+U_{REF}$.

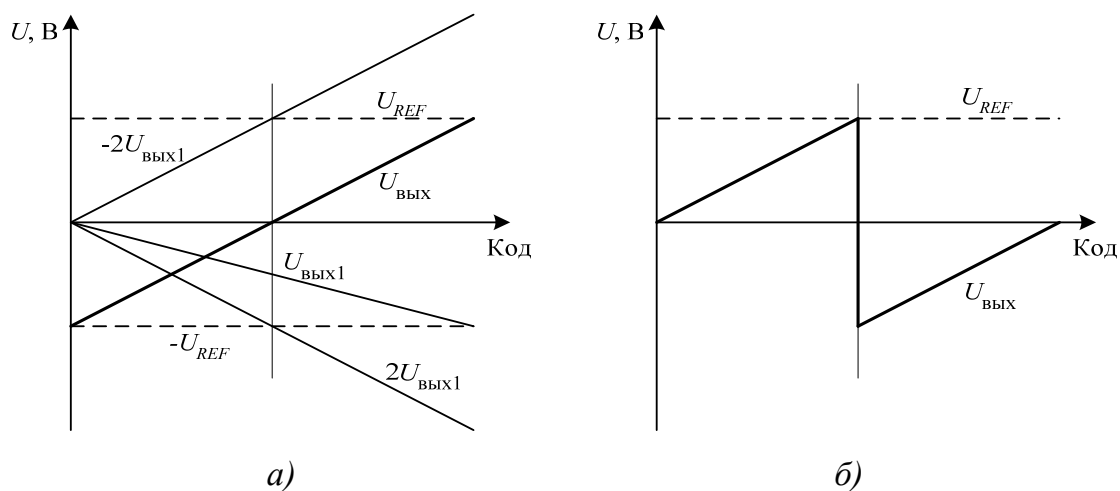


Рис. 3.6. Графики напряжений двухполярного ЦАП

Как известно в микропроцессорной технике для получения положительных и отрицательных чисел, т.е. чисел со знаком используется формат чисел, в которых старший двоичный разряд является знаковым. Если в старший разряд равен нулю (0101101), то число положительное, а если единице (1101101), то отрицательное.

Таким образом, при изменении кода от 000...00 до 011...11 число является положительным, а далее от 100...00 до 111...11 число будет отрицательным, причем число 011...11 – максимальное положительное, а число 100...00 – минимальное отрицательное.

Для реализации этой зависимости в ЦАП на входе старшего разряда ставится инвертор. График изменения выходного напряжения в зависимости от входного двоичного кода будет иметь вид, показанный на рис. 3.6.б и эта зависимость для десятиразрядного ЦАП представлена в табл. 3.2.

Таблица 3.2

Изменение выходного напряжения двухполярного ЦАП

Двоичный код	$U_{\text{вых}}$
00.....00	0
00.....01	$2^{-10} U_{REF}$
...	
011.....11	$(1-2^{-10}) U_{REF}$
10.....00	$- U_{REF}$
...	
11.....11	$-(1-2^{-10}) U_{REF}$

В рассмотренных ЦАП для получения выходного напряжения подаваемый двоичный код необходимо зафиксировать на его входе, например, использовать дополнительный внешний регистр. Однако выпускаются ЦАП с внутренним регистром хранения входного двоичного кода. Например, микросхема К572ПА2 представляет собой 12-ти разрядный ЦАП с двумя встроенными регистрами хранения. Он имеет такие режимы работы, как прямое прохождение входного кода непосредственно в ЦАП; запись

данных в первый регистр; перезапись данных из первого регистра во второй, при этом информацию с входа ЦАП можно снимать.

Приведем примеры еще некоторых типов ЦАП:

К594ПА1 – прецизионный 12-ти разрядный ЦАП (с лазерной подгонкой матрицы резисторов $R-2R$);

К1108ПА1 – быстродействующий 12-ти разрядный ЦАП. С двухполярным выходом.

3.2. АНАЛОГО-ЦИФРОВЫЕ ПРЕОБРАЗОВАТЕЛИ

Аналого-цифровой преобразователь — устройство, предназначенное для преобразования непрерывно изменяющейся во времени аналоговой физической величины в эквивалентные ей значения числовых кодов.

В качестве аналоговой физической величины в общем случае могут фигурировать различные параметры, например угол поворота, линейное перемещение, скорость движения, температура, давление жидкости или газа и т.д. В дальнейшем под этой величиной будем понимать напряжение либо ток, которые, при необходимости, можно легко преобразовать в другие физические величины.

В общем случае напряжение характеризуется его мгновенным значением $u(t)$. Для оценки напряжения можно также пользоваться его средним значением за выбранный промежуток времени.

В связи с этим все типы АЦП можно разделить на две группы: АЦП мгновенных значений напряжения и АЦП средних значений напряжения. Так как операция усреднения предполагает интегрирование мгновенного значения напряжения, то АЦП средних значений часто называют интегрирующими.

Процесс аналого-цифрового преобразования предполагает последовательное выполнение следующих операций:

- выборка значений исходной аналоговой величины в некоторые наперед заданные дискретные моменты времени, т. е. дискретизация сигнала по времени;
- квантование (округление до некоторых известных величин) полученной в дискретные моменты времени последовательности значений исходной аналоговой величины по уровню;
- кодирование – замена найденных квантованных значений некоторыми числовыми кодами.

Процедура аналого-цифрового преобразования непрерывного сигнала представляет собой преобразование непрерывной функции напряжения $u(t)$ в последовательность чисел $u(t_m)$, отнесенных к некоторым фиксированным моментам времени, где $m = 0, 1, 2, \dots$. При дискретизации непрерывная функция $u(t)$ преобразуется в последовательность ее отсчетов $u(t_m)$, как показано на рис. 3.7.

Вторая операция, называемая квантованием, состоит в том, что мгновенные значения функции $u(t)$ ограничиваются только определенными уровнями, которые называются уровнями квантования. В результате квантования непрерывная функция принимает вид ступенчатой кривой $u_k(t)$.

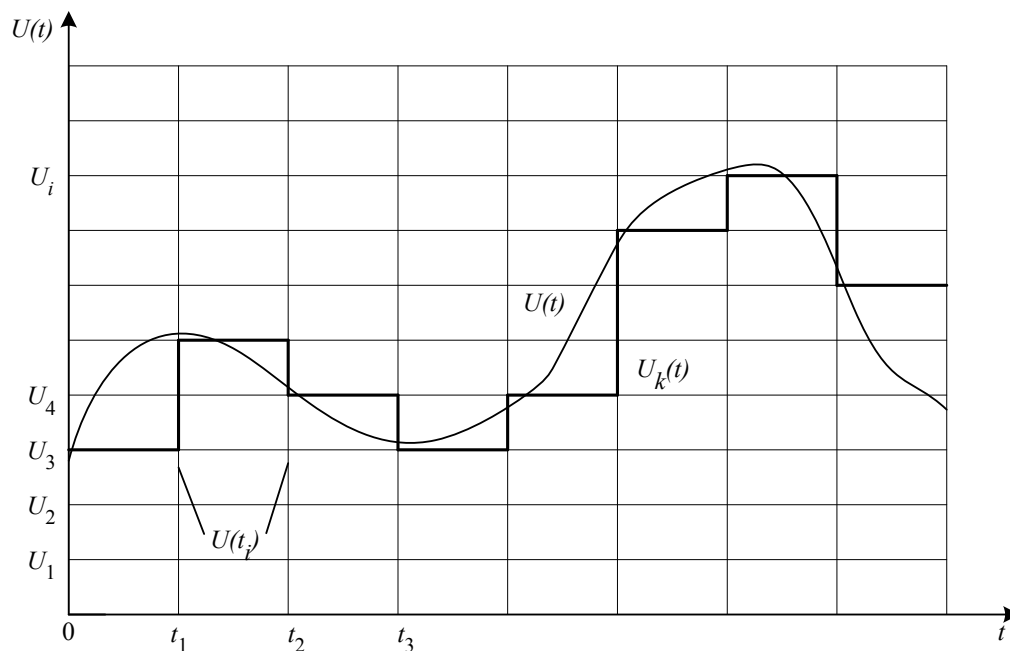


Рис. 3.7. Дискретизация и квантование непрерывного сигнала

Третья операция, называемая кодированием, представляет дискретные квантованные величины в виде цифрового кода, т. е. каждому дискретному значению $u_k(t)$ ставится в соответствие некоторый код, подчиненных определенному закону.

В АЦП используют четыре основных типа кодов: натуральный двоичный, десятичный, двоично-десятичный и код Грея. Кроме этого, АЦП, предназначенные для вывода информации в десятичном коде, выдают на своем выходе специализированный код для управления семисегментными индикаторами.

Большинство АЦП работают с выходом в натуральном двоичном коде, при котором каждому положительному числу N ставится в соответствие код $\{x_i\} = x_{n-1}x_{n-2}\dots x_1x_0$,

где x_i принимает значения нуля или единицы. При этом положительное число в двоичном коде имеет вид

$$N = x_{n-1} \cdot 2^{n-1} + x_{n-2} \cdot 2^{n-2} + \dots + x_1 \cdot 2^1 + x_0 \cdot 2^0.$$

Такой код принято называть прямым: его крайний правый разряд является младшим, а крайний левый – старшим. Прямой код пригоден лишь для работ с однополярными сигналами. Полный диапазон преобразуемого сигнала равен 2^n , а $N_{\max} = 2^n - 1$.

Если АЦП должен работать с двухполярными числами, то наиболее часто используют дополнительный код.

Основные параметры АЦП

Все параметры АЦП также как и для ЦАП делятся на две группы: статические и динамические.

К статическим характеристикам АЦП относят: абсолютные значения и полярность входных сигналов, входное сопротивление, выходное сопротивление, значения напряжений и токов источников питания, количество двоичных или десятичных разрядов выходного кода, погрешности преобразования постоянного напряжения и др.

К динамическим параметрам АЦП относят: время преобразования, максимальную частоту дискретизации, динамическую погрешность и др.

Рассмотрим некоторые из этих параметров более подробно. Основной характеристикой АЦП является его разрешающая способность, которую принято определять величиной, обратной максимальному числу кодовых комбинации на выходе АЦП. Разрешающую способность можно выражать в процентах, в количестве разрядов или в относительных единицах. Например, 10-разрядный АЦП имеет разрешающую способность $1/1024 \approx 10^{-3} = 0,1\%$. Если напряжение шкалы для такого АЦП равно 10В, то абсолютное значение разрешающей способности будет около 10 мВ.

Дифференциальную нелинейность определяют через идентичность двух соседних приращений сигнала, т.е. как разность напряжений двух соседних квантов.

Интегральная нелинейность АЦП характеризует идентичность приращений во всем диапазоне входного сигнала. Обычно ее определяют по максимальному отклонению сглаженной характеристики преобразования от идеальной прямой линии.

Время преобразования обычно определяют как интервал времени от начала преобразования до появления на выходе АЦП устойчивого кода входного сигнала. Для одних типов АЦП это время постоянное и не зависит от значения входного сигнала, для других АЦП это время зависит от значения входного сигнала.

Максимальная частота дискретизации – это частота, с которой возможно преобразование входного сигнала, при условии, что выбранный параметр (например, абсолютная погрешность) не выходит за заданные пределы. Иногда максимальную частоту преобразования принимают равной обратной величине времени преобразования. Однако это пригодно не для всех типов АЦП.

Все типы используемых АЦП можно разделить по признаку измеряемого значения напряжения на две группы: АЦП мгновенных значений напряжения и АЦП средних значений напряжения (интегрирующие АЦП).

АЦП мгновенных значений напряжений

Они в свою очередь разделяются на следующие основные виды: последовательного счета, последовательного приближения, параллельные и параллельно-последовательные.

АЦП последовательного счета

Структурная схема АЦП последовательного счета приведена на рис. 3.8. Входное напряжение $U_{ВХ}$, которое необходимо преобразовать в эквивалентный двоичный код, подается на первый вход компаратора. На второй вход подается напряжение $U_{ЦАП}$ с выхода ЦАП. Компаратор выполняет сравнение этих напряжений. Если $U_{ВХ} > U_{ЦАП}$, то на выходное напряжение компаратора $U_{К}$ равно логической единице, в противном случае – логическому нулю.

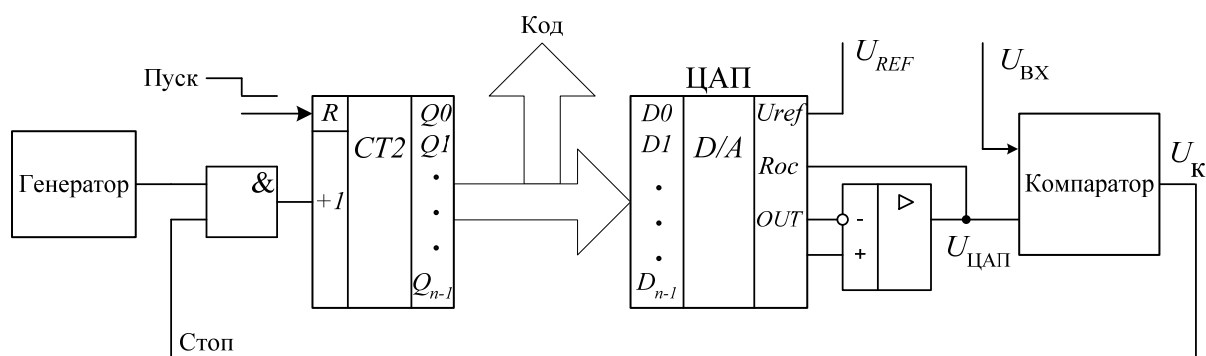


Рис. 3.8. АЦП последовательного счета

В исходном состоянии на вход сброса счетчика подан активный логический сигнал. Счетчик сброшен в ноль и подсчет входных импульсов запрещен. Так как выходной код счетчика равен нулю, то и выходное напряжение ЦАП $U_{ЦАП} = 0$. Если $U_{ВХ} > 0$, то $U_{К} = 1$, и такто-

вые импульсы с генератора через открытый элемент «И» поступают на вход счетчика. Но подсчет этих импульсов запрещен, т.к. на входе сброса R присутствует активный сигнал.

Работа преобразователя начинается с переключения сигнала «ПУСК» в состояние логического нуля, который разрешает работу счетчика, и его выходной код N увеличивается, как показано на рис. 3.9. Соответственно происходит ступенчатое увеличение выходного напряжения $U_{ЦАП}$.

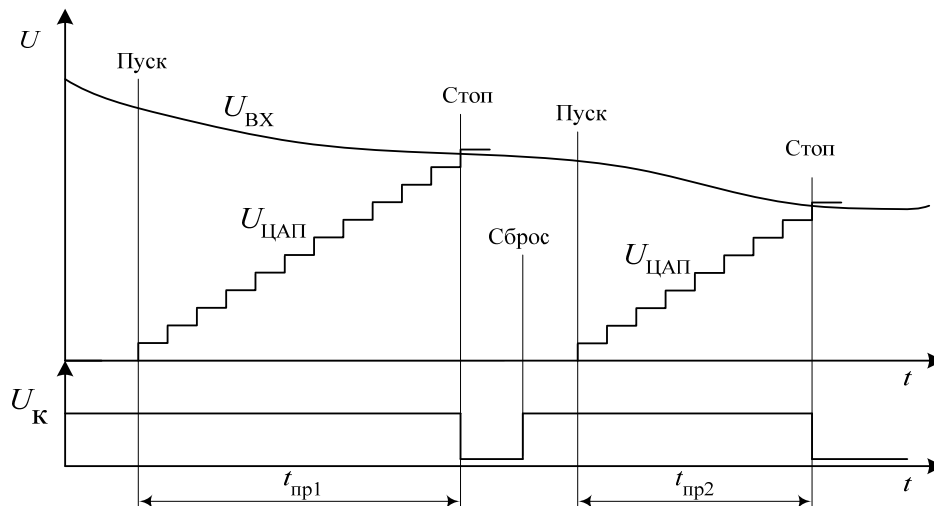


Рис. 3.9. Графики работы АЦП последовательного счета

Когда выходное напряжение ЦАП сравняется с входным напряжением, произойдет переключение компаратора и по его выходному сигналу «СТОП» закрывается логический элемент «И». В результате импульсы от генератора перестанут поступать на вход счетчика. Выходной код счетчика, соответствующий равенству $U_{ВХ} = U_{ЦАП}$, снимается с выходного регистра счетчика.

Из этих графиков видно, что время преобразования переменное и зависит от уровня входного сигнала. При числе двоичных разрядов счетчика, равном n , и периоде следования счетных импульсов T максимальное время преобразования можно определить по формуле:

$$T_{пр} = (2^n) \cdot T.$$

Так, например, при $n = 10$ разрядов и $T = 1$ мкс (т.е. при тактовой частоте 1 МГц) максимальное время преобразования равно $T_{i\delta} = (2^{10}) \cdot 1 = 1024$ мкс ≈ 1 мс, что обеспечивает максимальную частоту преобразования около 1 кГц.

АЦП последовательного приближения

Структурная схема АЦП последовательного приближения приведена на рис. 3.10. Их также называют АЦП с поразрядным уравниванием. По сравнению со схемой АЦП последовательного счета в ней сделано одно существенное изменение – вместо счетчика введен регистр последовательного приближения (РПП). Это изменило алгоритм уравнивания и сократило время преобразования.

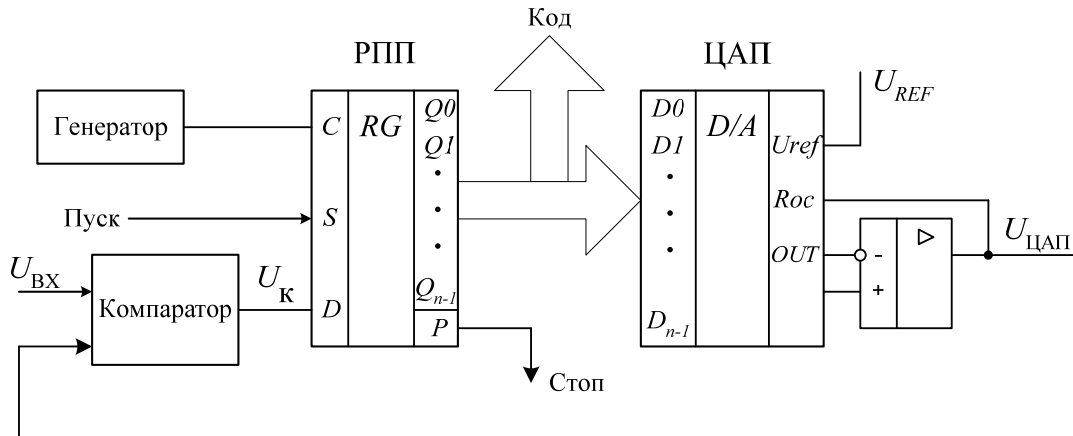


Рис. 3.10. АЦП последовательного приближения

В основе работы АЦП с регистром последовательного приближения лежит процедура последовательного сравнения преобразуемого напряжения $U_{вх}$ с набором фиксированных значений напряжений, равных $1/2, 1/4, 1/8, \dots, 1/2^n$ от возможного максимального его значения $U_{max} = U_{REF}$. Если число разрядов АЦП и соответственно РПП равно 10, то самое младшее фиксированное значение равно $1/2^{10} = 1/1024$.

Процесс преобразования начинается подачей сигнала «Пуск». При этом в регистр записывается двоичный код 1000...00 с единицей в старшем разряде, что соответствует установлению на выходе ЦАП напряжения $U_{ЦАП} = 1/2 U_{REF}$ (рис. 3.11). Это напряжение сравнивается компаратором с входным напряжением. Если $U_{вх} > U_{ЦАП}$, то логическая единица остается в регистре, а если $U_{вх} < U_{ЦАП}$, то в регистр записывается ноль. Эта процедура на примере 10-ти разрядного АЦП показана в табл. 3.3. На следующем такте записывается единица во второй разряд регистра, что соответствует увеличению выходного напряжения ЦАП на $1/4 U_{REF}$. Вновь производится сравнение напряжений и так процесс повторяется до тех пор, пока $U_{ЦАП}$ максимально не приблизится к входному напряжению $U_{вх}$.

Таблица 3.3

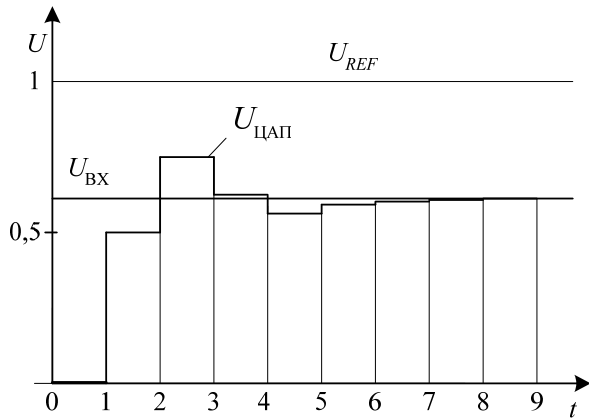


Рис. 3.11. Процесс преобразования АЦП последовательного приближения

Процедура преобразования АЦП

N	Код	Результат	U_K
1	1000000000	$U_{ВХ} > U_{ЦАП}$	1
2	1100000000	$U_{ВХ} < U_{ЦАП}$	0
3	1010000000	$U_{ВХ} < U_{ЦАП}$	0
4	1001000000	$U_{ВХ} > U_{ЦАП}$	1
5	1001100000	$U_{ВХ} > U_{ЦАП}$	1
6	1001110000	$U_{ВХ} > U_{ЦАП}$	1
7	1001111000	$U_{ВХ} > U_{ЦАП}$	1
...

Таким образом, для n -разрядного АЦП процесс преобразования выполняется за n последовательных шагов приближения (итераций) вместо 2^n при использовании последовательного счета и получается существенный выигрыш в быстродействии.

Время преобразования АЦП последовательного приближения определяется выражением $T_{пр} = T \cdot (n + 1)$, где T – период следования тактовых импульсов, n – число разрядов, $n + 1$ – для формирования сигнала P (конец преобразования).

Если сигнал с выхода P (Стоп) подать на вход S (Пуск), то АЦП переходит в циклический режим работы.

Для рассмотренных типов АЦП необходимо выполнение следующего условия. На время преобразования $T_{i\delta}$ входной сигнал должен оставаться неизменным, т.е. необходимо устройство, запоминающее входной сигнал на время преобразования. Эту функцию выполняют устройства выборки и хранения (УВХ), которые являются аналоговыми запоминающими устройствами.

На рис.3.12.а показана функциональная схема УВХ. Основным его элементом является конденсатор C , который выполняет функцию запоминающего устройства. При подаче управляющего сигнала $U_{упр}$ ключ $K1$ замыкается, а ключ $K2$ – размыкается. Входное напряжение $U_{вх}$ подается на конденсатор, который заряжается до величины вход-

ного сигнала. Далее управляющий сигнал снимается, и ключи переводятся в положение, показанное на рисунке. Таким образом, на выходе устанавливается фиксированное напряжение, которое не меняется на все время преобразования.

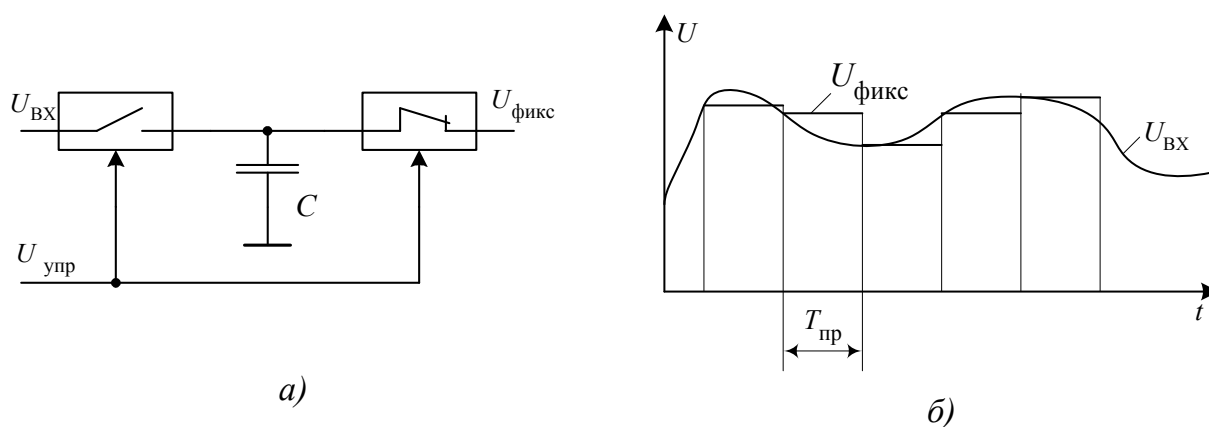


Рис. 3.12. Устройство выборки и хранения

Для получения следующего значения кода операция повторяется. На рис. 3.12.б показаны графики входного и выходного фиксированного сигналов УВХ.

В качестве ключа могут быть использованы схемы на биполярных или полевых транзисторах.

Одним из основных параметров УВХ является время выборки, т.е. время, в течение которого образуется заряд на конденсаторе. Это время зависит прямо пропорционально от емкости конденсатора, и при типовой емкости $C = 1\text{нФ}$ время выборки составляет 5 мкс.

В режиме хранения основным параметром УВХ является скорость изменения выходного напряжения, которая определяется скоростью разряда конденсатора. Скорость разряда в свою очередь определяется токами утечки ключа и конденсатора. Поэтому к конденсатору предъявляются повышенные требования. Для сохранения уровня заряда на все время преобразования конденсатор должен иметь как можно меньший ток утечки.

Выпускаемые промышленностью устройства выборки и хранения К1100СК2, К1100СК3 имеют время выборки соответственно 5 мкс и 4 мкс, и скорость изменения напряжения в режиме хранения — 0,2 мВ/мкс и 0,1 мВ/мкс.

Основной недостаток УВХ – большое время преобразования, вследствие чего возможны потери информации в быстро изменяющихся процессах.

АЦП параллельного считывания

Структурная схема АЦП параллельного считывания приведена на рис. 3.13. Устройство содержит $S = 2^n - 1$ компараторов K_i , на объединенные входы которых подается входной сигнал. На вторые входы компараторов подаются напряжения, которые задаются с помощью резистивного делителя в соответствии с используемой шкалой квантования. При подаче на входы компараторов сигнала $U_{ВХ}$ на их выходах получим квантованный сигнал, представленный в унитарном коде.

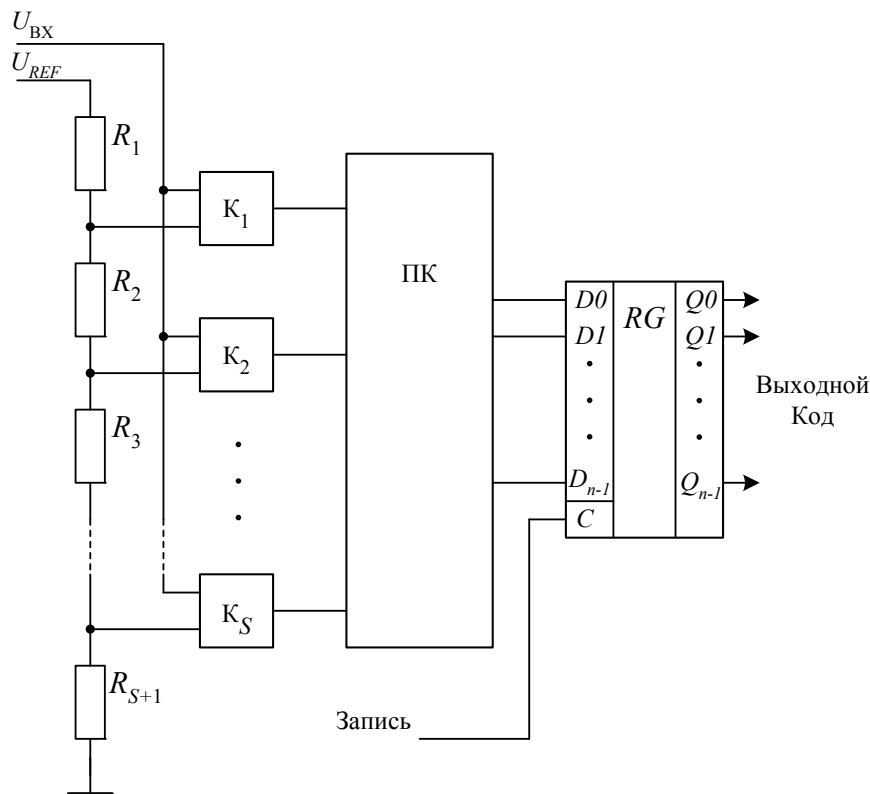


Рис. 3.13. АЦП параллельного считывания

Для преобразования унитарного кода в двоичный (или двоично-десятичный) используют преобразователь кода (ПК). При работе в двоичном коде все резисторы делителя имеют одинаковые сопротивления R . Время преобразования такого преобразователя составляет один такт, т. е. $T_{пр} = T$. Получение двоичного кода осуществляется подачей импульса «Запись» на вход C регистра. Параллельные преоб-

разователи являются в настоящее время самыми быстрыми и могут работать с частотой дискретизации свыше 100 МГц. Для получения более широкой полосы пропускания компараторы обычно делают стробируемыми.

Делитель опорного напряжения представляет собой набор низкоомных резисторов с сопротивлением около 1 Ом. Компараторы для увеличения быстродействия работают в режиме переключателя тока. Типовая задержка срабатывания компараторов около 7нс и определяется только быстродействием используемой элементной базы.

Основным недостатком таких АЦП является малое число разрядов. Это связано со значительными аппаратными затратами. Так для построения 8-разрядного АЦП необходимо 255 компараторов. Из-за применения низкоомной матрицы резисторов в схеме формируются большие токи и, следовательно, весь преобразователь потребляет большую мощность (до 2,5 Вт), что ставит проблему отвода тепла от микросхемы.

Параллельно-последовательный АЦП

Структурная схема параллельно-последовательного АЦП приведена на рис. 3.14. Такой АЦП работает в несколько тактов. В первом такте АЦП1 преобразует входное напряжения $U_{вх}$ в цифровой код старших разрядов (Код1). Затем во втором такте эти разряды преобразуются с помощью ЦАП в напряжение, которое вычитается из входного сигнала в вычитающем устройстве ВУ. В третьем такте АЦП2 преобразует полученную разность в код младших разрядов (Код2) входного напряжения $U_{вх}$.

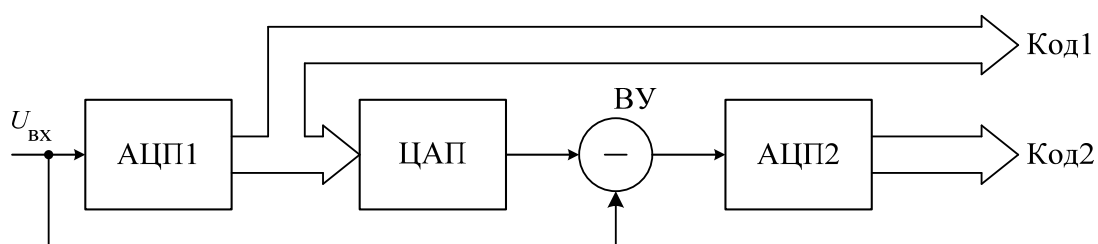


Рис. 3.14. Параллельно-последовательный АЦП

Такие преобразователи характеризуется меньшим быстродействием по сравнению с параллельными, но имеют меньшее число компараторов. Так, например для 6-ти разрядного параллельного АЦП необходимо 64 компаратора, а для параллельно-последовательного АЦП – всего 16.

Количество каскадов в таких АЦП может быть увеличено, поэтому они часто называются многокаскадными или конвейерными. Выходной код таких АЦП представляет собой сумму кодов $N=N_1+N_2+N_3+ \dots$, вырабатываемых отдельными каскадами.

АЦП средних значений напряжения

Интегрирующие АЦП можно разделить на следующие основные виды: с времяимпульсным преобразованием, с частотно-импульсным преобразованием и со статистическим усреднением. Наибольшее распространение получили первые две группы АЦП.

АЦП с двойным интегрированием

Аналого-цифровой преобразователь с двойным интегрированием относится к интегрирующим АЦП с времяимпульсным преобразованием. Он отличается повышенной точностью и помехозащищенностью.

Любой сигнал кроме полезной информационной составляющей содержит составляющие помех, таких как наводки от питающего напряжения, собственные шумы элементов и т.д.

При непосредственном преобразовании выборка сигнала происходит в дискретные моменты времени и поэтому выходной код пропорционален мгновенным значениям, а не информационным. Если в процессе преобразования сигнал проинтегрировать, то результат будет пропорционален информационной составляющей сигнала.

Результат преобразования АЦП двойного интегрирования представляется цифровым кодом, эквивалентным среднему значению напряжения на аналоговом входе, преобразуемому за фиксированный интервал времени в соответствии с выражением

$$\int_0^{T_0} U_{\text{вх}}(t) dt = \int_0^{T_x} U_{\text{REF}} dx,$$

где T_0 – фиксированный интервал интегрирования входного сигнала $U_{\text{вх}}$, T_x – интервал интегрирования U_{REF} .

Скорость нарастания выходного напряжения интегратора зависит от величины входного сигнала. Чем больше входной сигнал, тем больше скорость нарастания выходного. Графики, иллюстрирующие работу АЦП для трех значений входного сигнала, приведены на рис. 3.15, а его структурная схема показана на рис. 3.16.

Работу этой схемы можно разделить на три такта.

1. Входной сигнал $U_{\text{вх}}$ поступает на вход интегратора, и его выходное напряжение увеличивается с постоянной скоростью, пропорциональной величине $U_{\text{вх}}$.

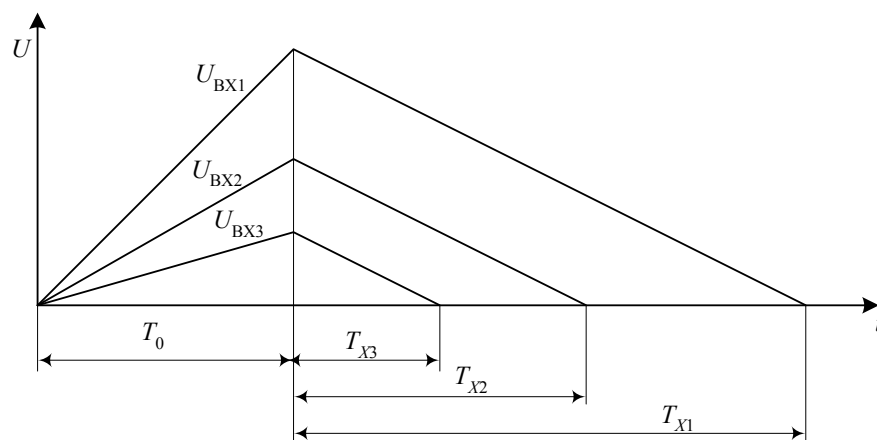


Рис. 3.15. Процесс преобразования интегрирующего АЦП

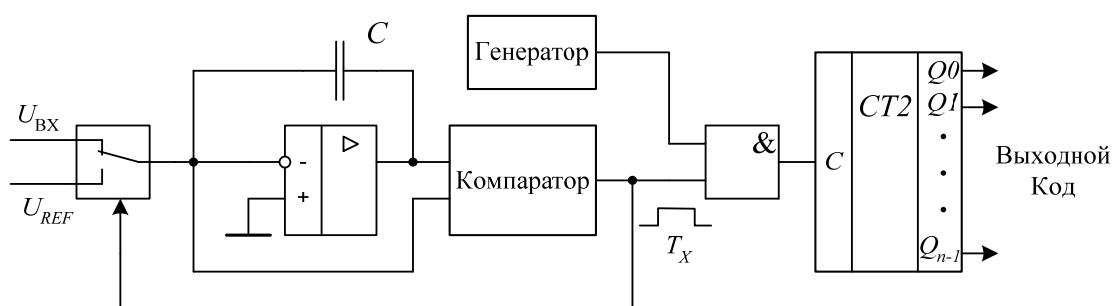


Рис. 3.16. АЦП двойного интегрирования

2. Через фиксированный интервал времени T_0 компаратор переключает ключ и на вход интегратора подается опорное напряжение U_{REF} противоположной полярности и выходное напряжение интегратора начинает уменьшаться с фиксированной скоростью, определяемой величиной U_{REF} .

3. При достижении выходного напряжения интегратора нулевого значения компаратор отключает опорное напряжение от входа интегратора и включает цепи автокомпенсации нуля интегратора.

Во втором такте во время разряда интегратора на выходе компаратора установлен уровень логической единицы, которая открывает элемент «И». Импульсы с генератора поступают на вход C счетчика, который подсчитывает их в течение интервала времени T_x и формирует выходной код.

Как видно из графика процесса преобразования (см. рис.3.16) величина интервала T_x зависит от значения входного сигнала $U_{вх}$. Таким образом, выходной код счетчика также определяется величиной входного напряжения.

К недостаткам таких интегрирующих АЦП относится, прежде всего, сравнительно невысокое быстродействие. Кроме этого, при перегрузке АЦП большим входным сигналом происходит перезаряд интегрирующего конденсатора C , поэтому после снятия перегрузки в течение нескольких циклов АЦП будет работать с большой погрешностью.

Другим типом интегрирующих АЦП являются АЦП с частотно-импульсным преобразованием, принцип работы которых основан на предварительном преобразовании входного напряжения в пропорциональную ему частоту следования импульсов, которая затем измеряется за фиксированный интервал времени. После подсчета числа импульсов результат выдается в виде цифрового эквивалента входного напряжения.

В последнее время в связи с широким применением АЦП в различных системах сбора и обработки информации появились новые типы преобразователей с улучшенными характеристиками. К их числу относятся: АЦП с сигма-дельта (Σ/Δ) модулятором, АЦП быстрого интегрирования и конвейерные АЦП.

АЦП с сигма-дельта модулятором выполняет два процесса: интегрирование за малое время и сложение результатов интегрирования. Выходным сигналом такого модулятора является частота импульсов. Схема такого АЦП во многом совпадает с АЦП с частотно-импульсным преобразованием. В этом АЦП также производится компенсация заряда, накопленного в интеграторе, а вместо импульсного генератора используется одноразрядный ЦАП с компаратором на входе.

АЦП быстрого интегрирования представляет собой интегрирующий АЦП с время-импульсным преобразованием, в котором разряд интегратора выполняется ускоренным образом. Вначале разряд идет от большого опорного напряжения U_{REF} (с большой скоростью) до некоторого значения E , а затем от малого U_{REF} – с малой скоростью (рис. 3.17). Такой процесс разряда похож на работу скоростного лифта. Между этажами он движется быстро, а при подходе к остановке

резко замедляет скорость. В таких АЦП сокращается время разряда интегратора и увеличивается точность сравнения в конце разряда.

Конвейерный АЦП представляет собой структуру, подобную параллельно-последовательному АЦП, но с увеличенным числом каскадов.

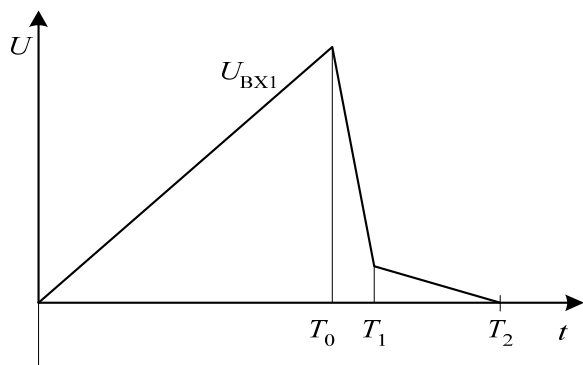


Рис. 3.17. График разряда конденсатора

Для хранения мгновенных значений напряжения в каждом каскаде используются устройства выборки и хранения информации. Вычитающие устройства образуют разность напряжений, подлежащую преобразованию в следующем каскаде. Все АЦП параллельные и имеют небольшое число разрядов (обычно не больше четырех).

Интегральные микросхемы АЦП

В последнее время многие фирмы организовали производство серийных интегральных микросхем АЦП, основанных на различных принципах и предназначенных для работы в устройствах сопряжения датчиков аналоговых сигналов с ЭВМ и микропроцессорами, в различных измерительных устройствах, мультиметрах, в медицинской аппаратуре, цифровых термометрах и др.

Наиболее крупными производителями АЦП в России являются заводы «Микрон» и «Сапфир», а за рубежом — компании Analog Devices (США), Micro power (США), Philips, Maxim, Sony и др.

Прежде всего, необходимо отметить, что резко увеличилась разрешающая способность АЦП. Ряд фирм выпускает АЦП с разрешением до 24 двоичных разрядов. Однако наиболее распространенными являются АЦП с разрядностью 8, 10, 12 и 16 разрядов. Повысилось быстродействие серийных микросхем АЦП. Налажено производство АЦП с максимальной частотой преобразования 20...50МГц. Такие АЦП используются при преобразовании видеосигналов в цифровую форму в цифровых телевизорах, видеоманитофонах, видеомониторах и других устройствах.

Контрольные вопросы

1. Объясните принцип работы ЦАП с суммированием токов.
2. Как в ЦАП осуществляется преобразование тока в напряжение?
3. Какие операции необходимо выполнить при аналого-цифровом преобразовании?
4. Перечислите способы аналого-цифрового преобразования.
5. Какой АЦП является самым быстродействующим и почему?
6. Сколько разрядов должен иметь ЦАП для получения точности установления выходного напряжения 0,1%?
7. Почему интегрирующий АЦП отличается повышенной точностью и помехозащищенностью?

4. СХЕМОТЕХНИКА ЦИФРОВЫХ УСТРОЙСТВ

4.1. УСТРОЙСТВА ВЫВОДА

Классификация устройств вывода информации представлена на рис. 4.1.

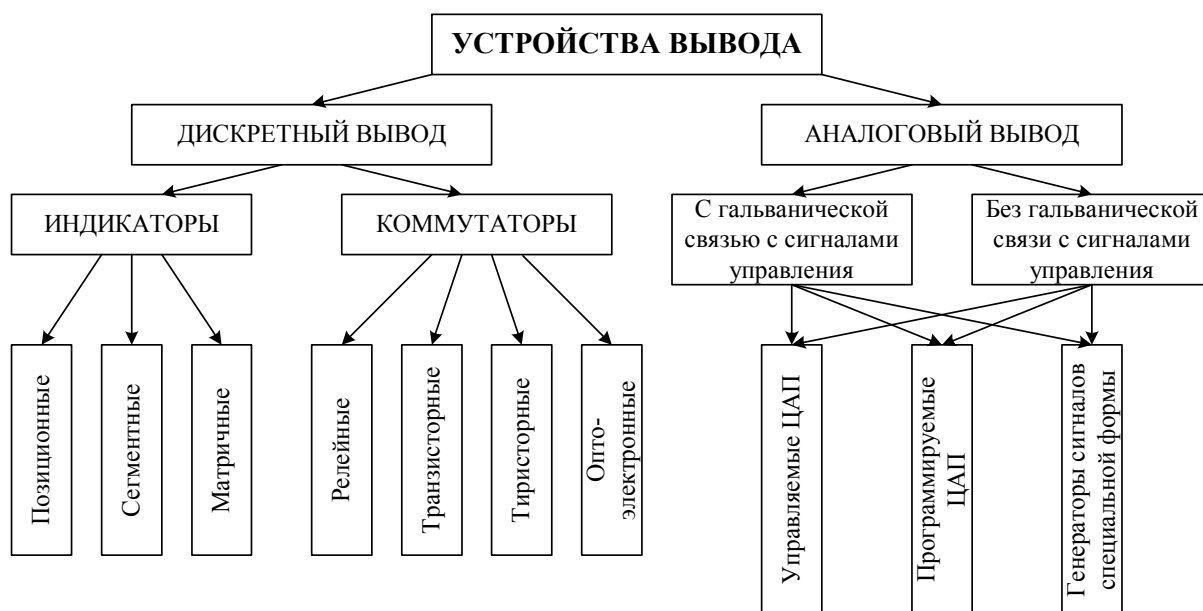


Рис. 4.1. Классификация устройств вывода

Все устройств вывода подразделяются на два больших класса: устройства дискретного и аналогового вывода.

4.1.1. Устройства дискретного (позиционного) вывода

Огромный класс устройств, отображающих одно из двух возможных состояний цифрового устройства. Можно выделить две основных группы устройств этого класса отличающихся по своему назначению. Это индикаторы и коммутаторы.

Индикаторы

Используются для организации информационного взаимодействия и отображения состояния устройства для человека-оператора. Индикаторы в свою очередь подразделяются на позиционные, сегментные и матричные.

По принципу действия индикаторы классифицируют на активные, которые основаны на преобразовании энергии электрического тока в световой поток, и пассивные – основаны на модуляции внешнего светового потока под действием электрического поля. К первому классу относятся вакуумные накаливаемые, полупроводниковые и вакуумные люминесцентные индикаторы, ко второму — жидкокристаллические индикаторы.

Вакуумный накаливаемый индикатор представляет собой электровакуумный прибор, внутри которого расположены элементы излучения в виде нитей накаливания.

Из всех низковольтных приборов вакуумные накаливаемые индикаторы обладают самой высокой яркостью свечения, что позволяет эксплуатировать их в любых условиях внешнего освещения, вплоть до прямого солнечного света. Внутреннее расположение нитей дает возможность отображать арабские цифры от 0 до 9, а также многие буквы русского и латинского алфавитов.

Полупроводниковый индикатор выполняют на основе светоизлучающих диодов. Используя различный исходный материал, можно получить светоизлучающие диоды с различным цветом свечения — от красного до зеленого. Светодиодные индикаторы изготавливают как бескорпусными, так и в металлическом, металлокерамическом или пластмассовом корпусах. При этом во всех конструкциях принимают специальные меры для визуального увеличения размеров индикаторов: используют фокусирующие и диффузионные линзы, прозрачные пластмассовые корпуса, создают многократные отражения от внутренних поверхностей излучающего диода и т. д. Диаметр светового пятна индикатора составляет 1,5 ... 4 мм.

Светоизлучающие диоды применяют в виде семисегментных знаковинтезирующих индикаторов, либо с большим числом сегментов (рис. 4.2.а, б), либо набирают в матричные и мозаичные панели.

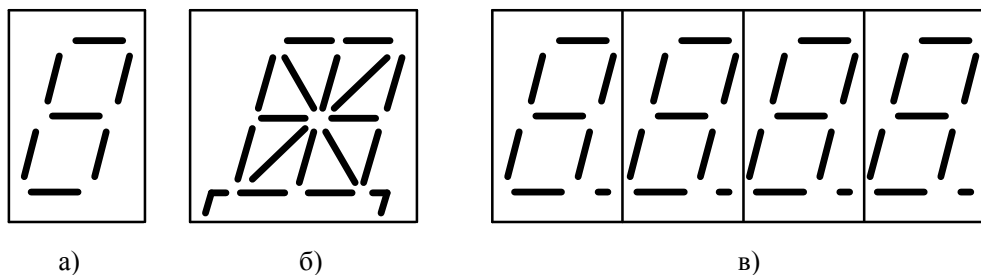


Рис. 4.2. Сегментные индикаторы

Для составления многоразрядных индикаторов одnorазрядные индикаторы объединяют в группы, содержащие от 2 до 12 приборов (рис. 4.2.в).

Такие индикаторы широко применяются в микрокалькуляторах. В них добавлен дополнительный сегмент, выполняющий функцию точки.

Наиболее универсальными являются матричные полупроводниковые индикаторы, позволяющие отображать арабские цифры от 0 до 9, римские цифры, буквы русского и латинского алфавитов; различные знаки и символы. Такие индикаторы представляют собой матрицы (панели), содержащие, например 7x5 или 8x5 светоизлучающих диодов, соединенных так, что для высвечивания конкретной световой точки необходимо подать напряжение на выводы соответствующих строки и столбца.

Электрические параметры полупроводниковых индикаторов определяются как их конструкцией, так и типом исходного полупроводникового материала. Рабочее напряжение одного светоизлучающего диода лежит в интервале 1,5 ... 2,5 В, а ток – 3 ... 20 мА.

Жидкокристаллический индикатор (ЖКИ) по своей природе пассивен, т. е. требует внешнего освещения, и работает за счет изменения оптической плотности жидкого кристалла. По способу использования внешнего освещения ЖКИ подразделяют на индикаторы, работающие на просвет и на отражение.

В зависимости от свойств используемых жидких кристаллов возможно получение одноцветных темных изображений на светлом фоне, светлых изображений на темном фоне или цветных изображений. В настоящее время промышленностью выпускаются однорядные и многорядные цифровые, а также шкальные жидкокристаллические индикаторы. Индикаторы питаются переменным током, не содержащим постоянной составляющей, напряжением 3 ... 24 В. Ток потребления составляет десятки микроампер.

Основными преимуществами жидкокристаллических индикаторов являются сверхмалое потребление энергии, хорошие яркость и контрастность изображения при сильном внешнем освещении, согласованность по уровням напряжения с КМОП-ИС, простота конструкции и высокая долговечность. К недостаткам относятся малый интервал рабочих температур и большая инерционность.

Позиционные индикаторы

Работают по принципу «горит – не горит».

Рассмотрим схемотехнику подключения индикаторов к цифровым устройствам. В качестве сигнала, предназначенного для включения индикатора, можно использовать выходной сигнал любого цифрового устройства: логического элемента, триггера, счетчика дешифратора микроконтроллера и т.д.

При подключении индикатора необходимо соблюдать следующие требования. Максимальный ток I , необходимый для нормальной работы индикатора, не должен превышать максимальный выходной ток цифрового устройства. На рис.4.3 показаны два варианта подключения светодиодного индикатора к логическому элементу «2И-НЕ».

Если на входе элемента «И-НЕ» (рис. 4.3.а.) $U_{ВХ}$ соответствует логическому нулю, то на выходе – логическая единица. Так как уровень логической единицы соответствует 5В, то при $U_{ПИТ} = 5В$ на светодиоде VD разность потенциалов равна нулю, ток I_{VD} через светодиод не протекает и он не горит. При подаче на вход элемента логической единицы на его выходе установится уровень логического нуля (0В) и светодиод будет гореть за счет протекающего через него тока I_{VD} .

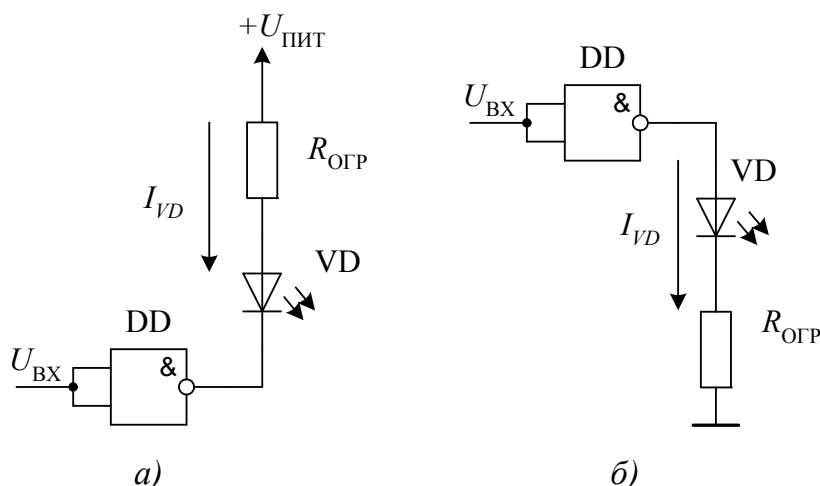


Рис. 4.3. Подключения светодиодного индикатора

Ограничивающий резистор $R_{огр}$ предназначен для ограничения тока через светодиод и рассчитывается по формуле

$$R_{огр} = \frac{U_{пит} - U_{VDпр} - U_{0лэ}}{I_{VD}}, \quad (4.1)$$

где $U_{пит} = 5В$ – напряжение питания логического элемента, $U_{VDпр}$ – прямое падение напряжения на светодиоде, которое выбирается из справочника, $U_{0лэ} = 0,4В$ – напряжение логического нуля, I_{VD} – номинальный прямой ток светодиода, который также выбирается из справочника. Ток I_{VD} не должен превышать максимальный выходной ток цифрового устройства.

Для схемы на рис. 4.3.б алгоритм работы индикатора противоположен первому варианту. Если на входе элемента логический ноль, то светодиод будет светиться, а при логической единице – не будет.

Применение элементов с открытым коллектором позволяет повысить напряжение, подаваемое на индикатор. Как говорилось в разделе 2.1, коллектор выходного транзистора такого элемента не подключен к внутреннему источнику питания микросхемы и является свободным. Это позволяет подключать его к источнику питания с повышенным напряжением. $U_{пит}$ может достигать до 50 В в зависимости от типа микросхемы. На рис. 4.4.а показан пример подключения лампы накаливания, рассчитанной на напряжение питания 27 В. Ограничивающий резистор в данном случае отсутствует, т.к. лампа накаливания сама обладает внутренним сопротивлением, которое

ограничивает ток I_{HL} . Мощность лампы накаливания должна быть такой, чтобы ток I_{HL} не превышал максимальный выходной ток логического элемента.

Увеличение тока логического элемента должно достигнуть параллельным включением элементов (рис. 4.4.б). В этом случае мощность лампы накаливания может быть увеличена в два раза. Параллельное включение допустимо только для элементов с открытым коллектором.

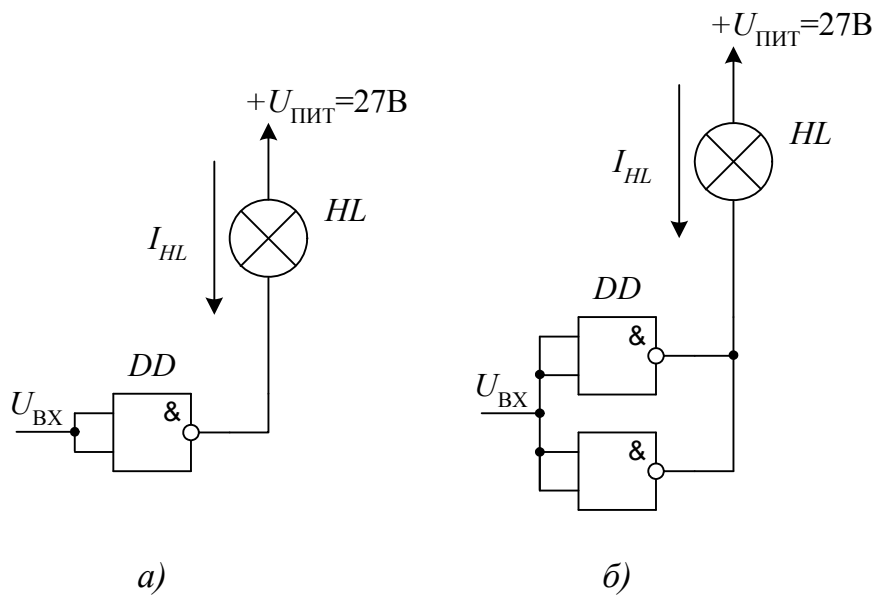


Рис.4.4. Использование элемента с ОК

Управление более мощными индикаторами возможно при использовании внешних ключей (рис. 4.5).

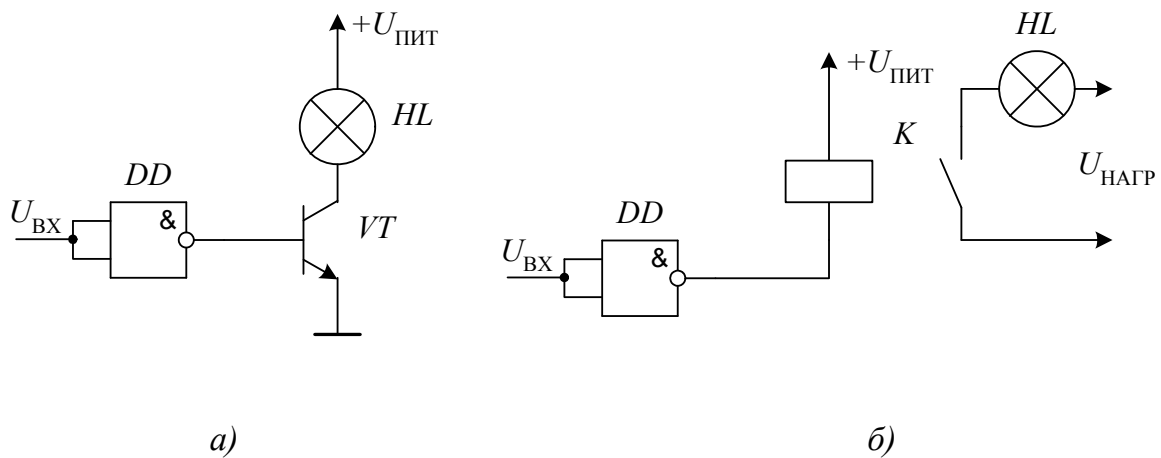


Рис.4.5. Использование внешних ключей

В этом случае максимальная мощность нагрузки будет определяться параметрами транзистора VT (рис. 4.5.a) и параметрами реле K (б), и может достигать нескольких сотен ватт.

Сегментные индикаторы

Они предназначены для формирования информационных сообщений человеку-оператору в виде последовательности буквенно-цифровых символов.

Наибольшее применение нашли светодиодные и жидкокристаллические индикаторы (ЖКИ).

Каждый сегмент семисегментного индикатора обозначается буквой латинского алфавита (рис. 4.6).

Наиболее просто подключение сегментного индикатора можно осуществлять к какому-либо многоразрядному цифровому устройству, например к регистру (рис. 4.7).

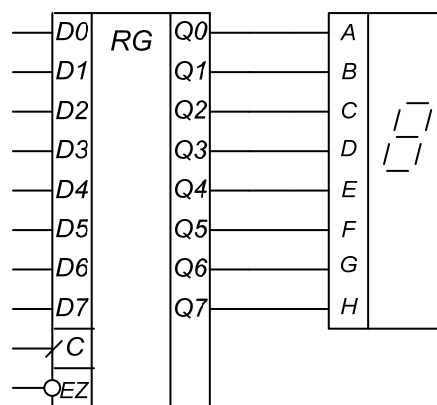
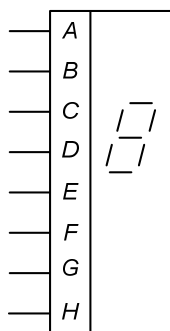
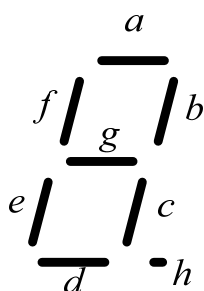


Рис. 4.6. Условное обозначение сегментного индикатора

Рис. 4.7. Подключение индикатора к регистру

В этом случае для получения на индикаторе какой-либо цифры необходимо формировать уникальный двоичный код. Например, чтобы получить цифру 4 нужно включить сегменты *b*, *c*, *f* и *g*, которые подключены к разрядам регистра Q_1 , Q_2 , Q_5 , Q_6 , что соответствует двоичному коду 01100110.

Более удобно использовать двоичный код, который соответствует десятичному: 4 – 0100, 6 – 0110, 9 – 1001 и т.д. Функцию преобразования двоичного кода в код семисегментного индикатора выполняют промышленные преобразователи кода, например серии К514, которые предназначены для светодиодных индикаторов.

В светодиодных индикаторах каждый сегмент представляет собой светодиод. Светодиоды в индикаторе могут быть включены по схеме с общим анодом или общим катодом. Варианты подключения индикаторов с общим анодом и общим катодом к преобразователям показаны на рис. 4.8.а и рис. 4.8.б соответственно.

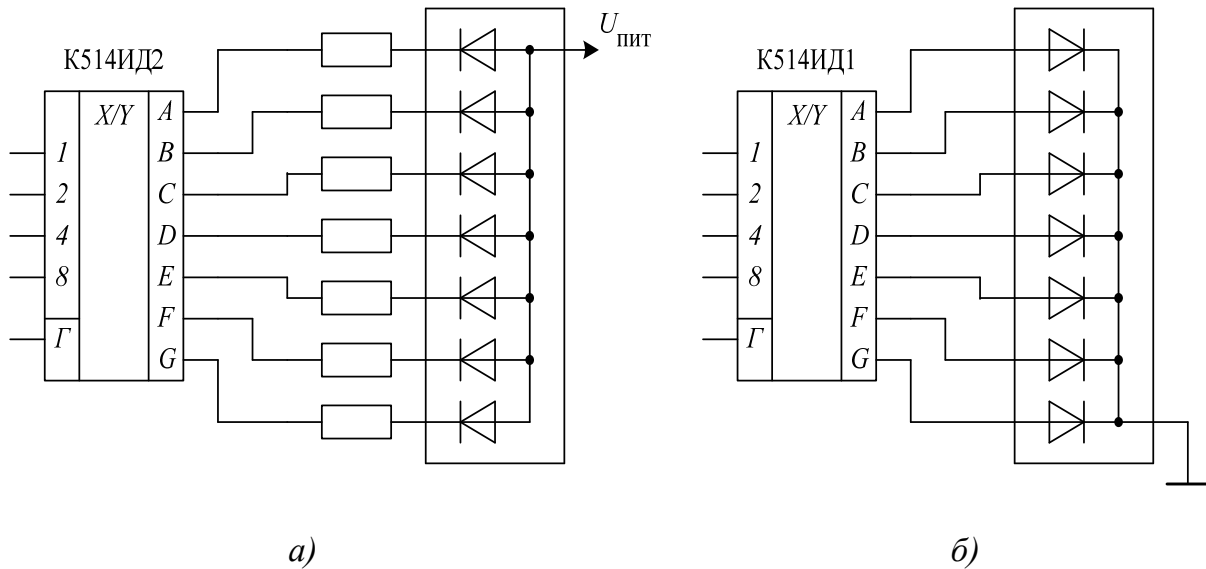


Рис. 4.8. Использование промышленных преобразователей

При проектировании устройств для отображения многоразрядных десятичных чисел можно использовать специальные преобразователи двоичного многоразрядного кода в двоично-десятичный (например, см. рис. 2.51). Возможно также использование преобразователей, выполненных на микросхемах постоянной памяти (рис. 4.9). На входы выборки адреса всех ПЗУ ($A_0 \dots A_{11}$) подается двоичный код числа, которое необходимо отобразить на индикаторах. В ПЗУ записываются таблицы преобразования двоичного кода в двоично-десятичный код (рис. 4.9.а). Причем в ПЗУ $DD1$ записывается таблица для единиц и десятков, а в $DD2$ – сотен и тысяч десятичных чисел. Можно обойтись без дополнительных промышленных преобразователей (рис. 4.9.б). В этом случае используется четыре ПЗУ ($DD1 \dots DD4$), в которые записывается таблица преобразования двоичного кода в код семисегментного индикатора, соответственно для каждого десятичного разряда.

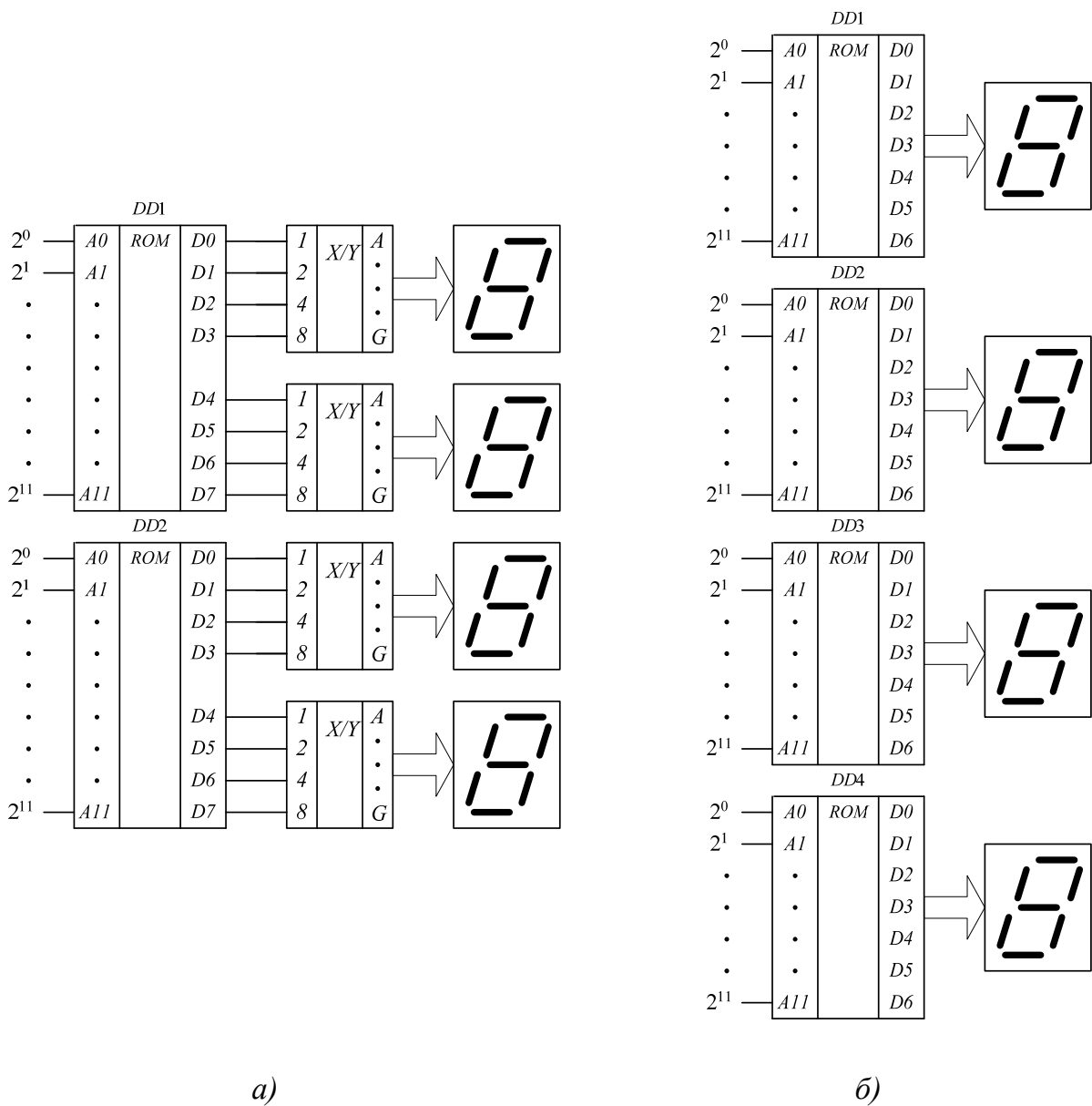


Рис. 4.9. Использование ПЗУ

Основным недостатком таких устройств является большая мощность потребления в линейке светодиодных индикаторов. Каждый сегмент индикатора представляет собой светодиод. Средний ток потребления одним светодиодом 10 мА. Таким образом, при отображении цифры 8 потребляется ток 80 мА. Если включено несколько индикаторов, то ток может достигать нескольких сотен миллиампер, что в несколько раз превышает ток потребления всей системой управления. Для устранения этого недостатка применяют так называемую динамическую индикацию (рис. 4.10).

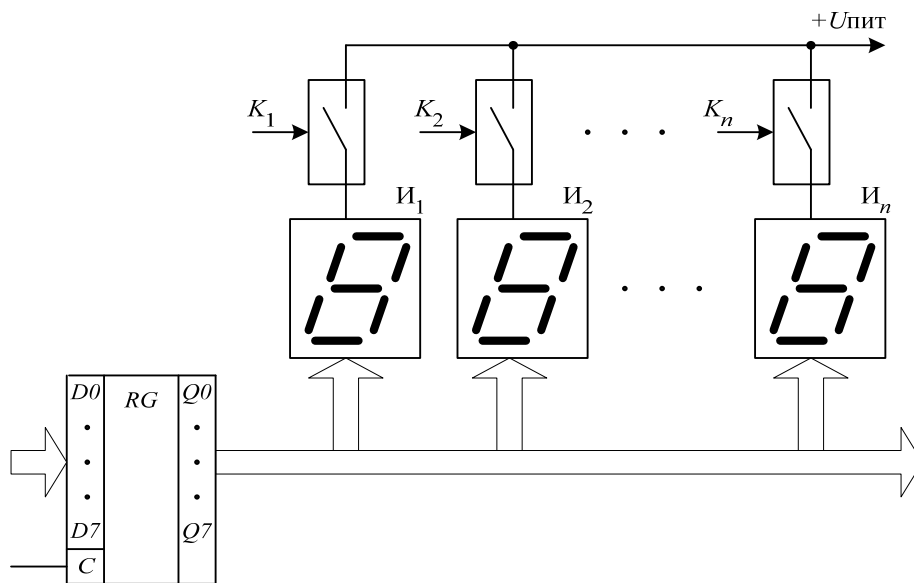


Рис. 4.10. Динамическая индикация

Как говорилось выше, светодиоды в индикаторе могут быть включены по схеме с общим анодом или общим катодом. Например, для схемы с общим анодом для работы индикаторов необходимо на их аноды подать напряжение питания. Это может осуществляться с помощью транзисторного ключа.

В регистр записывается код выводимого на первый индикатор символа и включается ключ K_1 , который подает напряжение на аноды

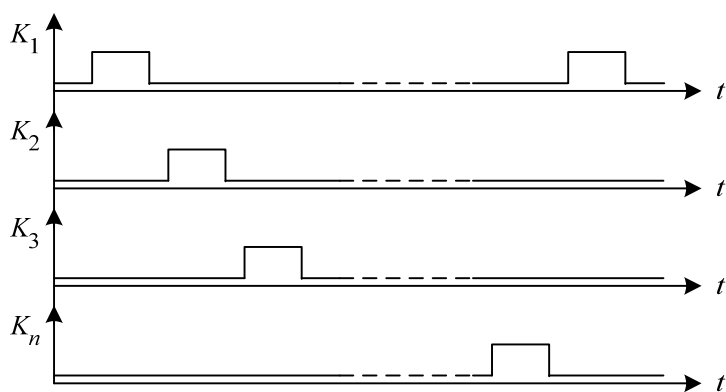


Рис. 4.11. Временная диаграмма

первого индикатора (рис. 4.11). В следующий момент времени в регистр записывается код для второго индикатора, выключается ключ K_1 и включается ключ K_2 и т. д. Таким образом, в каждый момент времени включен только один индикатор

и потребляется ток также только одним индикатором независимо от их количества.

Если частота переключения ключей более 50 Гц, то человеческий глаз уже не воспринимает мелькание.

Яркость свечения определяется как среднеквадратичная величина от мощности, и чем площадь импульса меньше, тем слабее свечение, воспринимаемое глазом.

Матричные индикаторы

Они предназначены для формирования любых символов и изображений, в том числе и движущихся. Выпускаются светодиодные и жидкокристаллические индикаторы (ЖКИ).

Основу матричных индикаторов составляет матрица излучающих элементов. На рис. 4.12 изображен светодиодный матричный индикатор размером 4x4.

Для обеспечения протекания тока через светодиод и соответственно его свечения необходимо создать разность потенциалов между его анодом и катодом. Для этого на входы Y индикатора подается логическая единица, т.е. положительный потенциал, а на входы X – логический ноль.

Если эти условия выполняются только для входов Y_3 и X_0 , то будет светиться только правый верхний светодиод. На остальных входах Y и X должны быть соответственно логический ноль и логическая единица.

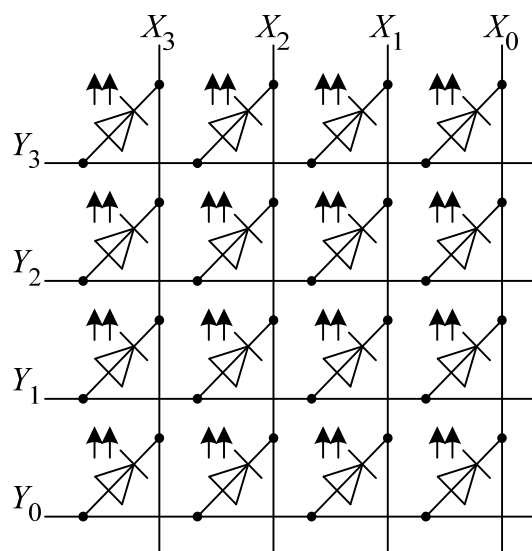


Рис. 4.12. Матричный индикатор

Для формирования какого-либо символа на этом индикаторе необходимо использовать динамическую индикацию и на его входы подавать соответствующие комбинации нулей и единиц.

Вариант схемы управления матричным индикатором размером 8 строк на 8 столбцов приведен на рис. 4.13. В регистр записывается двоичный код символа, который необходимо отобразить на индикаторе. В ПЗУ хранится таблица преобразования двоичного кода в код матричного индикатора. Этот код через дешифраторы подается на соответствующие строки и столбцы индикатора.

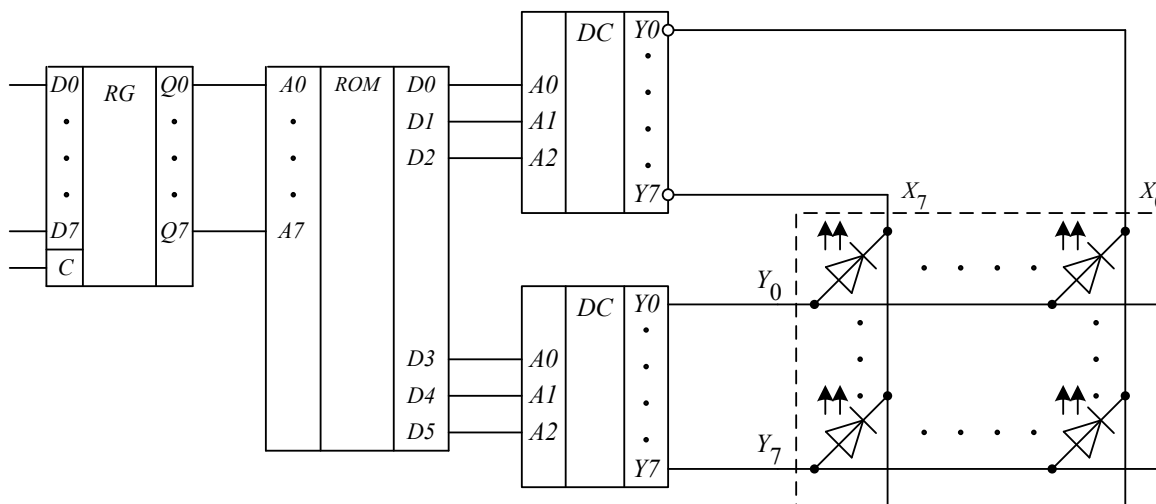


Рис. 4.13. Схема управления матричным индикатором

Основное применение матричных индикаторов – формирование знаковосинтезирующих устройств, бегущей строки, графических изображений и т.д.

В качестве регистра, ПЗУ и дешифраторов чаще всего используется микроЭВМ, выполняющая функции этих элементов.

Основным недостатком матричных индикаторов является сложная схема управления и преобразования кодов.

Промышленностью выпускается достаточно большая номенклатура знаковосинтезирующих и графических индикаторов. На рис. 4.14 приведена структурная схема и условное обозначение индикатора *DV* (*Data Vision*). Сам индикатор представляет собой знаковосинтезирующую панель, содержащую одну, две или четыре строки с числом символов в строке от восьми до 24.

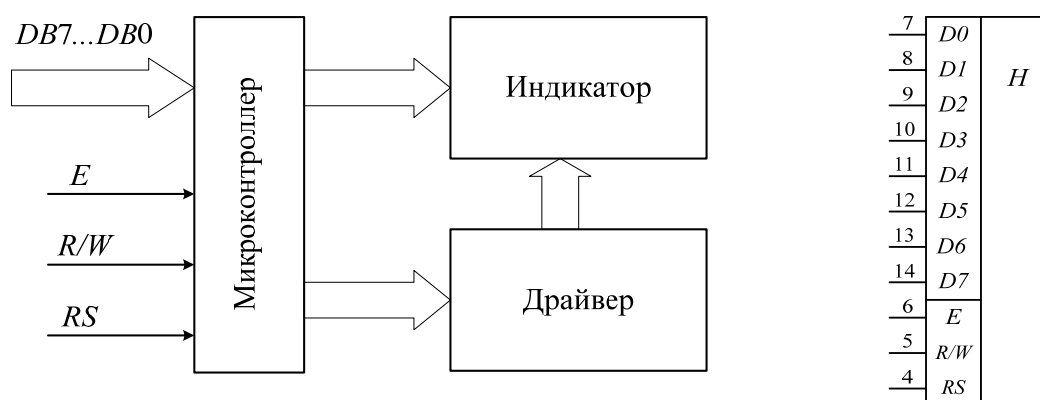


Рис. 4.14. Знакосинтезирующий индикатор

При сигнале $RS = 1$ по шине данных $DB0...DB7$ в микроконтроллер записывается двоичный код символа с помощью управляющего сигнала R/W . Индикатор позволяет выводить строчные и прописные буквы русского и латинского алфавита, цифры, а также служебные символы.

При сигнале $RS = 0$ микроконтроллер по шине данных принимает управляющие сигналы, такие как очистка дисплея, установка курсора в заданную позицию, перемещение курсора и другие.

Существуют также графические индикаторы, на которых можно формировать различные графические изображения.

Коммутаторы

Используются для управления объектами с двумя состояниями.

Релейные коммутаторы

Схемотехника подключения коммутаторов аналогична схемам подключения индикаторов. На рис.4.15 показаны *а)*, *б)* – маломощные; *в)* – увеличенной мощности; *г)* – мощные.

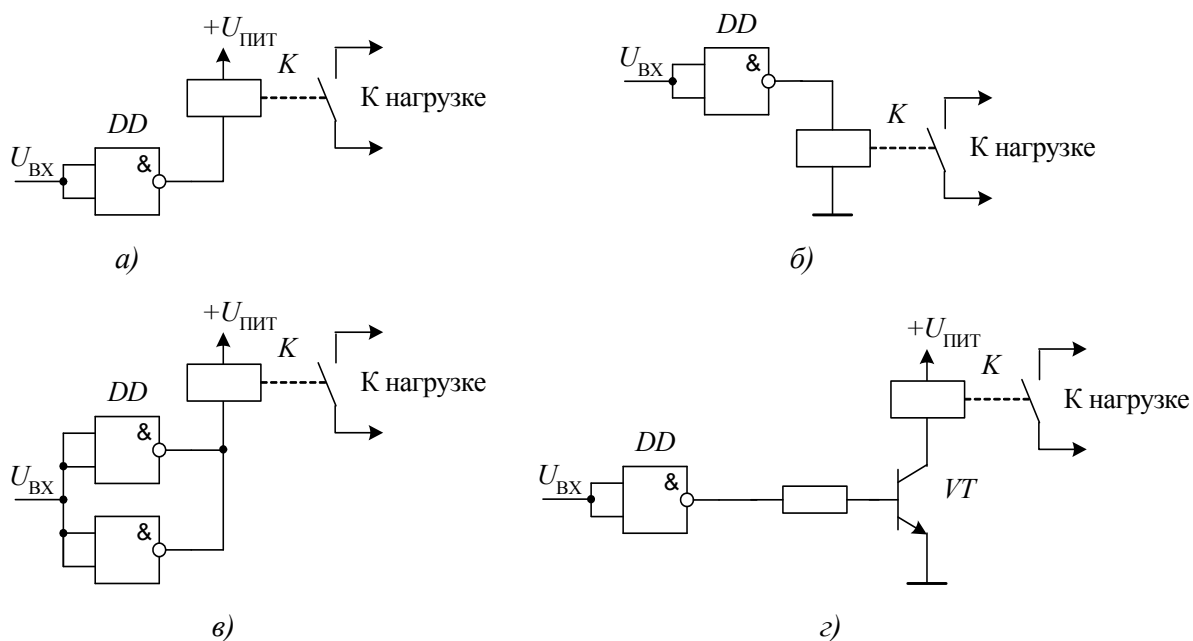


Рис. 4.15. Релейные коммутаторы.

При проектировании коммутаторов для надежного их срабатывания необходимо учитывать значения напряжений логического нуля и логической единицы на выходе цифрового элемента, а также значения максимального выходного тока.

Для мощного коммутатора (рис.4.15.2) необходимо рассчитать параметры транзисторного ключа таким образом, чтобы обеспечить степень насыщения ключа равную 1,1...1,2.

К достоинствам релейных коммутаторов следует отнести простоту реализации и полную изоляция коммутируемых цепей от цепей управления.

Недостатком таких ключей является наличие механического контакта, что приводит к низкой надежности и медленной работе.

Транзисторные коммутаторы

Они используются для коммутации цепей постоянного тока рис. 4.16 и имеют большую частоту переключений по сравнению с релейными коммутаторами. В транзисторных коммутаторах нагрузка, имеет общий провод со схемой управления, что может привести к проникновению помех от силовых цепей (нагрузки) в систему управления.

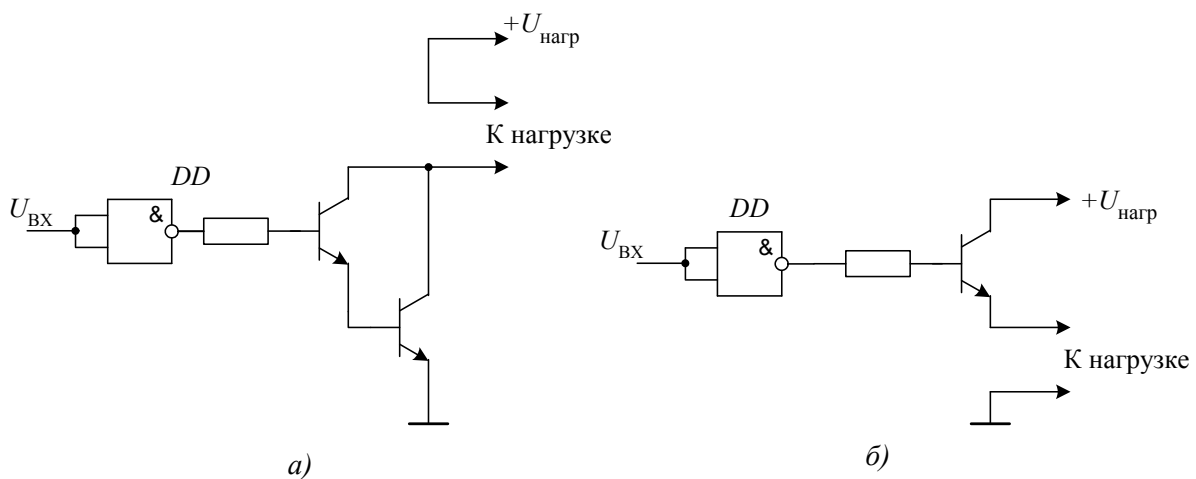


Рис. 4.16. Транзисторные коммутаторы

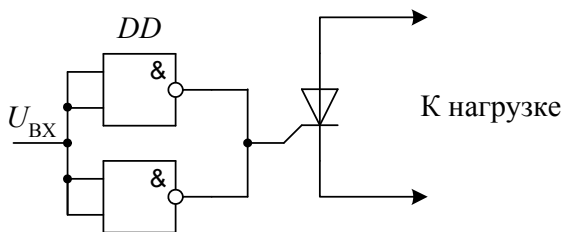


Рис. 4.17. Тиристорный коммутатор

Тиристорные коммутаторы

Для коммутации цепей переменного тока используют тиристорные коммутаторы рис. 4.17. В связи с тем, что ток управляющего перехода тиристора может достигать нескольких десятков миллиампер, то для

переключения тиристора необходимо использовать элементы с повышенной нагрузочной способностью, например два включенных

элемента с открытым коллектором. Эти коммутаторы еще меньше защищены от проникновения помех от силовых цепей в систему управления.

Оптоэлектронные коммутаторы

Для защиты от проникновения помех от силовых цепей применяют оптоэлектронные коммутаторы. Основу их составляют оптоэлектронные приборы, которые содержат одновременно источник и приемник световой энергии. Для оптопары как входным, так и выходным параметром является электрический сигнал, причем гальваническая связь между входными и выходными цепями отсутствует. В качестве излучателя оптопары могут быть использованы инфракрасный излучающий диод, светоизлучающий диод, люминесцентный излучатель или полупроводниковый лазер. Наибольшее распространение в настоящее время получил инфракрасный излучающий диод, что объясняется простотой его структуры, управления и высоким КПД. В качестве приемника оптопары находят применение фотоэлектрические приборы: фоторезистор, фотодиод, фототранзистор и др. Следует отметить, что оптопара позволила создать аналог разделительного трансформатора, что является особенно актуальным в интегральной микроэлектронике.

Маркировка оптопар включает несколько символов, в которой обозначается материал (обычно это буква А или цифра 3 – соединение галлия), тип приемника оптопары (Д – диод, Т – транзистор, У – тиристор), номер разработки прибора по параметрам.

Примеры маркировки:

АОД130А – оптопара диод-диод на основе соединения галлия;

АОТ 110А – оптопара диод-транзистор;

АОУ 115А – оптопара диод-тиристор.

Схема коммутатора на оптодиодах приведена на рис. 4.18.

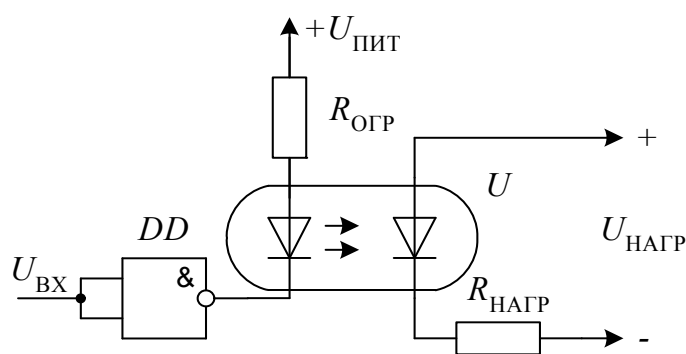


Рис. 4.18. Коммутатор на оптодиодах

Ограничивающий резистор $R_{\text{ОГР}}$ рассчитывается по формуле (4.1). Для напряжения питания $U_{\text{ПИТ}} = 5\text{В}$ величина ограничивающего резистора $R_{\text{ОГР}} = 200 \dots 390 \text{ Ом}$.

Недостатком такого коммутатора является малая величина коммутируемого тока нагрузки и составляет несколько десятков миллиампер.

Наиболее широкое применение нашли коммутаторы на оптотранзисторах. Схемы простейших коммутаторов приведены на рис. 4.19, которые построены на оптронах АОТ101 (а) и АОТ110 (б), зарубежные аналоги – 4N25 и 4N33 соответственно. Основное отличие этих коммутаторов – максимальный коммутируемый ток, который составляет 10мА (а) и 200 мА (б).

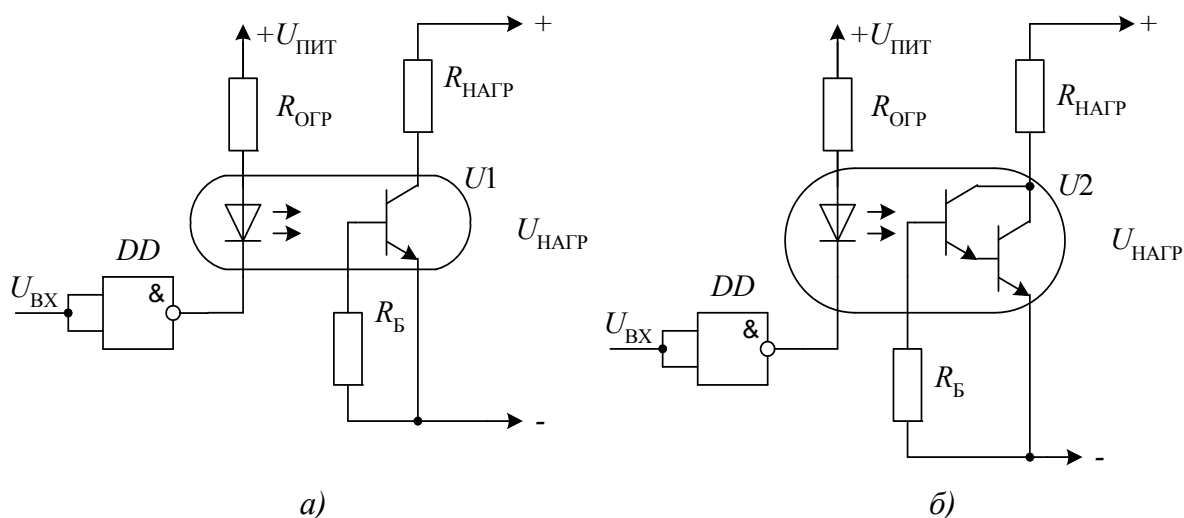


Рис. 4.19. Коммутаторы на оптотранзисторах

Для увеличения величины коммутируемого тока применяют коммутаторы с дополнительным внешним транзистором (рис.4.20). Это самый распространенный тип коммутатора. Основная задача при его проектировании – обеспечение минимального рассеивания мощности на ключе, что достигается выбором резисторов R_1 и R_2 . Коммутируемый ток нагрузки для такого коммутатора может достигать нескольких ампер, при напряжении более 200 В и определяются параметрами внешнего транзистора.

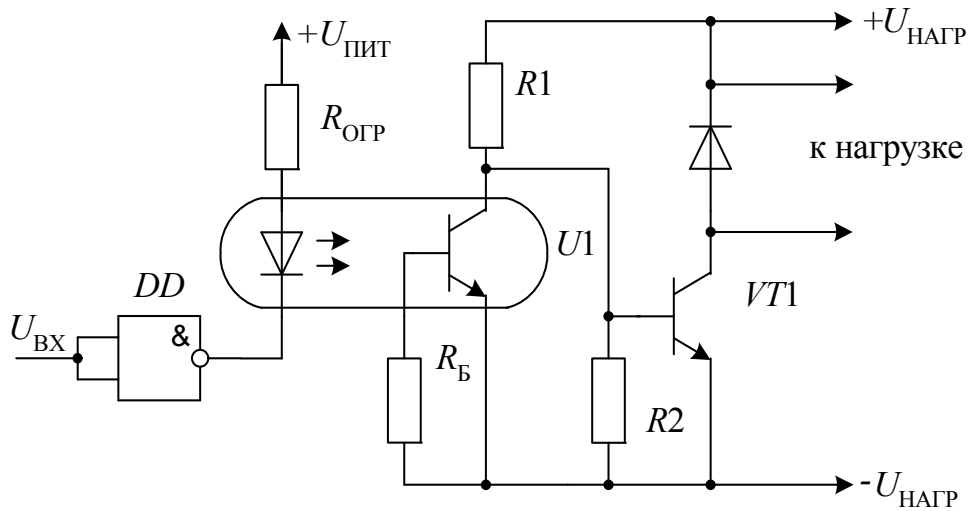


Рис. 4.20. Коммутатор с внешним транзистором

Коммутатор с защитой от короткого замыкания показан на рис. 4.21.

Резистор $R1$ – задаёт потенциал базы фототранзистора, транзистор $VT1$ включен по схеме регулятора тока, и напряжение на его базу задается с помощью делителя на резисторах $R2, R3$.

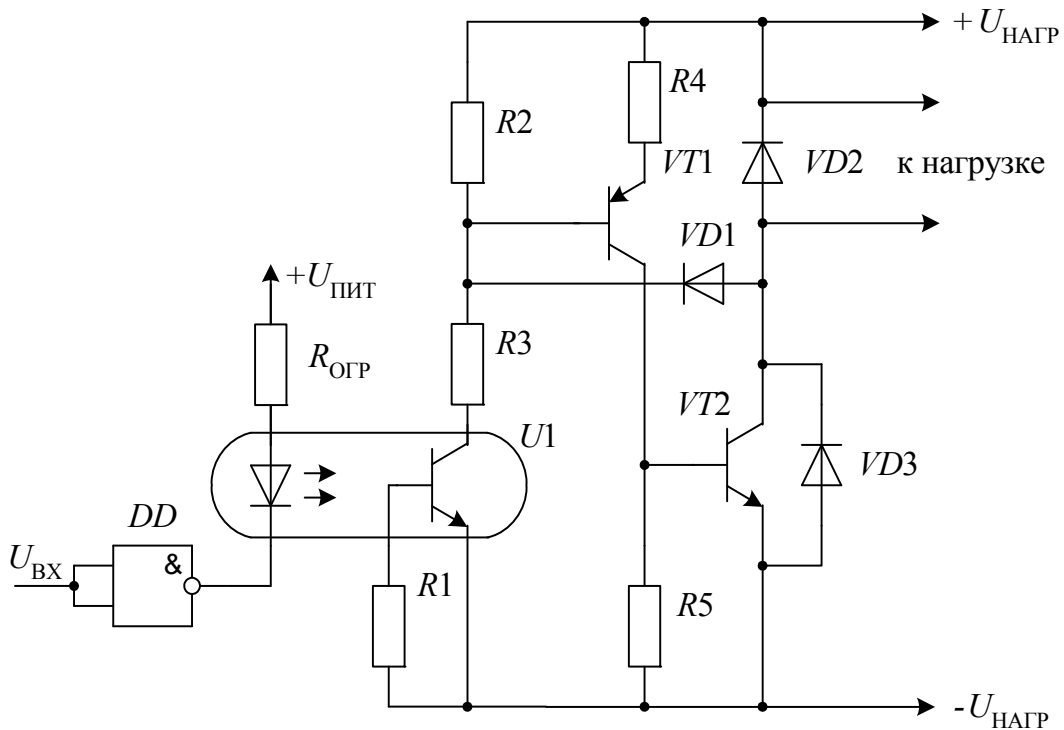


Рис. 4.21. Коммутатор с защитой от короткого замыкания

Резистор $R4$ задает ток базы силового транзистора $VT2$, величина которого определяется по формуле $I_6 \geq \frac{I_{H_{ном}}}{h_{21_3}}$, где $I_{H_{ном}}$ – номинальный ток нагрузки, h_{21_3} – коэффициент передачи тока транзистора. Режим базы транзистора $VT2$ задается резистором $R5$.

Диод $VD1$ выполняет функцию токоограничения. При токе нагрузки I_H равном номинальному $I_{H_{ном}}$ диод $VD1$ закрыт, при $I_H > I_{H_{ном}}$ диод открывается и потенциал базы транзистора $VT1$ уменьшается, при этом транзистор $VT2$ закрывается. При коротком замыкании напряжение перехода база-эмиттер транзистора $VT1$ становится равным прямому напряжению на диоде $VD1$ (0,2В) и транзистор $VT2$ закрывается.

Диоды $VD2$ и $VD3$ выполняют функцию защиты транзистора $VT2$ от перенапряжения и выбросов напряжения при коммутации индуктивной нагрузки.

Для построения управляемых выпрямителей в схемах электропривода применяют коммутаторы на оптотиристорах, которые осуществляют преобразование энергии переменного тока в энергию постоянного тока для питания электродвигателя. На тиристорах $U1 \dots U4$ (рис. 4.22) собран выпрямительный мост, который питается переменным напряжением $\sim U_{пит}$. Форма выпрямленного напряжения моста показана на рис. 4.23 (U_B).

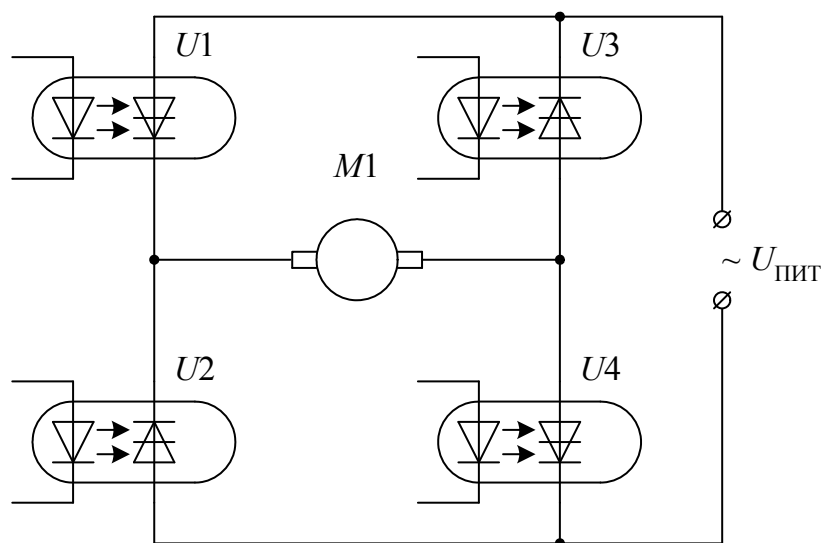


Рис. 4.22. Управляемый выпрямитель на оптотиристорах

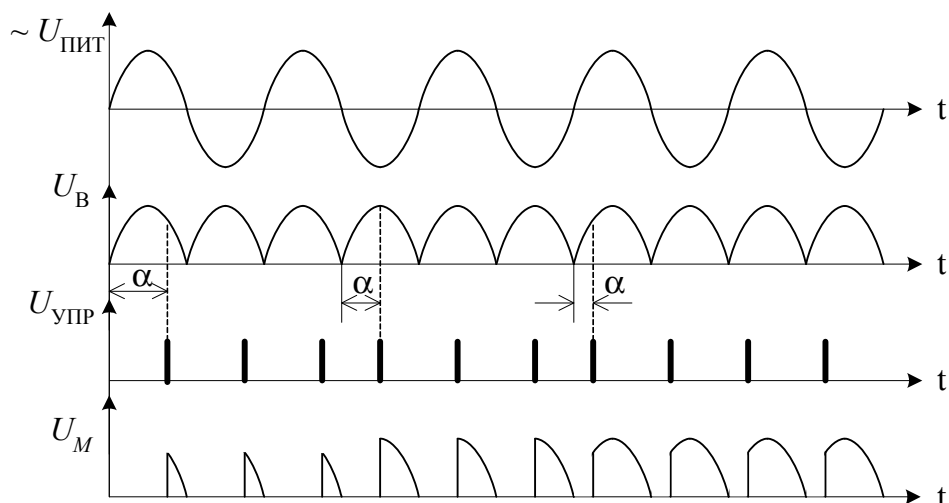


Рис. 4.23. Временные диаграммы работы управляемого выпрямителя

Для открытия тиристора необходимо подать управляющий импульс $U_{УПР}$ на фотодиод оптотиристора. Этот метод применяется в системах импульсно-фазового управления (СИФУ) тиристорными преобразователями. Угол открытия тиристора α является одним из основных параметров СИФУ. Изменяя угол α можно задавать различные значения действующего напряжения U_M , поступающего на обмотку. Таким способом регулируется скорость вращения электродвигателя.

Односторонняя проводимость тиристорных преобразователей затрудняет осуществление реверса в таких системах. На практике для изменения направления вращения применяют три способа: а) изменение полярности на выводах двигателя с помощью переключателя, б) изменение полярности с помощью двух групп управляемых выпрямителей, в) изменение направления тока в обмотке возбуждения двигателя.

Закрытие тиристора выполняется снятием напряжения питания, т.е. при достижении $U_M = 0$. Закрыть тиристор снятием напряжения $U_{упр}$ невозможно.

Последние разработки – запираемые оптотиристоры с напряжением коммутации до 10кВ и током коммутации до килоампер.

Для коммутации мощных нагрузок в цепях переменного тока, например прожекторы, маяки, сирены, а также для создания реверсивных выпрямителей или регуляторов переменного тока, использу-

ются коммутаторы на оптосимисторах (рис. 4.24). Оптосимистор – это симметричный тиристор, он имеет такие же основные характеристики, как и тиристор. Оптосимистор можно заменить двумя тиристорами, включенными встречно.

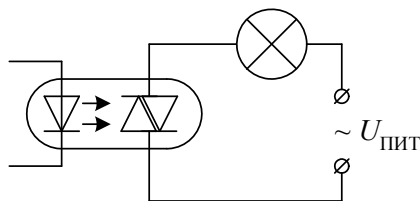


Рис. 4.24. Коммутатор на оптосимисторах

Силовые транзисторные коммутаторы

Долгое время массовое применение регулируемых электроприводов сдерживалось относительно малыми допустимыми значениями токов, напряжений и частоты переключений силовых полупроводниковых приборов.

Появление тиристорных преобразователей для электропривода постоянного тока. Однако необходимость принудительного закрывания тиристорных преобразователей по силовой цепи существенно усложняла создание автономных инверторов для частотноуправляемого электропривода переменного тока. Появление мощных полностью управляемых полевых транзисторов, обозначаемых в зарубежной литературе MOSFET (Metal – Oxide – Semiconductor Field Effect Transistor), и биполярных транзисторов с изолированным затвором IGBT (Isolated Gate Bipolar Transistor) привело к бурному развитию преобразовательной техники и постоянному расширению сферы применения асинхронных электроприводов с преобразователями частоты.

Тиристоры и симисторы являются хорошо известными и широко используемыми приборами в преобразователях различного назначения и уровня мощности. Выпускаемые фирмой Motorola оптосимисторы МОС2А60-10, рассчитаны на напряжение изоляции свыше 3750 В действующего значения и обеспечивают ток нагрузки 2 А при 40С без применения дополнительного радиатора охлаждения и обдува. При применении дополнительного радиатора возможно увеличение токовой нагрузки до 8А.

Применение полностью управляемых ключей позволяет применять законы управления с различными вариантами широтно-импульсной модуляции и получать более качественную работу преобразователя. В качестве таких ключей принципиально можно использовать мощные биполярные транзисторы в ключевом режиме, полевые транзисторы MOSFET и биполярные транзисторы с изолиро-

ваным затвором IGBT. На рис. 4.25 приведено качественное сравнение основных свойств указанных типов приборов, и можно отметить, что в сфере электропривода преимущества имеют IGBT, при низких напряжениях питания конкуренцию им могут составить MOSFET.

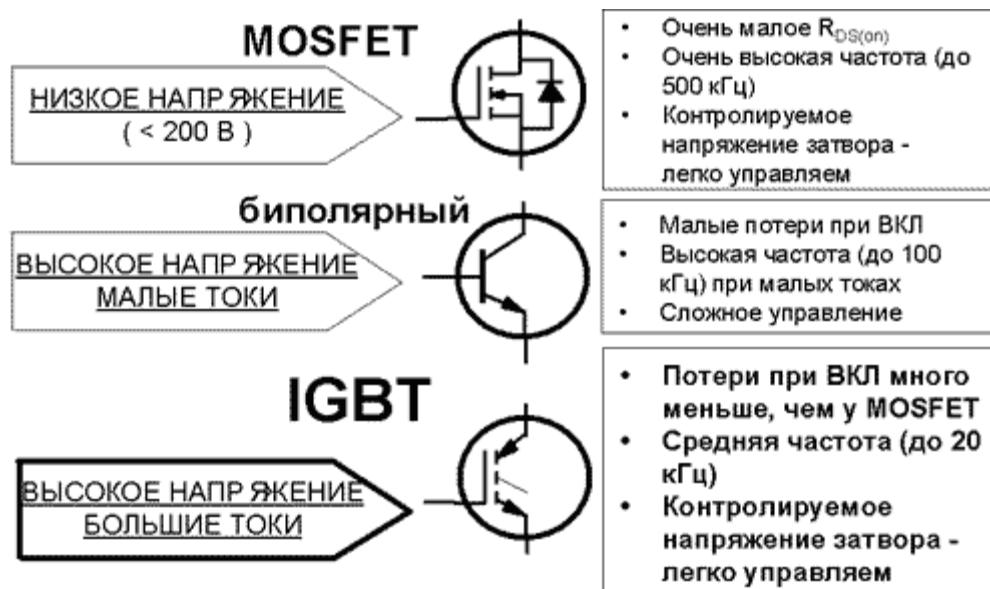


Рис. 4.25. Сравнение свойств полностью управляемых ключей

Семейство мощных транзисторов MOSFET постоянно развивается. В табл. 4.1 приведены краткие выборочные данные транзисторов MOSFET фирмы Motorola. В них можно проследить влияние номиналов максимального рабочего напряжения U и тока I на величину сопротивления в открытом состоянии R_{DS} . Увеличение рабочего напряжения U вызывает резкое возрастание сопротивления. Хотя по номиналам токов и напряжения транзисторы MOSFET перекрывают значительную часть диапазона, используемого в сфере электропривода, их применение должно быть тщательно обосновано для каждого конкретного случая.

Таблица 4.1

Транзисторы MOSFET фирмы Motorola

Тип	U , В	I , А	R_{DS} , Ом (max)
MTP75N06HD	60	75	0.010
MTP75N03HDL	30	75	0.075

Окончание табл. 4.1

Тип	U , В	I , А	R_{DS} , Ом (max)
MTB15N06V	60	15	0.120
MTD4N20E	200	4	1.20
MTD1N60E	600	1	8
MTD1N80E	800	1	12
MTB4N80E	800	4	3
MTB3N120E	1200	3	5
MTV10N100E	1000	10	1.30
MTV25N50E	500	25	0.200
MTY55N20E	200	55	0.028
MTY100N10E	100	100	0.010

Технология изготовления биполярных транзисторов с изолированным затвором (IGBT) позволила получить сочетание малых потерь в проводящем состоянии, сравнимых с потерями в обычных биполярных транзисторах, и относительно малого времени переключения, характерного для MOSFET. Более детальное сравнение характеристик IGBT и MOSFET показывает, что при токах больше 12 А у IGBT меньшее прямое падение напряжения U_{CE} , чем у MOSFET, что уменьшает потери в приборе и облегчает тепловой режим.

В табл. 4.2 представлены транзисторы IGBT (Motorola) а 600 и 1200В, работающих от сети переменного тока 230 или 460 В через выпрямитель по бестрансформаторной схеме. Они ориентированы на применение в инверторах для асинхронных двигателей.

Таблица 4.2

Транзисторы IGBT фирмы Motorola

Тип	U , В	I_C , А (90°C)	I_C , А (25°C)	U_{CE} , В (90°C)
MGW20N60D	600	20	32	2.90
MGW30N60	600	30	50	2.60
MGY40N60	600	40	66	2.60
MGW10N120D	1200	12	20	3.10
MGY25N120D	1200	27	42	3.10

Эти приборы могут использоваться в таких устройствах, как источники бесперебойного питания и ключевые источники питания общего назначения, работающие непосредственно от сети и при средних значениях частоты. Они оптимизированы по прямому падению напряжения и потерям при выключении и способны выдерживать токи короткого замыкания минимум 10 мкс. Для применений, где необходимо протекание обратного тока, обратный диод с быстрым восстановлением помещается в корпусе прибора. Для приложений, не требующих диода, имеются соответствующие приборы меньшей стоимости. Индекс D в конце обозначения IGBT в табл. 4.2 означает наличие диода.

При создании силовой части преобразователя разработчик как альтернативу дискретным приборам может использовать интегральные гибридные модули, совмещающие в одном корпусе несколько силовых ключей и различные вспомогательные элементы. В некоторых модулях имеется встроенный трехфазный выпрямительный мост, дополнительный ключ для слива рекуперированной энергии и температурный датчик. Применение гибридных модулей упрощает конструкцию преобразователя, повышает надежность его работы.

Характеристики некоторых силовых гибридных модулей Motorola, выполненных по трехфазной мостовой схеме (рис. 4.26.а) приведены в табл. 4.3.

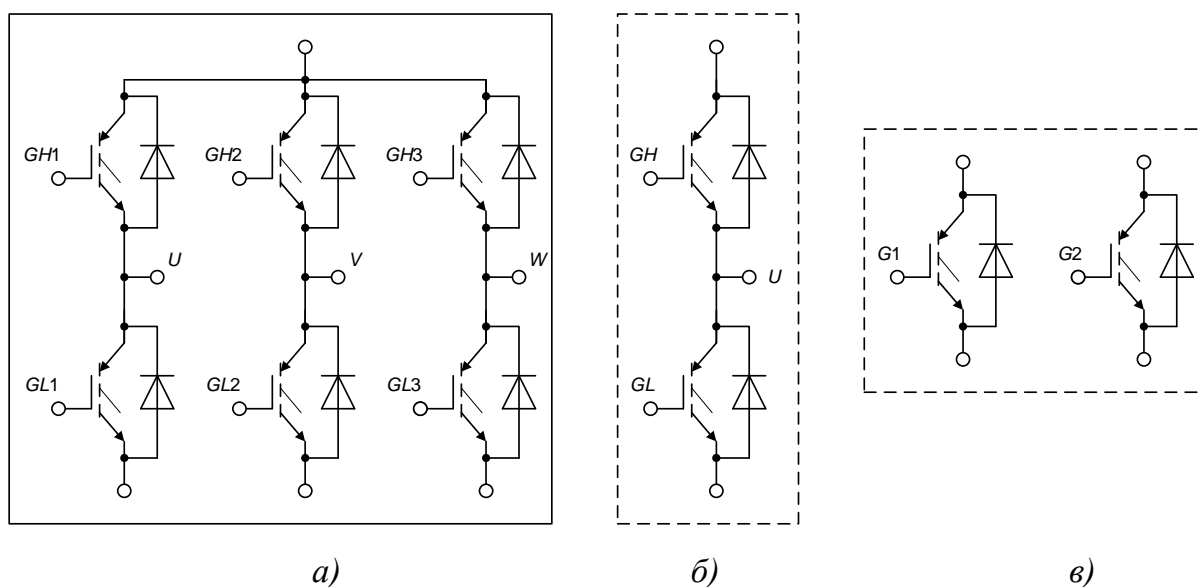


Рис. 4.26. Силовые гибридные модули

Для больших мощностей выпускаются сборки из двух независимых ключей в одном корпусе (см. рис. 4.26.в), двух ключей с па-

раллельным или последовательным (б) соединением. Основные параметры таких сборок приведены в табл. 4.4.

Для реализации достоинств ШИМ-инверторов в системах электропривода требуется не только наличие

Таблица 4.3

Трехфазные модули IGBT

IGBT модуль	I, А	U, В
MHPM6B10A60D	10	600
MHPM6B20A60D	20	600
MHPM6B5A1209D	5	1200
MHPM6B10A120D	10	1200
MHPM6B15A120D	15	1200

Таблица 4.4

Модули из двух транзисторов IGBT

IGBT модуль	I, А	U, В
MHPM2A400A60M	400	400
MPM2A400A120C4	400	1200
MPM2A600A120C4	600	1200
MPM1A800A120C5	800	1200
MPM1A1200A120C5	1200	1200

требуемой мощности, но и обеспечение их надежной работы. В значительной мере это связано с организацией правильного управления ключами. При коммутации в нагрузке большого напряжения и тока необходима определенная осторожность на этапе проектирования, чтобы гарантировать надежную работу прибора. Известно, что цепь управления затвором, расположение проводников и внешних компонентов играют жизненно важную роль в управлении устройством, коммутирующим индуктивную нагрузку. Чтобы уменьшить динамические потери при включении, время коммутации должно быть очень

коротким. Это требует, чтобы управление затвором было низкоимпедансного типа и способным создавать узкий импульс большого тока для заряда входной емкости затвора. Однако высокая скорость коммутации будет вызывать высокое значение di/dt и, следовательно, перенапряжения, связанные с паразитными индуктивностями.

Для цепей управления мощных полупроводниковых ключей разработаны специальные интегральные схемы (ИС) драйверов. Поскольку управление затвором IGBT и MOSFET во многом аналогичны, ИС драйверов применяются для управления обоими типами приборов.

В настоящее время выпускается очень большая номенклатура драйверов. На рис. 4.27 показано условное обозначение микросхем драйверов IR2135 и IR2113 фирмы International Rectifier. Первая микросхема предназначена для управления трехфазным транзисторным мостом на транзисторах IGBT и MOSFET с рабочим напряжением до 1200В. Микросхема IR2113 предназначена для управления двумя транзисторами моста – верхним и нижним. Выпускаются также драйверы для управления одним транзистором.

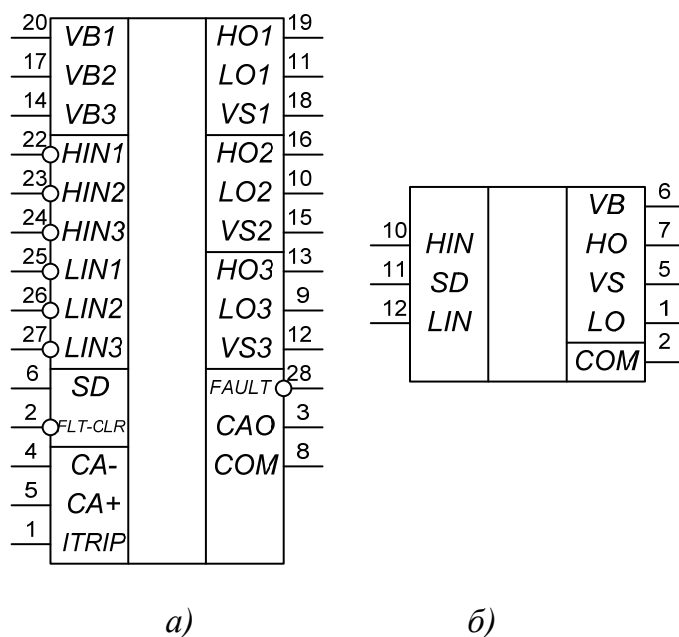


Рис. 4.27. Микросхемы драйверов IR2135 (а) и IR2113 (б)

На рис. 4.28 показан вариант подключения микросхемы IR2135 для управления транзисторами, включенными по трехфазной мостовой схеме. Эта схема может использоваться для управления трехфазными асинхронными и синхронными двигателями, а также трехфазными бесколлекторными двигателями постоянного тока (Brushless DC Motor). Обмотки фаз двигателя подключаются к выводам U , V , W . Напряжение питания моста определяется рабочим напряжением используемого двигателя и при соответствующем выборе транзисторов может достигать 1200В.

Выходы HO , LO предназначены для управления соответственно верхними H и нижними L ключами транзисторного моста. На входы HIN и LIN подаются логические сигналы от цифровой системы управления.

Применение соответствующих законов управления на основе широтно-импульсной модуляции позволяет регулировать скорость двигателя.

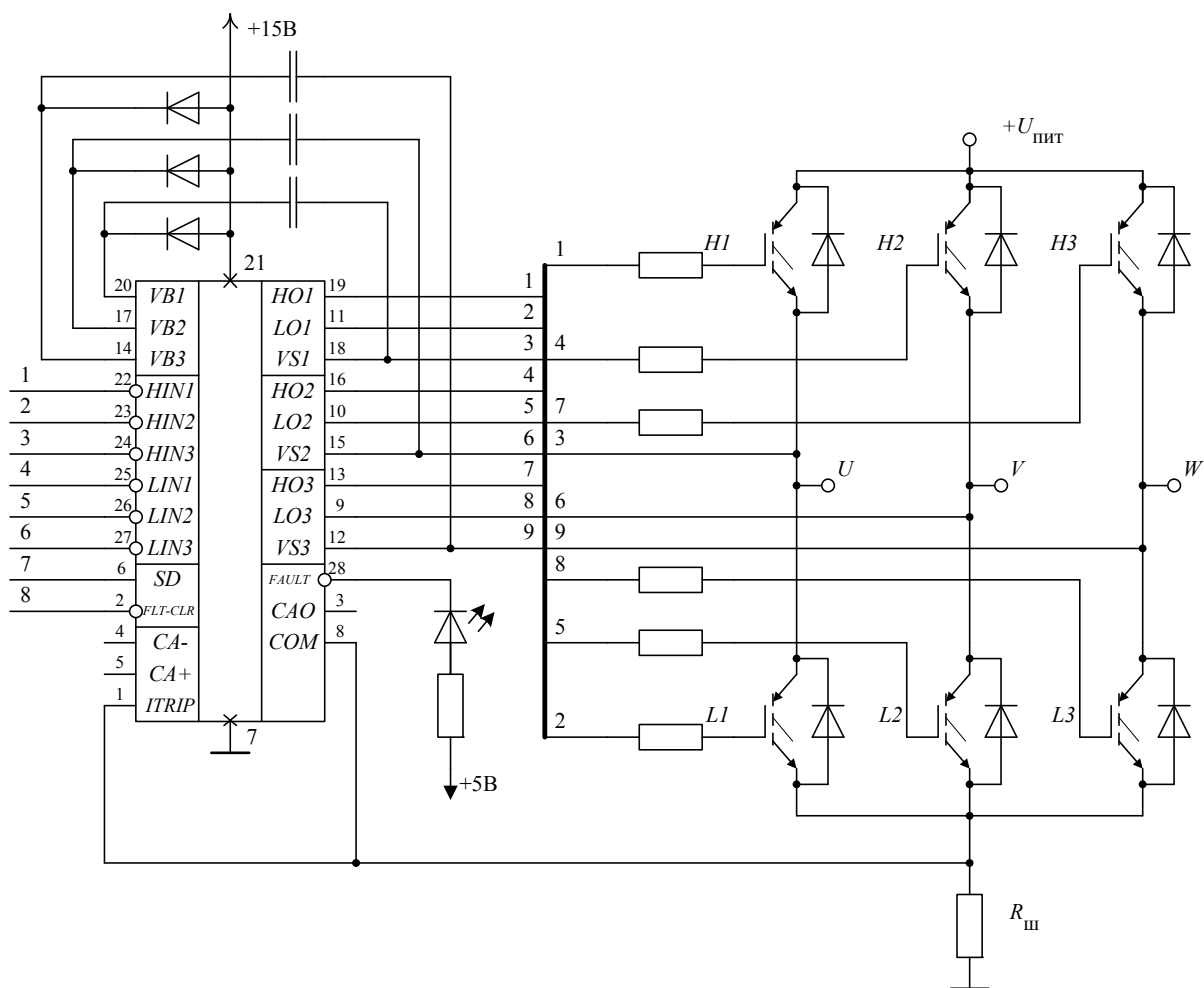


Рис. 4.28. Схема подключения драйвера к трехфазному транзисторному мосту

Резистор $R_{\text{ш}}$ выполняет функцию датчика тока, информация с которого поступает на вход *ITRIP* драйвера. При превышении тока в обмотках двигателя больше допустимого на выходах *HO*, *LO* управления транзисторами формируются сигналы на закрытие всех транзисторов, что приводит к отключению двигателя. Информация об аварийном состоянии появляется на выходе *FAULT*. На схеме к этому выходу подключен светодиод.

4.1.2. Устройства аналогового (непрерывного) вывода

Класс устройств, обеспечивающих непрерывное изменение физической величины любого типа в заданном диапазоне.

Ограничимся областью электрических величин. В системах управления 95% устройств аналогового вывода это формирователи сигналов напряжения произвольной формы в диапазоне $-10\text{В} \leq U_{\text{м}} \leq +10\text{В}$,

при токе нагрузки $I_M \leq 200\text{мА}$. Если необходимы большие значения напряжения и тока, то применяют силовые преобразователи.

Основу устройств аналогового вывода составляют цифро-аналоговые преобразователи (ЦАП).

Различают 3 группы устройств аналогового вывода: управляемые ЦАП (умножители), программируемые ЦАП и генераторы сигналов специальной формы.

1. Умножители. Эти устройства (рис.4.29) состоят из двух цифро-аналоговых преобразователей, на входы которых поступают двоичные коды управления, записанные в регистры. Выходное напряжение $U_{\text{ВЫХ1}}$ с выхода усилителя первого ЦАП задается первым кодом при постоянном опорном напряжении $U_{\text{ОП1}}$. Это напряжение ($U_{\text{ВЫХ1}}$) является опорным для второго ЦАП, на вход которого подается второй двоичный код. Таким образом, $U_{\text{ВЫХ2}}$ формируется перемножением двух управляющих двоичных кодов, т.е. $U_{\text{ВЫХ2}} = f\{I_1, I_2\}$. Устройство управления должно формировать код напряжения $U_{\text{ВЫХ1}}$ в $RG1$ и периодически изменять значение кода в $RG2$ для формирования $U_{\text{ВЫХ2}}$ заданной формы.

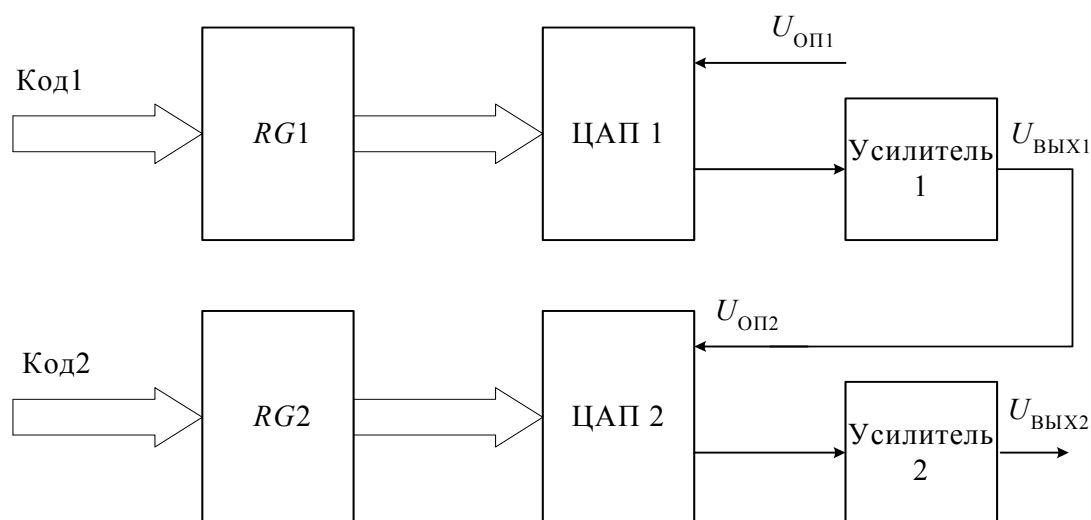


Рис. 4.29. Управляемый ЦАП

Недостатком управляемых ЦАП при их простой схемной реализации является следующее. В современных системах управления период выдачи управляющих сигналов может быть менее 5 мс. А при сложных алгоритмах формирования $U_{\text{ВЫХ2}}$ интервал между сменой кода может быть недопустимо большим.

2. Программируемые ЦАП

Устройство управления предварительно рассчитывает форму и характер изменения $U_{\text{ВЫХ}}$, которое в цифровом виде записывается в ОЗУ (рис.4.30).

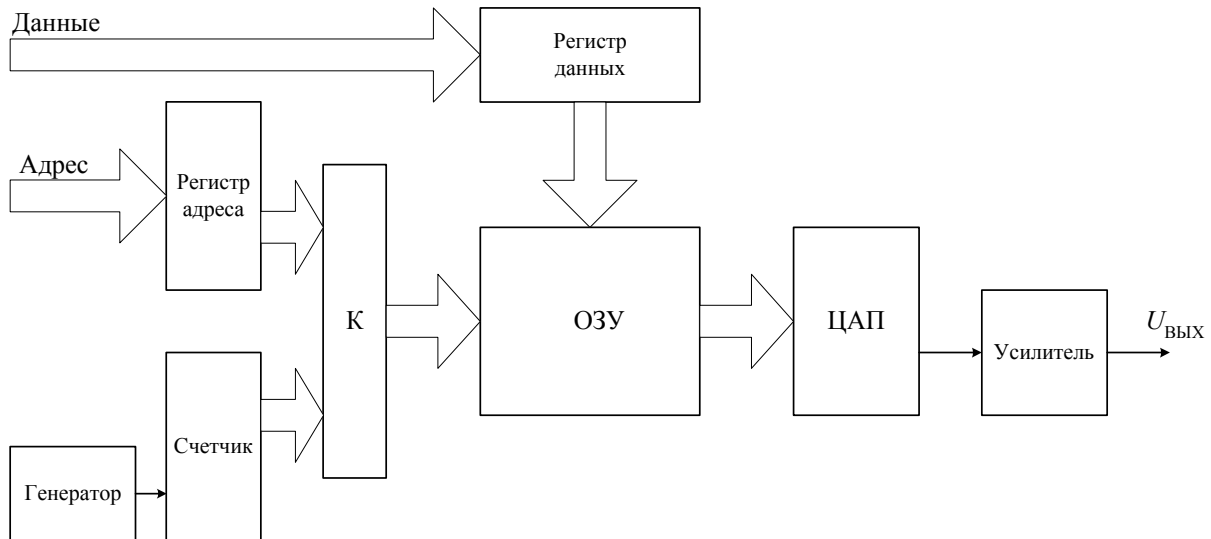


Рис. 4.30. Программируемый ЦАП

На этапе отработки заданной функции адрес ОЗУ последовательно перебирается счетчиком с частотой f_r генератора, которая определяет скорость изменения $U_{\text{ВЫХ}}$.

Скорость изменения выходного сигнала не зависит от его формы и определяется только частотой генератора. Если выходной сигнал имеет сложную форму, в ОЗУ хранится большой объём информации и частота генератора f_r должна быть очень высокой (1...10 МГц).

3. Генераторы сигналов специальной формы.

Эти устройства (рис.4.31) предназначены для получения сигналов любой произвольной формы с заданными параметрами, например синусоиды, экспоненты, пилообразной формы и т.д. (рис.4.32).

Форма характеристики $U_{\text{ВЫХ}}$ однократно программируется в ПЗУ, а затем воспроизводится с заданной частотой.

При проектировании многоканальных генераторов, например для получения трехфазного синусоидального генератора, имеющего форму выходных сигналов, показанную на рис.4.33, необходимо в генераторе использовать три ЦАП. На их входы подается код с выхода ПЗУ, в котором записана форма характеристик для каждого канала. В

таким устройстве обеспечивается жесткая связь между каналами и значение фазового сдвига φ постоянно.

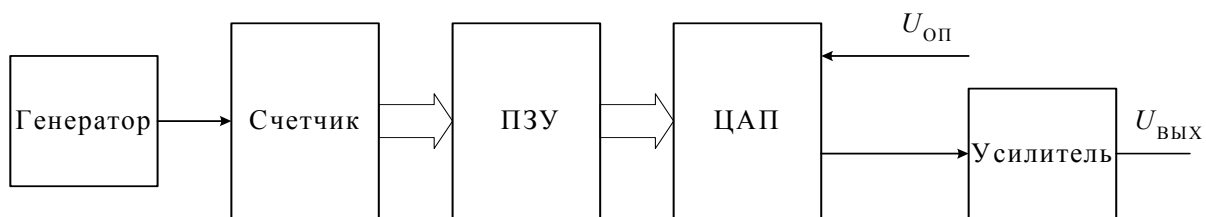


Рис. 4.31. Генератор сигналов специальной формы

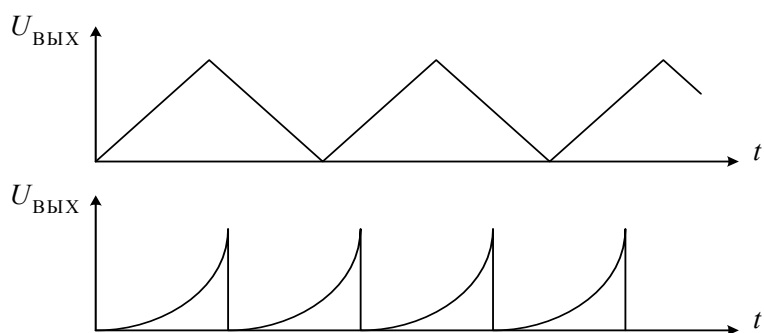


Рис. 4.32. Форма выходного сигнала

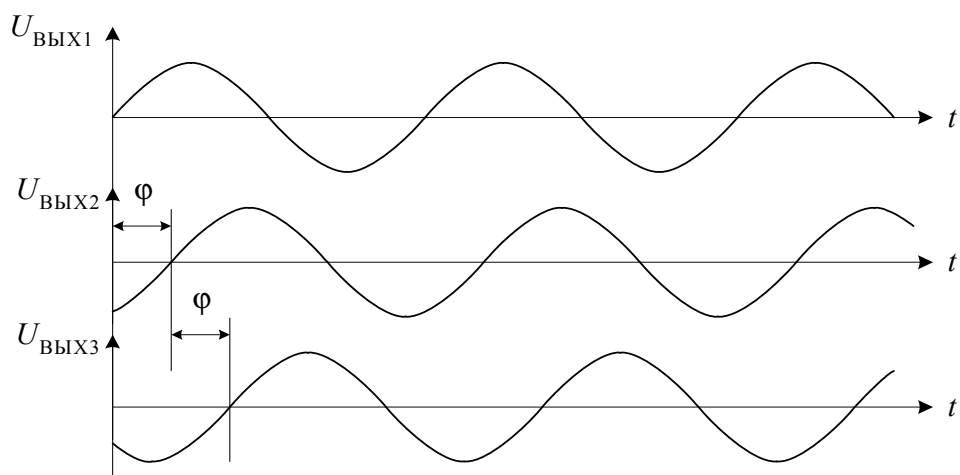


Рис.4.33. Форма сигналов трехфазного генератора

Недостатком генераторов является сложность изменения формы. В этом случае необходимо перепрограммировать ПЗУ.

Устройства аналогового вывода без гальванической связи с сигналами управления

Применение оптоэлектронной развязки позволяет защитить систему управления от проникновения помех от силовых цепей в устройствах вывода аналоговых сигналов. Существует несколько вариантов построения таких устройств.

Устройства с гальванической развязкой по цифровому сигналу содержат оптоэлектронные коммутаторы (оптроны), например на оптодиодах. При использовании параллельной передачи двоичного кода (рис.4.34) необходимо применить столько оптронов, сколько разрядов имеет ЦАП. Выходные данные с накопительного регистра в параллельном коде поступают на оптроны. К выходу оптронов подключены усилители-формирователи УФ, которые формируют необходимый уровень сигналов для ЦАП, например уровень ТТЛ. Недостатком такого устройства является большое количество оптронов.

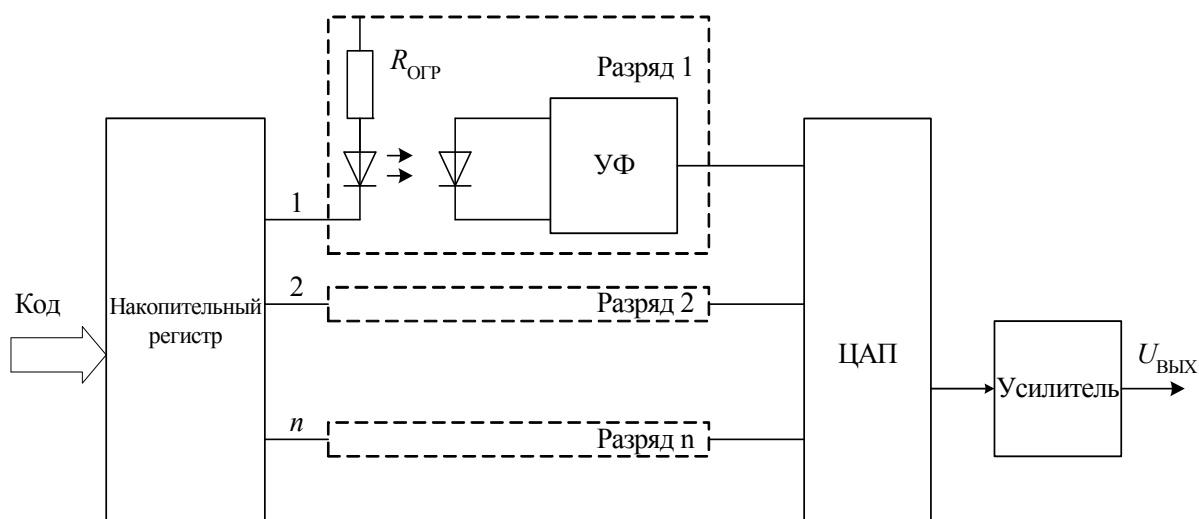


Рис. 4.34. Использование параллельной передачи двоичного кода

Последовательная передача двоичного кода осуществляется по двум линиям. По одной линии передаются данные, а по второй сигналы синхронизации. Для преобразования параллельного двоичного кода в последовательный, и наоборот, последовательного в параллельный, применяют сдвиговые регистры. На рис. 4.35 показано устройство аналогового вывода с использованием последовательной передачи двоичного кода.

Данные с устройства управления записываются в сдвиговый регистр, который по сигналу синхронизации преобразует их в последовательный код и выдает на линию D. После оптронной развязки эти

данные поступают во второй сдвиговый регистр, который их преобразует в параллельный код и передает в ЦАП.

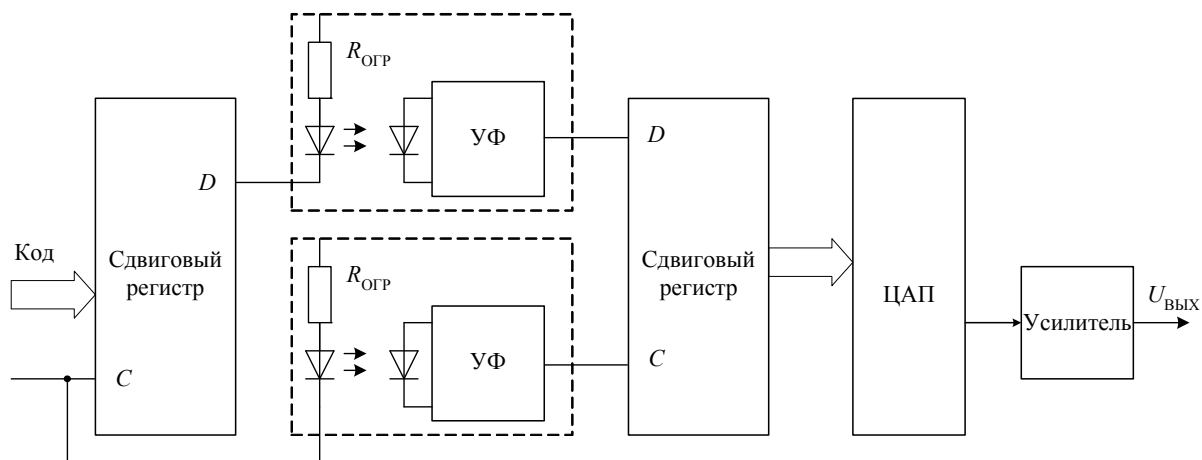


Рис. 4.35. Использование последовательной передачи двоичного кода

В этой схеме используется два оптрона независимо от количества разрядов ЦАП, однако это устройство имеет меньшее быстродействие из-за необходимости преобразования одного кода в другой.

В устройствах с гальванической развязкой по аналоговому сигналу применяют двойные аналоговые (линейные) оптроны (рис. 4.36).

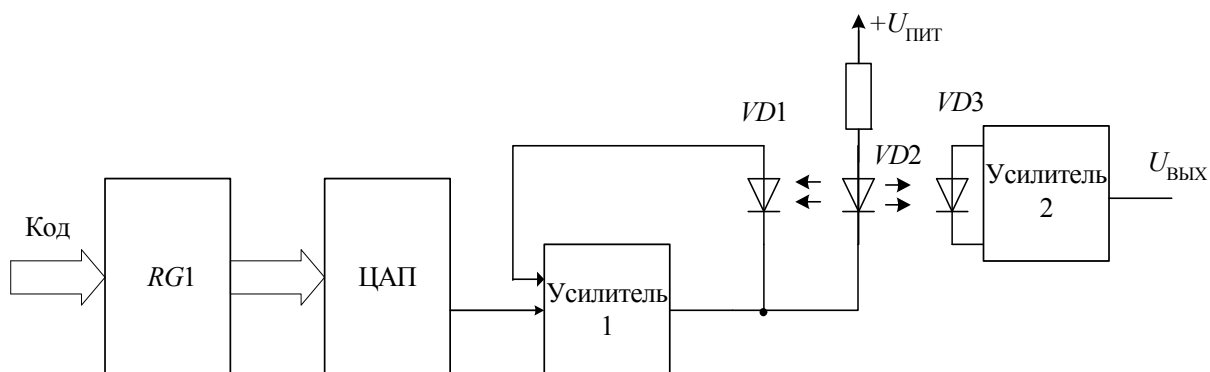


Рис. 4.36. Устройства с гальванической развязкой по аналоговому сигналу

Вольтамперная характеристика диода имеет нелинейную зависимость. На рис. 4.37 эта характеристика изображена для диода $VD3$. При использовании двойного оптодиода диод $VD1$ включен в цепь обратной связи первого усилителя и на его выходе формируется обратная вольтамперная характеристика ($U_{ВЫХ1}$). В итоге линейризуется общий канал передачи сигнала и на выходе второго усилителя фор-

мируется суммарная линейная характеристика. Для качественной передачи сигнала необходимо чтобы вольтамперные характеристики диодов $VD1$ и $VD3$ были идентичными.

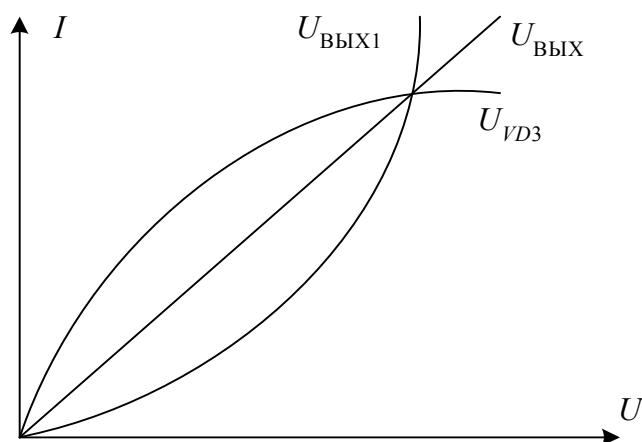


Рис. 4.37. Вольтамперные характеристики

Увеличение мощности аналогового сигнала

Как известно большинство операционных усилителей (ОУ), подключенных к выходу цифро-аналогового преобразователя, обеспечивают выходное напряжение в диапазоне $-10\text{В} \leq U \leq +10\text{В}$, при токе нагрузки I не более 10мА. Для увеличения выходной мощности к выходу ОУ подключают дополнительные усилители на транзисторах. Наиболее широкое применение нашли двухтактные усилительные каскады на транзисторах разной проводимости (рис. 4.38).

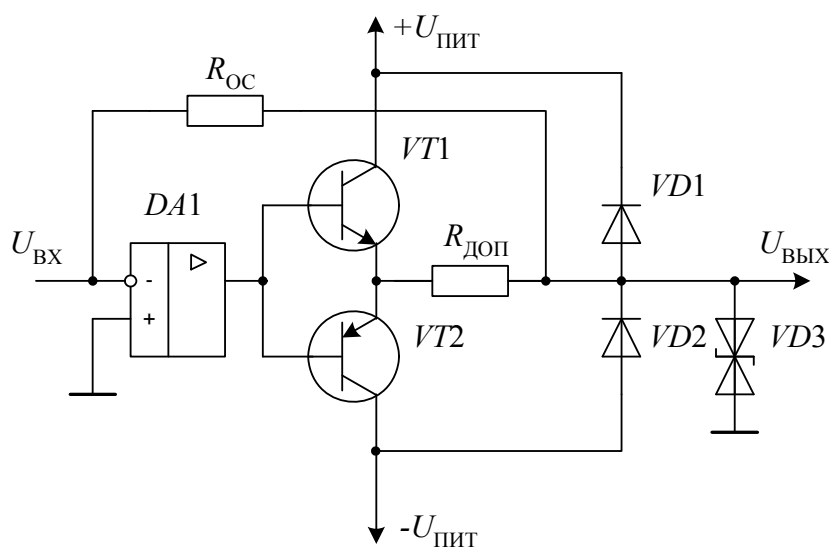


Рис. 4.38. Двухтактный усилительный каскад на транзисторах

Параметры такого усилителя (выходное напряжение U , ток нагрузки I) зависят от типа выбранных транзисторов и могут достигать: напряжение – сотни вольт, ток – несколько ампер. В этом случае резистор обратной связи R_{oc} должен быть подключен к выходу транзисторного каскада, а не к выходу ОУ.

Диоды $VD1$ и $VD2$ выполняют функцию защиты выхода усилителя от перенапряжения. При попадании на выход напряжения большего, чем напряжение источника питания, диоды $VD1$ или $VD2$ открываются и «сливают» лишнюю энергию в источник питания. Симметричный стабилитрон $VD3$ ограничивает выходное напряжение усилителя на уровне напряжения стабилизации стабилитрона. Резистор $R_{доп}$ обеспечивает токоограничение. При коротком замыкании

нагрузки через нее протекает ток $I_{кз} = \frac{U_{пит} - U_{прVT}}{R_{доп}}$, где $U_{прVT}$ – пря-

мое напряжение транзистора. Ток короткого замыкания должен быть меньше максимального тока коллектора транзистора $VT1$ или $VT2$.

Параллельно резистору $R_{доп}$ может быть подключена схема индикации, выполненная на мостовом выпрямителе и светодиоде, как показано на рис. 4.39.

При возрастании тока нагрузки, вплоть до тока короткого замыкания на резисторе $R_{доп}$ создается падение напряжения, что приводит к свечению светодиода.

Более подробно об усилительных каскадах можно посмотреть в литературе [1].

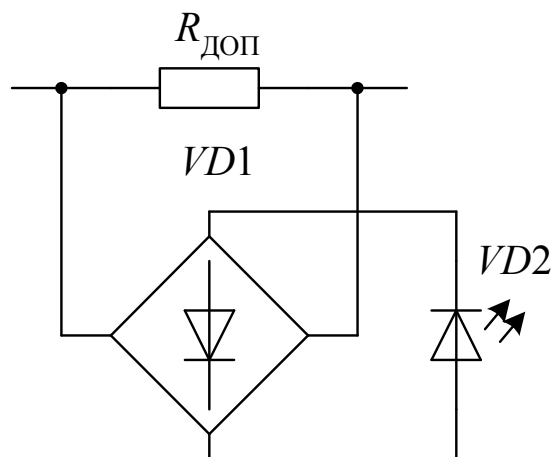


Рис. 4.39. Индикация перегрузки

4.2. УСТРОЙСТВА ВВОДА

Классификация устройств ввода представлена на рис.4.40.

Все устройств вывода подразделяются на два больших класса: устройства дискретного и аналогового ввода.

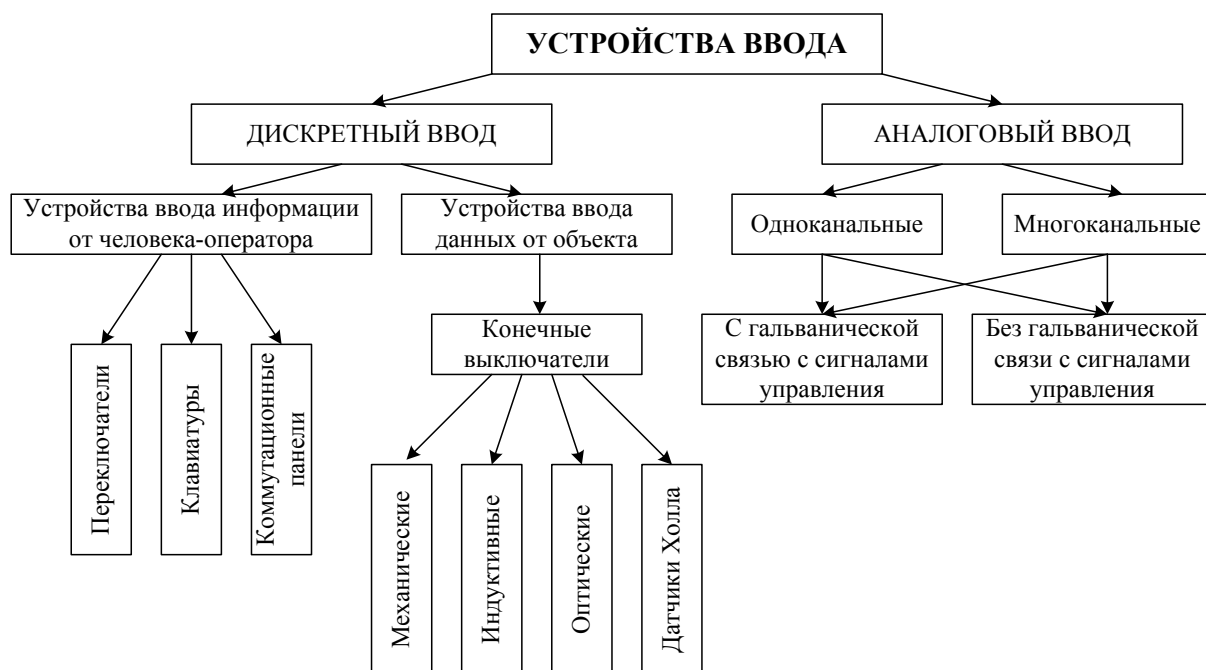


Рис. 4.40. Классификация устройств ввода

4.2.1. Устройства дискретного (позиционного) ввода

Класс устройств, обеспечивающих прием и преобразование дискретной информации в цифровой код, соответствующий состоянию: логический ноль – выключено, логическая единица – включено.

Устройства дискретного ввода подразделяются на две группы устройств:

- 1) Устройства ввода информации от человека-оператора.
- 2) Устройства ввода данных от объекта.

Устройства ввода информации от человека-оператора.

Переключатели

1. Механические переключатели (рис.4.41) могут быть с нормально разомкнутым контактом (*SB1*), с нормально замкнутым (*SB2*) и с переключающим (*SB3*) контактом. На рисунке показан кнопочный переключатель (*SB4*) с возвратом в исходное положение повторным нажатием.

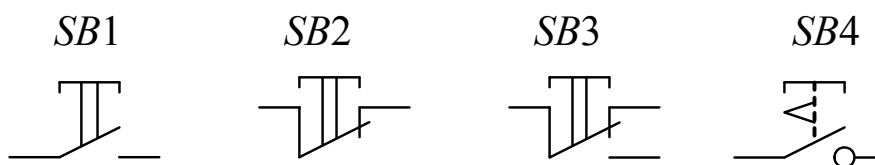


Рис. 4.41. Механические переключатели

Основной недостаток механических переключателей это наличие механического контакта и «дребезг» контактов. Дребезг контактов у переключателей проявляется в силу их механических свойств и заключается в том, что при переключении переключателя замыкание контакта происходит не мгновенно, а происходит несколько срабатываний так, как показано на рис. 4.42.

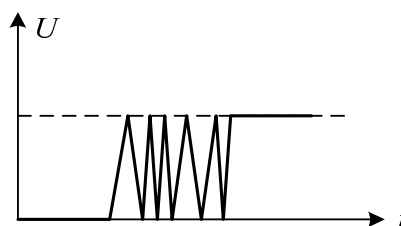


Рис. 4.42. Эффект дребезга контактов

Таким образом, при вводе информации с переключателей в цифровую систему возможно прохождение не одного сигнала о его срабатывании, а нескольких. Например, в калькуляторе при нажатии на клавишу ввода какой-либо цифры вместо одной вводится сразу же несколько.

Для устранения этого эффекта применяют различные устройства защиты от дребезга контактов. Одно из таких устройств показано на рис. 4.43.

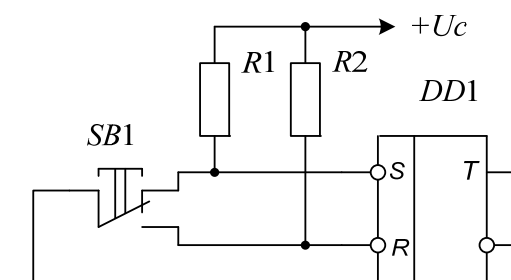


Рис. 4.43. Устройство защиты от дребезга контактов

Оно использует принцип работы RS-триггера. При нажатии на переключатель SB1 первый же импульс сбрасывает триггер в нулевое состояние, а с приходом остальных импульсов триггер не изменяет своего состояния (см. рис. 2.7.б). При отпускании переключателя триггер устанавливается в единицу.

Еще один недостаток механических переключателей это обгорание контактов и соответственно их недолговечность.

2. Герметизированные переключатели (герконы) свободны от этого недостатка, т.к. их контакты помещены в герметичную стеклянную колбу, в которой либо создан вакуум, либо она наполнена азотом, т.е. газом, который не поддерживает горение. Замыкание геркона осуществляется с помощью магнита (рис. 4.44), поэтому еще его назы-

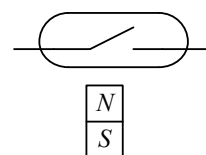


Рис. 4.44. Геркон

вают магнитоуправляемый контакт (МУК). Герметизированные переключатели, также как и механические, не защищены от дребезга контактов. Еще один их недостаток – это ограниченное число переключений.

3. Индуктивные (рис.4.45) и емкостные (рис.4.46) переключатели вследствие отсутствия механических контактов имеют практически неограниченное число срабатываний.

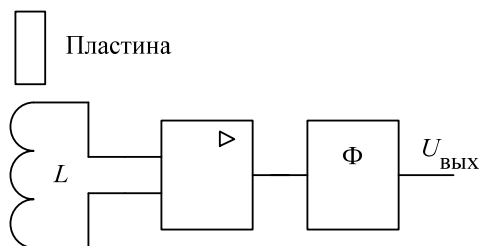


Рис. 4.45. Индуктивный переключатель

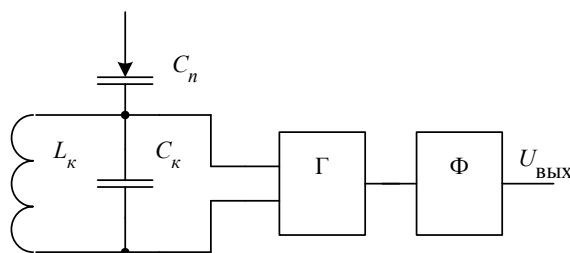


Рис. 4.46. Емкостной переключатель

Индуктивный переключатель состоит из катушки индуктивности L и усилителя. Формирователь Φ формирует из выходного напряжения усилителя двух уровневое напряжение – логического нуля и логической единицы. Усилитель и формирователь настроены таким образом, что при приближении к катушке индуктивности какого-либо магнитного материала, например стальной пластины, выходное напряжение формирователя $U_{\text{ВЫХ}}$ переключается. Недостатком индуктивного переключателя является его чувствительность к внешним магнитным полям.

Емкостные переключатели имеют в своей конструкции колебательный контур $L_k C_k$ и генератор Γ , настроенные на определенную резонансную частоту. Формирователь выполняет те же функции, что и в индуктивном переключателе.

Если к колебательному контуру поднести какой-либо предмет, например, палец человека, то добавится дополнительная емкость C_n , и генерация в колебательном контуре срывается. В результате на выходе формирователя напряжение переключается. Из-за своей высокой чувствительности такие переключатели называются сенсорными.

Ввод информации с переключателей в цифровую систему возможен в различных режимах. Подключение переключателей показано на рис.4.47, с помощью которых вводится информация с одного переключателя – позиционный ввод (а), ввод информации с нескольких переключателей в последовательном коде (б) и в унитарном коде (в).

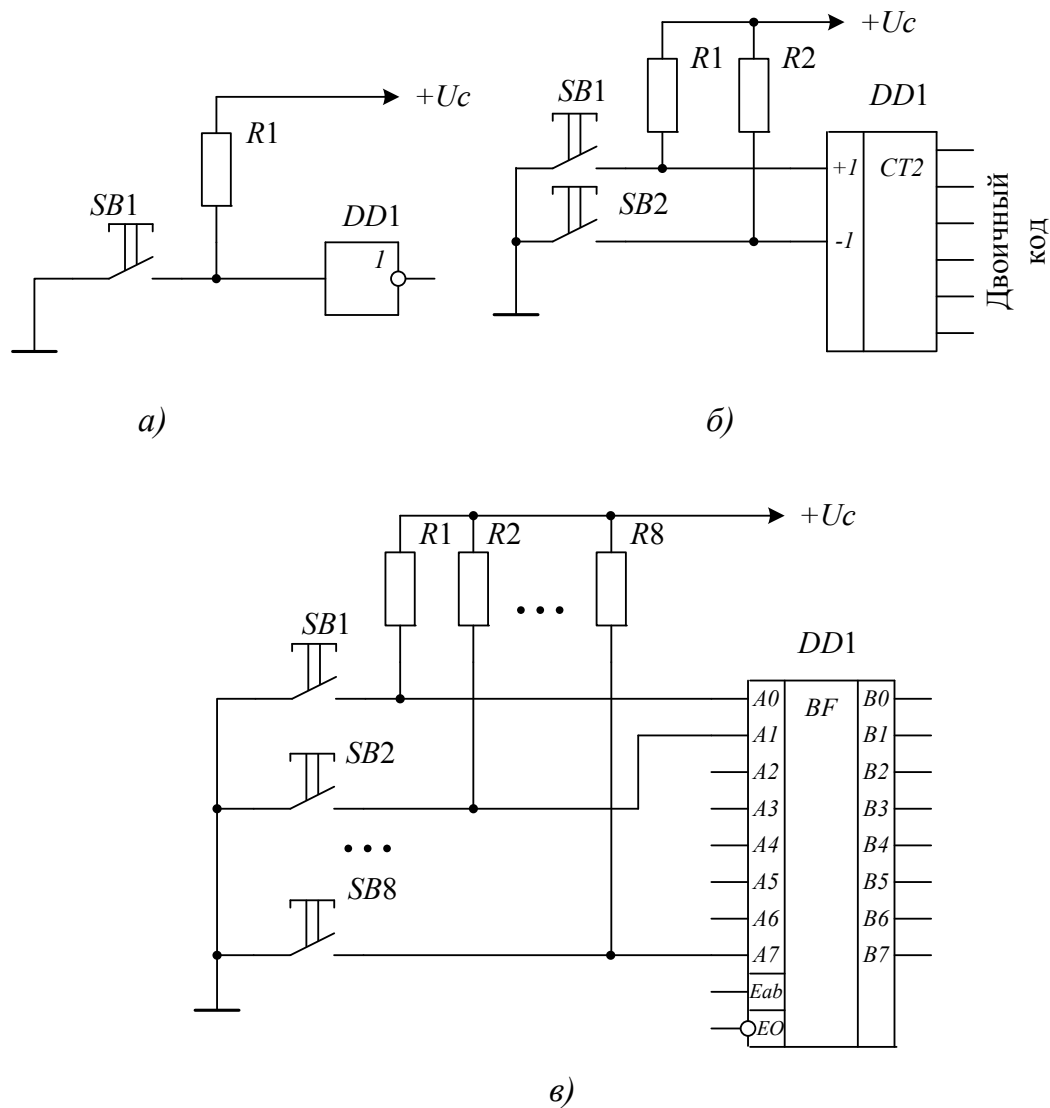


Рис. 4.47. Ввод информации с переключателей

Клавиатура

Клавиатура представляет собой матрицу переключателей любого типа, формирующую уникальный код для каждого из переключателей. На рис. 4.48 показана функциональная схема клавиатуры размеров $8 \times 8 = 64$ клавиши.

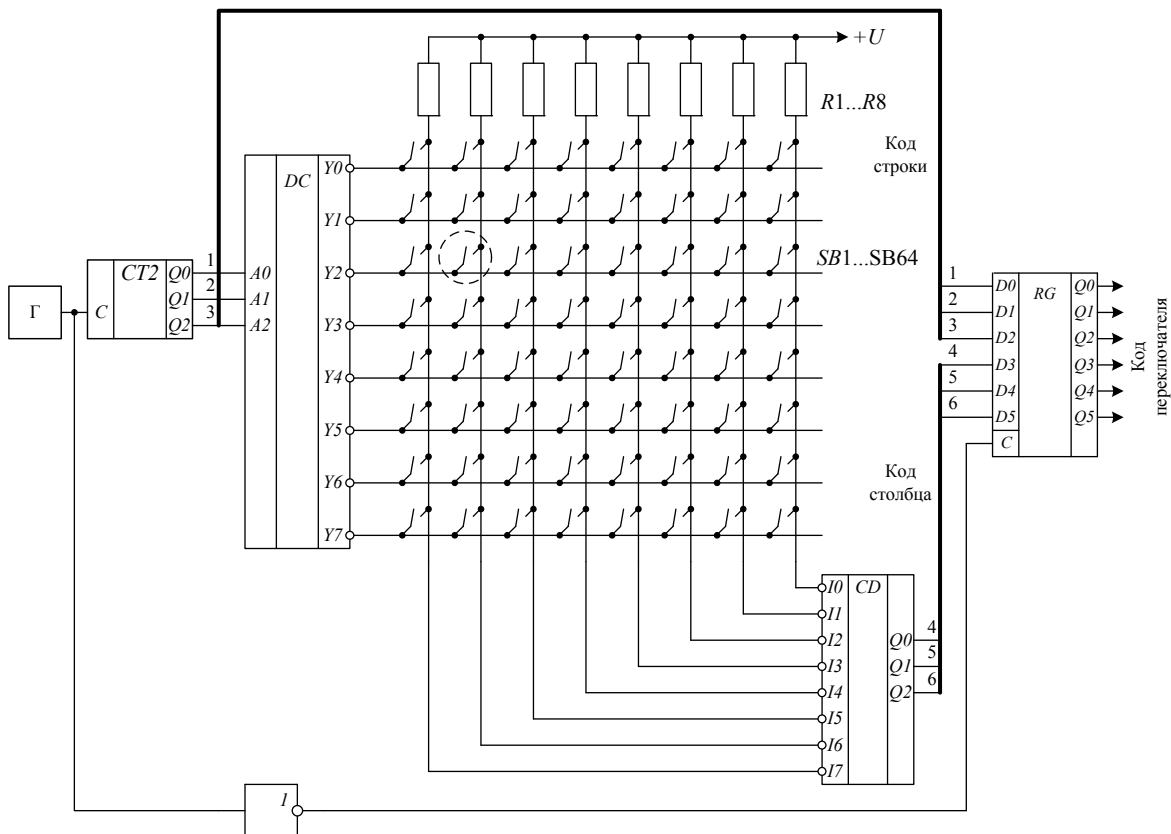


Рис. 4.48. Ввод информации с клавиатуры

Тактовый генератор Γ формирует последовательность импульсов, которые поступают на счетный вход C счетчика. На выходах счетчика формируется двоичный код, поступающий на входы дешифратора. В результате с приходом каждого импульса на выходах $Y0...Y7$ дешифратора последовательно появляется нулевой уровень, который подается на линии строк матрицы клавиатуры. Все столбцы матрицы через резисторы подключены к источнику питания, что соответствует заданию на них уровня логической единицы.

Если какой-либо переключатель замкнут и в этот момент на этой линии присутствует нулевой уровень, то на соответствующей линии столбца также появляется ноль. В результате на выходе шифратора появляется двоичный код столбца, а на выходах счетчика в этот момент присутствует код строки. Эти коды образуют код нажатой клавиши или код клавиатуры и записываются в выходной регистр импульсом с тактового генератора.

Определим, какой сформируется код для замкнутого переключателя, выделенного на схеме. Он расположен на строке $Y2$ и столбце

16. Для этой строки соответствует двоичный код 010, а для столбца – 110. Объединив эти коды, получим код переключателя – 110 010.

Обычно частота тактового генератора $f \approx 30$ кГц, поэтому даже кратковременное нажатие на клавиши позволяет получить код.

Выходной код клавиатуры называют *SCAN* – кодом.

В некоторых типах клавиатуры ряд выделенных клавиш определяются двойным *SCAN* – кодом.

Полученный *SCAN* – код преобразуется с помощью преобразователя кода в код символа, принятый в конкретной цифровой системе, например в системах ЧПУ применяются коды символов КОИ – 7, КОИ – 8, а персональных компьютерах *IBM* – коды *ASCII* – I, *ASCII* – II.

Варианты таких устройств показаны на рис.4.49. Дальнейшая передача кода может осуществляться либо в параллельном коде, либо в последовательном.

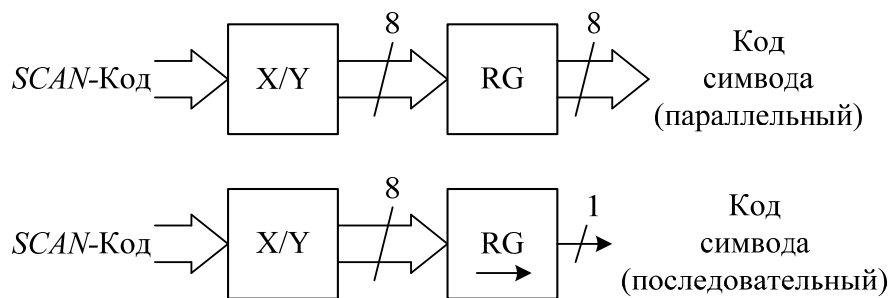


Рис. 4.49. Преобразователи кода клавиатуры

Устройства ввода дискретных данных от объекта

В качестве этих устройств могут выступать конечные выключатели (механические), индуктивные датчики пути, оптические датчики пути.

Механические конечные выключатели чаще всего работают на замыкание. Через контакты задается ток $I = 10 \dots 100$ мА, при рабочем напряжении $U = 24 \dots 60$ В (наиболее часто используются $I = 10 \dots 20$ мА, $U = 24 \dots 27$ В). Для передачи информации о состоянии выключателя в систему управления необходимо выполнять гальваническую развязку, например оптронную. В качестве оптронной развязки можно применять любые, рассмотренные в разделе 4.1, оптроны. Также широко используют оптронные переключатели-инверторы серий К249, К293 и другие.

Эти переключатели представляют собой диодные оптроны со встроенным усилителем-формирователем, на выходе которого формируется уровень логического нуля или единицы, в зависимости от состояния входной цепи.

На рис. 4.50 показаны варианты подключения конечных выключателей, с использованием оптронов К293ЛП1. Конечный выключатель SQ располагается на объекте (станок, робот и др.), а вся остальная часть схемы находится непосредственно в блоке системы управления.

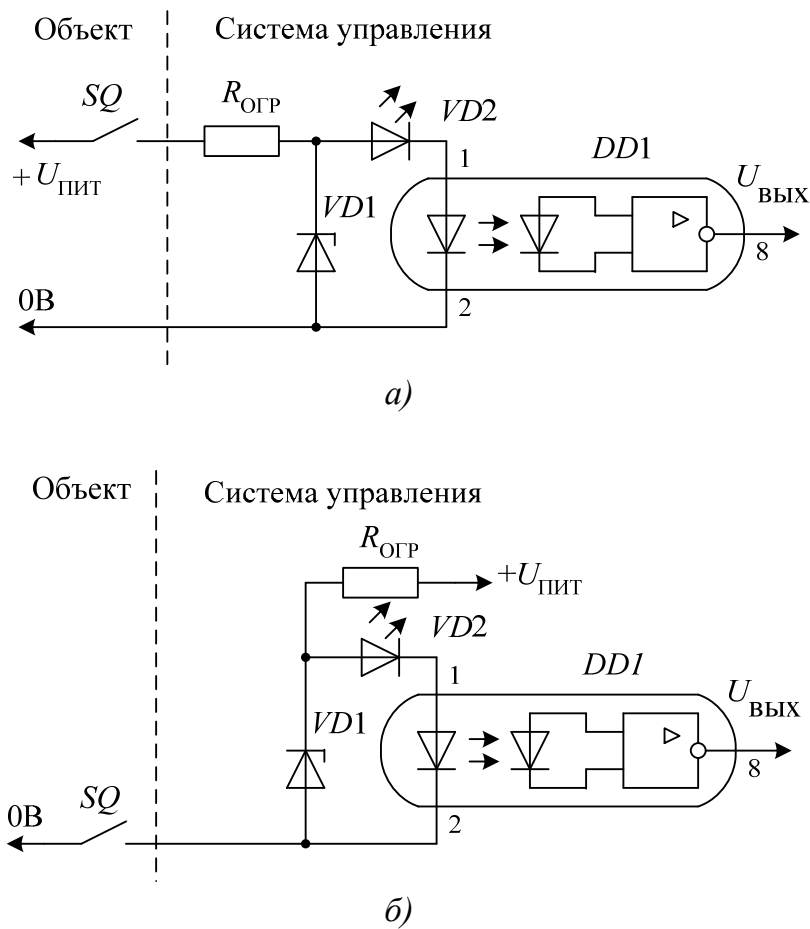


Рис. 4.50. Ввод данных с механических конечных выключателей

Резистор $R_{огр}$ задает рабочий ток для светодиодов, стабилитрон $VD1$ предназначен для защиты оптрона от выбросов напряжения, а светодиод $VD2$ индицирует состояние конечного выключателя. Если выключатель замкнут, то светодиод будет светиться и на выходе оптрона выходное напряжение $U_{вых} = 1$. Эти схемы отличаются своей

простотой, но им свойственны все недостатки механических переключателей.

Отличие схем (а) и (б) состоит в том, что в первом случае для подключения датчика необходимо использовать два провода, а во втором случае – один. Обычно общий провод питания 0В подключен к металлической конструкции станка.

Индуктивные датчики пути

Индуктивный датчик (рис. 4.51) представляет собой катушку индуктивности, на которой выполнен генератор синусоидальных колебаний и усилитель – ограничитель, формирующий на выходе напряжение, примерно равное напряжению питания $U_{пит}$. При приближении металлического предмета в генераторе происходит срыв колебаний, и выходное напряжение падает до нуля. Одной из характеристик индуктивного датчика является его чувствительность, т.е. величина зазора S при котором происходит срабатывание датчика. Обычно эта величина составляет от 1 до 3 мм.

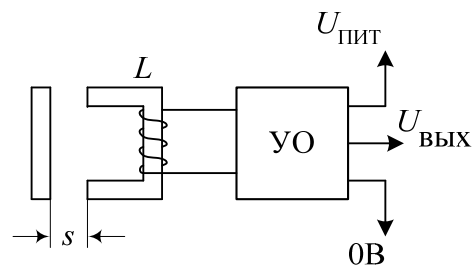


Рис. 4.51. Индуктивный датчик

Вариант схемы подключения индуктивного датчика показан на рис. 4.52. В схему введен дополнительный инвертор на транзисторе VT , выполняющий также функцию усиления выходной характеристики датчика.

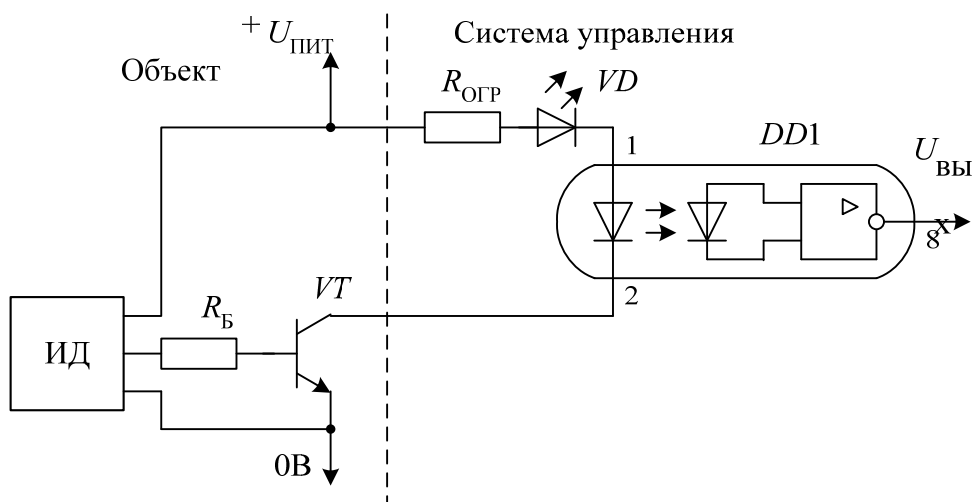


Рис. 4.52. Ввод данных с индуктивного датчика

В результате при отсутствии внешнего металлического предмета выходное напряжение $U_{\text{вых}}$ равно нулю, а в случае приближения металлической пластины к датчику на выходе устанавливается сигнал логической единицы.

Достоинством такого датчика является герметичность его конструкции, отсутствие механических контактов.

Оптические датчики пути

Основу оптического датчика составляет источник светового излучения и фотоприемник (рис. 4.53). Выходной усилитель-ограничитель выполняет те же функции, что и в индуктивном датчике. Для срабатывания датчика необходимо между

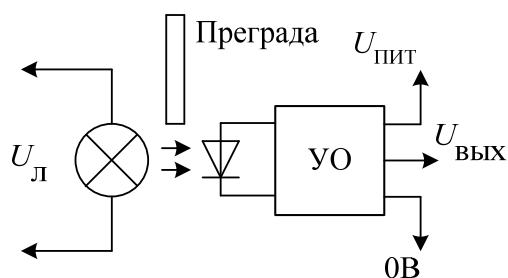


Рис. 4.53. Оптический датчик

излучателем и фотоприемником поместить какой-либо предмет, перекрывающий световой поток.

Для исключения ложных срабатываний от внешних источников света в оптических датчиках применяют инфракрасные источник излучения и приемник (светодиод и фотодиод).

Однако могут возникнуть ложные срабатывания от теплового излучения.

Расчет входных цепей опторазвязки

Основные параметры оптронных переключателей рассмотрим на примере оптронов серии К293ЛП. Эти переключатели имеют следующие основные характеристики.

1. Постоянное прямое напряжение светодиода $U_{\text{пр}} = 1 \dots 1,5\text{В}$.
2. Постоянный прямой ток светодиода $I_{\text{пр}} = 8 \dots 20\text{мА}$.
3. Постоянное обратное напряжение светодиода $U_{\text{обр}} = 3 \dots 12\text{В}$.
4. Напряжение пробоя изоляции $U_{\text{из}} = 100 \dots 2000\text{В}$.

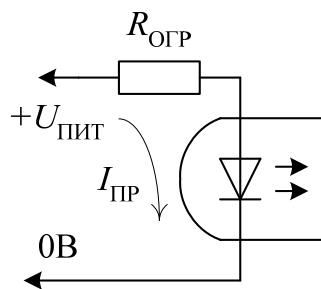


Рис. 4.54. Расчетная схема

Расчетным параметром проектируемой схемы (рис. 4.54) является сопротивление резистора $R_{\text{огр}}$, который задает ток светодиода. Сопротивление резистора определяется по формуле

$$R_{\text{огр}} = \frac{U_{\text{пит}} - U_{\text{пр}}}{I_{\text{пр}}}$$

Например, при $U_{\text{пит}} = 24\text{В}$, $U_{\text{пр}} = 1\text{В}$, $I_{\text{пр}} = 10\text{мА}$ получаем

$$R_{\text{огр}} = \frac{24-1}{0,01} = 2300 \text{ Ом} = 2,3 \text{ кОм}.$$

Минимальное и максимальное значения напряжения питания $U_{\text{пит}}$ определяются допустимым значением прямого тока $I_{\text{пр}}$ (минимальное и максимальное), при котором обеспечивается надежная работа оптрона

$$U_{\text{пит}_{\text{min}}} = R_{\text{огр}} \cdot I_{\text{пр}_{\text{min}}} + U_{\text{пр}},$$

$$U_{\text{пит}_{\text{max}}} = R_{\text{огр}} \cdot I_{\text{пр}_{\text{max}}} + U_{\text{пр}}.$$

Если $U_{\text{пит}}$ изменяется в больших пределах, то в схему вводится дополнительный стабилитрон, который ограничивает ток $I_{\text{пр}2}$ (рис. 4.55).

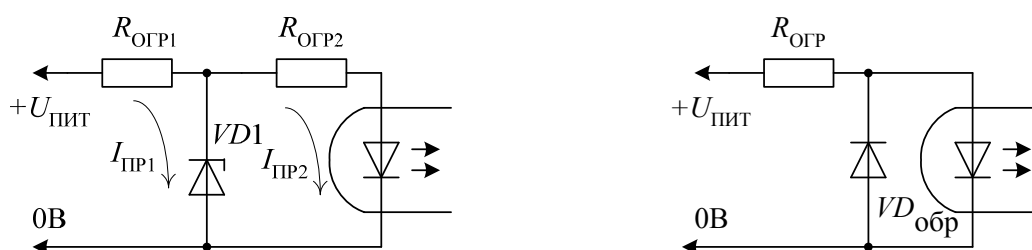


Рис. 4.55. Расчетная схема со стабилитроном и обратным диодом

Резистор $R_{\text{огр}1}$ может рассеивать большую мощность.

Для защиты от обратного напряжения параллельно светодиоду устанавливают обратный защитный диод $VD_{\text{обр}}$.

4.2.2. Устройства аналогового ввода

Класс устройств, преобразующих непрерывный сигнал изменения любой физической величины в цифровой код.

Задача измерения физической величины в нужном формате цифрового кода состоит из нескольких этапов:

1. Преобразование физической величины в электрический сигнал, пропорциональный изменению физической величины.
2. Передача этого сигнала от объекта управления к системе управления.
3. Нормирование величины электрического сигнала.
4. Коммутация нескольких электрических сигналов на входе системы управления без потери точности измерения.

На первом этапе для преобразования физической величины используются первичные преобразователи различных типов.

Для измерения перемещения используются резисторы, синусо-косинусные вращающиеся трансформаторы (СКВТ), фотооптические датчики, индуктивные датчики; измерение скорости осуществляется тахогенераторами, СКВТ, фотооптические датчики; усилие измеряют датчиками тока (шунты и трансформаторы тока), силомоментными датчиками на основе тензорезисторов; давление – датчиками манометрическими, механотроны.

На выходе первичного преобразователя формируется электрический сигнал и его необходимо передать от объекта управления в систему управления.

Основной проблемой при передаче сигнала является повышение его помехоустойчивости, так как на передаваемый сигнал накладываются различные шумы, наводятся переменные токи промышленных частот и т.д.

Для защиты сигнала применяют экранирование проводников, витые пары (рис. 4.56), используют различные модуляторы и демодуляторы сигнала.

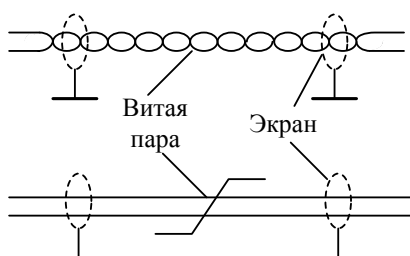


Рис. 4.56. Витая пара в экране

Также способствует повышению помехоустойчивости использование:

- минимальной длины линии;
- максимального диаметра проводника;
- максимальной амплитуды передаваемого сигнала;
- минимальной величины тока в линии.

Электрический сигнал с выхода первичного преобразователя, как правило, это напряжение или ток, может иметь самый разный диапазон. Например, величина напряжения с тахогенератора может меняться от нуля до десятков и даже сотен вольт, а напряжение с силомоментного датчика на основе тензорезисторов меняется в диапазоне нескольких милливольт. Поэтому весь диапазон изменения значений электрических сигналов необходимо нормировать, т.е. приводить к определенным пределам изменения.

Для напряжения используются в основном следующие пределы: для постоянного 0...1,024В, и 0...10,24В; для переменного – 0...2В.

Для тока – 0...3мА; 0...20мА; 4...20мА.

Для приведения к этим диапазонам применяются масштабирующие (или нормирующие) усилители (рис. 4.57). Усилитель обеспечивает прием, масштабирование

и «привязку» к общему проводу входного сигнала от объекта управления. Для этого усилителя $R1 = R3$, $R2 = R4$. Коэффициент усиления (масштабирования) определяется выражением

$$k = \frac{R2}{R1}$$

Максимальное входное напряжение может быть до 10В.

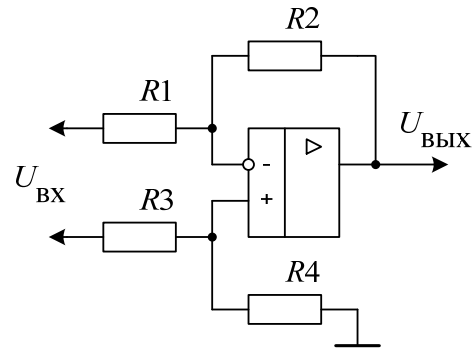


Рис. 4.57. Нормирующий усилитель

Вариант высоковольтного нормирующего усилителя показан на рис. 4.58. Для этого усилителя $R1 = R2 = R3 = R4 = R5$, $R6 = R7$,

$R8 = R9$, $k = \frac{R8}{R6}$. Входное напряжение может быть до 1кВ.

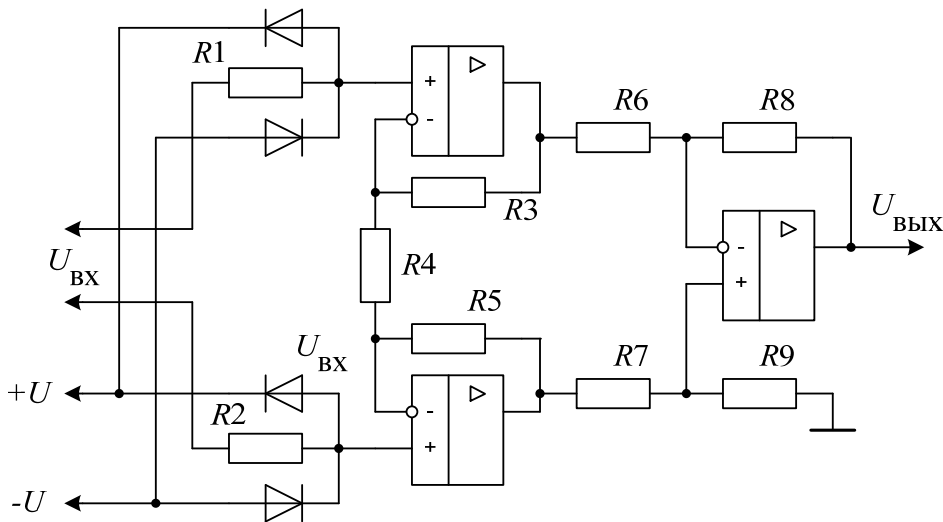


Рис. 4.58. Высоковольтный нормирующий усилитель

Для передачи данных от нескольких источников используются аналоговые коммутаторы – мультиплексоры совместно с устройствами выборки-хранения. На входы коммутатора (рис. 4.59) подаются сигналы от различных источников. Подачей соответствующего кода

на входы выбора номера канала, выбранный входной сигнал подается на выход коммутатора. УВХ запоминает этот сигнал на конденсаторе, который заряжается до величины входного сигнала.

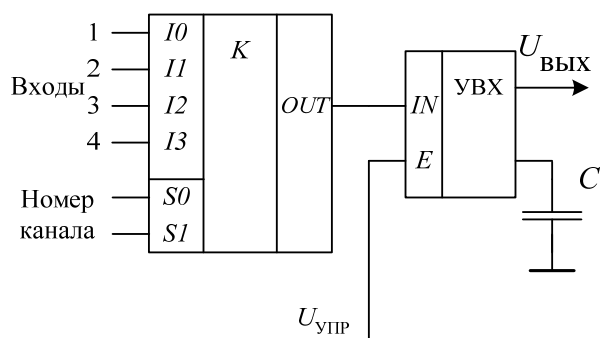


Рис. 4.59. Применение коммутатора

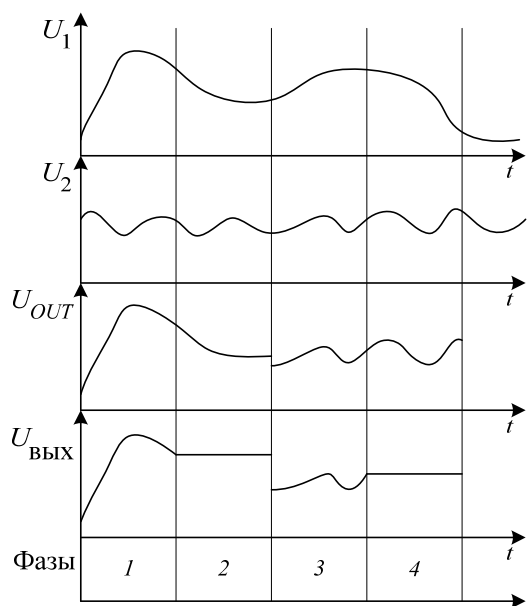


Рис. 4.60. Процесс преобразования

Напряжение с выхода УВХ подается на аналого-цифровой преобразователь, который выполняет преобразование выбранного сигнала. Преобразование входных сигналов в цифровой код состоит из нескольких фаз. Например, для двух сигналов процесс преобразования представлен на рис. 4.60.

1 фаза. Включается канал № 1, производится заряд конденсатора.

2 фаза. Вход УВХ закрывается, на его выходе установилось постоянное напряжение и выполняется аналого-цифровое преобразование.

3 фаза. Включается канал № 2, осуществляется перезаряд конденсатора до уровня второго сигнала.

4 фаза. УВХ закрывается и выполняется аналого-цифровое преобразование второго сигнала.

В качестве коммутаторов можно применять микросхемы серии К590КН1...9, УВХ – серия К1100СК1...5.

ЗАКЛЮЧЕНИЕ

В учебном пособии были рассмотрены элементная база цифровых устройств и принципы построения различных устройств ввода и вывода цифровой и аналоговой информации. Однако современные системы управления строятся на микропроцессорах или на основе компьютера. Проектирование цифровых устройств на их основе в учебном пособии не рассмотрено.

Авторы располагают научными результатами по принципам построения цифровых систем управления техническими системами на микропроцессорной основе и предполагают отразить эти результаты в последующих учебных пособиях, над которыми они работают в настоящее время.

БИБЛИОГРАФИЧЕСКИЙ СПИСОК

1. Аналоговая и цифровая электроника (Полный курс) : учеб. для вузов / Ю. Ф. Опадчий, О. П. Глудкин, А. И. Гуров ; под ред. О. П. Глудкина. – М. : Горячая линия – Телеком, 2002. – 768 с. – ISBN 5-93517-002-7.
2. Горбунов, В. Л. Справочное пособие по микропроцессорам и микроЭВМ / В. Л. Горбунов, Д. И. Панфилов, Д. Л. Преснухин ; под ред. Л. Н. Преснухина. – М. : Высш. шк., 1988. – 272с. – ISBN 5-06-001153-4.
3. Прянишников, В. А. Электроника : курс лекций. – 2-е изд., стер. / В. А. Прянишников. – СПб. : КОРОНА принт, 2000. – 416 с. – ISBN 5-7931-0018-0.
4. Федорков, Б. Г. Микросхемы ЦАП и АЦП: функционирование, параметры, применение / Б. Г. Федорков, В. А. Телец. – М. : Энергоатомиздат, 1990. – 320 с. – ISBN 5-283-01545-9.
5. Хоровиц, П. Искусство схемотехники : пер. с англ. / П. Хоровиц, У Хилл. – Изд. 6-е, стер. – М. : Мир, 2001. – ISBN 5-09-003395-5 (рус).
6. Шило, В. Л. Популярныe цифровые микросхемы : справочник / В. Л. Шило. – Челябинск : Metallургия, Челябинское отд., 1989. – 352 с. – ISBN 5-229-00602-1.

Учебное издание

МИШУЛИН Юрий Евгеньевич
НЕМОНТОВ Владимир Александрович

ЦИФРОВАЯ СХЕМОТЕХНИКА

Учебное пособие

Издается в авторской редакции

Подписано в печать 03.04.19.

Формат 60×84/16. Усл. печ. л. 8,37. Тираж 50 экз.

Заказ

Издательство

Владимирского государственного университета
имени Александра Григорьевича и Николая Григорьевича Столетовых.
600000, Владимир, ул. Горького, 87.