

Министерство образования и науки РФ
Федеральное государственное бюджетное образовательное учреждение
высшего профессионального образования
Владимирский государственный университет имени
Александра Григорьевича и Николая Григорьевича Столетовых
Кафедра управления и информатики
в технических и экономических системах

ВЫЧИСЛИТЕЛЬНЫЕ СИСТЕМЫ

Лабораторный практикум для студентов,
обучающихся по направлению 230700 – Прикладная информатика.
(электронный ресурс)

Составитель
В.П Галас

Владимир 2013

УДК 681.32

Вычислительные системы. Лабораторный практикум для студентов, обучающихся по направлению 230700 – Прикладная информатика - (электронный ресурс)/ В.П. Галас, Владимир, 2013. 114 с.

Приведены описания лабораторных работ по дисциплине «Вычислительные системы, сети и телекоммуникации», в которых изучаются основные принципы построения современных вычислительных машин. Часть работ представляет собой программные модели, работа с которыми осуществляется в интерактивном режиме. Остальные работы выполнены в виде виртуальной электронной лаборатории на персональном компьютере с использованием пакета программ Electronic Workbench (Multisim), позволяющего производить необходимые экспериментальные исследования.

Предназначены для студентов специальности 230700 - прикладная информатика дневной и дистанционной форм обучения.

Лабораторная работа № 1

ПРАВИЛА ПЕРЕВОДА ЧИСЕЛ ИЗ ОДНОЙ СИСТЕМЫ СЧИСЛЕНИЯ В ДРУГУЮ

Цель работы: изучение систем счисления, используемых в вычислительной технике, и правил перевода чисел из одной системы счисления в другую.

Краткие теоретические сведения

При использовании ЭВМ существенным является знание систем счисления. Системы счисления, которыми мы пользуемся в настоящее время, основаны на методе, открытом индусскими математиками около 400 г. н.э. Арабы стали пользоваться подобной системой, известной как арабская система счисления, около 800 г. н.э., а примерно в 1200 г. н.э. ее начали применять в Европе и называли десятичной системой счисления.

Известны другие системы счисления, основанные на тех же принципах, что и десятичная, – двоичная, восьмеричная и шестнадцатеричная. Они обычно используются в ЭВМ, поскольку вычислительные машины построены на схемах с двумя устойчивыми состояниями. В настоящей лабораторной работе предлагается изучить указанные системы счисления, а также методы преобразования чисел из одной системы счисления в другую.

Выполнение лабораторной работы

Лабораторная работа представлена обучающей программой «Perevod», работа с которой осуществляется в интерактивном режиме.

Запуск программы осуществляется из основной директории, инициированием файла index.exe.

Все действия, которые необходимо выполнить в ходе работы, отражаются непосредственно на экране, либо их описания могут быть получены инициированием меню "Help".

Содержание отчета

1. Краткое описание особенностей изученных систем счисления.
2. Результаты преобразования чисел из одной системы счисления в другую.

Вопросы и задания для самопроверки

1. Чем отличаются позиционные системы счисления от непозиционных?
2. Что называют основанием системы счисления? Какие системы счисления используют?
3. Сформулируйте правило перевода целых чисел с основанием $N1$ в систему счисления с основанием $N2$.
4. Сформулируйте правило перевода дробных чисел с основанием $N1$ в систему счисления с основанием $N2$.
5. Сформулируйте правило перевода из 8-ричной (16-ричной) системы в двоичную.
6. Сформулируйте правило перевода из двоичной системы счисления в 8-ричную (16-ричную).
7. В каких случаях преобразование десятичной дроби в двоичную может быть выполнено за конечное число шагов и почему?
8. Переведите:

$101101,101_2$ в десятичную систему;

$$\left. \begin{array}{l} 47_{10} \\ 0,125_{10} \\ 24,375_{10} \end{array} \right\} \text{ в двоичную систему.}$$

9. Переведите:

$$\left. \begin{array}{l} 87,25_{10} \\ 1011,10_2 \end{array} \right\} \text{ в восьмеричную систему;}$$

$$\left. \begin{array}{l} 124,6_8 \\ 62,42_8 \end{array} \right\} \text{ в двоичную систему.}$$

10. Переведите:

BAD, DAD_{16} в десятичную систему;

$$\left. \begin{array}{l} 374,971_{10} \\ 1011,101101_2 \end{array} \right\} \text{ в шестнадцатеричную систему;}$$

$8AF, CB4_{16}$ в восьмеричную систему.

Лабораторная работа № 2

ИЗУЧЕНИЕ ПРИНЦИПОВ ОРГАНИЗАЦИИ АРИФМЕТИКО-ЛОГИЧЕСКИХ УСТРОЙСТВ

Цель работы: изучение принципов построения и функционирования АЛУ на примере сложения и вычитания чисел с фиксированной запятой.

Краткие теоретические сведения

Обычно в АЛУ операции алгебраического сложения сводятся к арифметическому сложению кодов чисел путем применения дополнительного или обратного кодов для представления отрицательных чисел.

Алгоритм выполнения в АЛУ арифметических операций зависит от того, в каком виде хранятся в памяти ЭВМ отрицательные числа: в прямом или дополнительном. В последнем случае сокращается время выполнения операции за счет исключения преобразования получаемого в АЛУ результата в прямой код.

При выполнении операции сложения положительные слагаемые представляются в прямом коде, а отрицательные – в дополнительном. Производится сложение двоичных кодов, включая разряды знаков. Если при

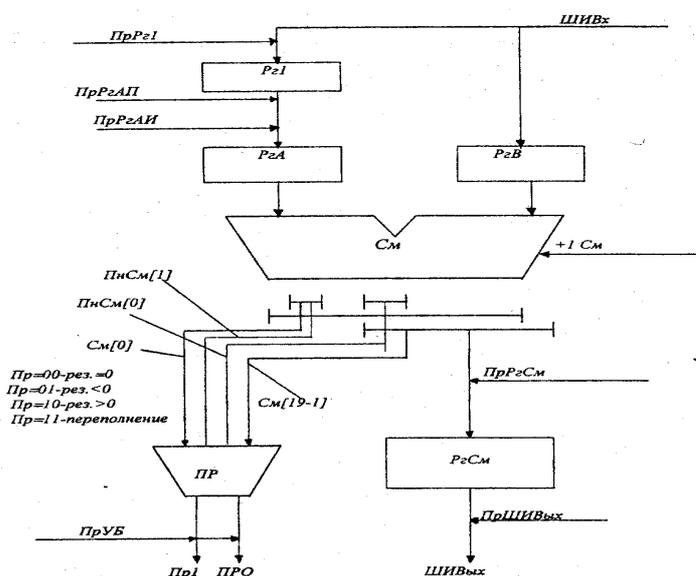


Рис.2.1 - Упрощенная структурная схема АЛУ

этом возникает перенос из знакового разряда суммы при отсутствии переноса в этот разряд или перенос в знаковый разряд при отсутствии переноса из разряда знака, то имеется переполнение разрядной сетки соответственно при отрицательной и положительной суммах. Если нет переносов из знакового разряда и в знаковый разряд суммы или

есть оба эти переноса, то переполнения нет, и при нуле в знаковом разряде сумма положительна и представлена в прямом коде, а при 1 в знаковом разряде сумма отрицательна и представлена в дополнительном коде.

Упрощенная структурная схема АЛУ для операций сложения и вычитания n -разрядных (n -й разряд знаковый) двоичных чисел с фиксированной запятой приведена на рис. 1. Предполагается, что отрицательные числа хранятся в памяти в дополнительном коде.

В состав АЛУ входят n -разрядный параллельный комбинационный сумматор $См$, регистр сумматора $РгСм$, входные регистры сумматора $РгВ$ и $РгА$, входной регистр АЛУ $Рг1$.

Из оперативной памяти по входной информационной шине ШИВх в АЛУ поступают операнды: положительные числа в прямом коде, а отрицательные – в дополнительном. Операнды размещаются в $РгВ$ (первое слагаемое или уменьшаемое) и $Рг1$ (второе слагаемое или вычитаемое); $Рг1$ связан с $РгА$ цепями прямой и инверсной передачи кода. Результат операции выдается из АЛУ в оперативную память по выходной информационной шине ШИВых. Запись информации в регистры АЛУ осуществляется под управлением сигналов $ПрРг1$ и $ПрРгВ$. Слово из $Рг1$ в $РгА$ передается в прямом коде под действием управляющего сигнала $ПрРгАП$, в инверсном коде $ПрРгАИ$. Сигнал $ПрРгСм$ управляет записью результата в регистр сумматора $РгСм$, а сигнал $ПрШИВых$ – передачей содержимого $РгСм$ в информационную шину.

При выполнении операции в АЛУ помимо результата операции формируется двухразрядный код признака результата $ПР$, который принимает следующие значения:

Результат операции	Признак результата	
= 0	0	0
< 0	0	1
> 0	1	0
Переполнение	1	1

Код признака результата формируется комбинационной схемой $Пр$, на выходы которой поступают выходные сигналы всех разрядов сумматора $См$, а также сигналы переноса из знакового разряда $ПнСм [0]$ и из старшего цифрового разряда $ПнСм [1]$.

Признак переполнения ($ПР=11$) формируется, если выполняется условие

$$(1) \text{ ПнСм}[0] \wedge \text{ПнСм}[1] \vee \text{ПнСм}[0] \wedge \text{ПнСм}[1] = 1.$$

Признак нулевого значения результата $Pr=00$ формируется, если

$$(2) \bigwedge_{i=0}^{n-1} C_m[i]=1.$$

Признак положительного результата $Pr=10$ формируется при условии

$$(3) C_m[0] \wedge \bigwedge_{i=1}^{n-1} C_m[i] \vee \bigvee_{i=1}^{n-1} C_m[i] \wedge \bigwedge_{i=1}^{n-1} C_m[i]=1;$$

отрицательного результата $Pr=01$ – при условии

$$(4) C_m[0] \wedge \bigwedge_{i=1}^{n-1} C_m[i] \vee \bigvee_{i=1}^{n-1} C_m[i] \wedge \bigwedge_{i=1}^{n-1} C_m[i].$$

При выполнении алгебраического сложения поступившие в АЛУ коды операндов находятся в выходных регистрах PrB и PrA сумматора. Код суммы формируется на выходе схемы C_m и фиксируется в регистре PrC_m .

Операция алгебраического вычитания

$$Z=X-Y=X+(-Y)$$

может быть сведена к изменению знака вычитаемого Y и операции алгебраического сложения. Изменению знака соответствует следующая процедура: принятый в $Pr1$ код числа знака передается инверсно в PrA , и при сложении осуществляется подсуммирование 1 в младший разряд сумматора.

Выполнение лабораторной работы

Структуры АЛУ для сложения и вычитания чисел с фиксированной запятой и алгоритм его функционирования моделируются с помощью программы, реализованной на языке Турбо-Паскаль.

Работа с программой осуществляется в интерактивном режиме. После запуска файла `index.exe` в директории «Alu» на экране дисплея появляется инструкция для пользователя, согласно которой и выполняется лабораторная работа.

Выполнение изучаемой операции осуществляется АЛУ по шагам, и результат каждого шага отражается на экране в виде кодов содержимого соответствующих регистров, промежуточных и конечных результатов.

В процессе выполнения лабораторной работы необходимо изучить работу АЛУ в следующих режимах:

- сложение двух положительных чисел без возникновения переполнения;
- сложение двух положительных чисел с возникновением переполнения;
- сложение двух отрицательных чисел без возникновения переполнения;
- сложение двух отрицательных чисел с возникновением переполнения;
- вычитание $x-y$, $x > y$;

- вычитание $x-y$, $x < y$;
- вычитание $x-y$, $x = y$.

Для всех режимов зафиксировать по шагам состояния всех элементов АЛУ, индицируемые соответствующими кодами, а также состояния управляющих сигналов. Для всех режимов привести последовательность формирования признаков результата.

По результатам работы необходимо построить блок-схему микропрограммы работы АЛУ, а также выполнить синтез комбинационной схемы, формирующей признаки результата.

Содержание отчета

1. Описание работы АЛУ.
2. Блок-схема микропрограммы выполнения операций сложения (вычитания) для чисел с фиксированной запятой.
3. Логические уравнения, по которым выполнялся синтез комбинационной схемы формирования признаков результата, а также саму схему.

Вопросы и задания для самопроверки

1. Сколько вариантов имеет представление нуля в обратном коде?
2. Когда используется прямая или инверсная передача кодов из входного регистра АЛУ ?
3. Для какой цели в сумматоре используется вход подсуммирования "1" в младший разряд ?
4. Самостоятельно подберите пары слагаемых, при которых:
 - возникает переполнение при положительной сумме;
 - возникает переполнение при отрицательной сумме;
 - результат отрицательный;
 - результат положительный.
 Докажите, что признаки формируются в соответствии с условиями (1-4).
5. Какие операции при выполнении сложения (вычитания) влияют на скорость их выполнения?
6. Что такое перенос и как он формируется?
7. Нарисуйте схему полусумматора.
8. Нарисуйте схему полного сумматора.
9. В чем различия между полусумматором и полным сумматором?

10. Чем отличаются операции суммирования для чисел с фиксированной и плавающей запятой

Лабораторная работа № 3

ИССЛЕДОВАНИЕ ЭЛЕМЕНТОВ АРИФМЕТИКО-ЛОГИЧЕСКИХ УСТРОЙСТВ

Цель работы:

1. Синтез схем цифровых компараторов и комбинационных сумматоров различного типа;
2. Исследование внутренней структуры и логики функционирования цифровых компараторов и комбинационных сумматоров.

Приборы и элементы

Логический конвертор. Логический анализатор. Генератор слов.

Краткие теоретические сведения

Цифровые компараторы и комбинационные сумматоры являются составной частью, так называемых арифметико-логических устройств (АЛУ) микропроцессоров (МП) вычислительных машин. Они используются также для формирования физического адреса ячеек памяти в МП с сегментной организацией памяти.

Компаратор (или *схемы сравнения*) обычно строятся как поразрядные. Они широко используются и автономно, и в составе более сложных схем, например при построении сумматоров. Таблица истинности (табл.1.1) отражает логику работы i -го разряда схемы сравнения при сравнении двух векторов a_i и b_i . На рис 1.1 показана структурная схема компаратора (а) и обозначение его на схемах (б).

Таблица 3.1 Таблица истинности компаратора

Входы		В
	b_i	Y_i
	0	1
	1	0
	0	0
	1	1

Логическая зависимость:

$$Y = \overline{a_i} \overline{b_i} \vee a_i b_i = \overline{a_i b_i} \vee a_i b_i = a_i \oplus b_i. \quad (3.1)$$

На рис. 3.1, помимо выхода Y_2 фиксирующего равенство значений разрядов, показаны выходы Y_1 и Y_3 , соответствующие сигналам "больше" и "меньше".

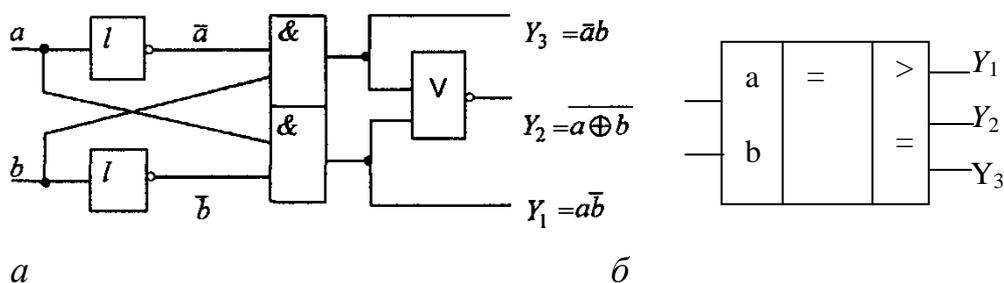


Рис. 3.3. Структурная схема компаратора (а) и обозначение компаратора на принципиальных электрических схемах (б)

Комбинационный сумматор. Принципы построения и работы сумматора вытекают из правил сложения двоичных цифр. Схема сумматора также является регулярной и широко используется в ЭВМ. При сложении одноразрядных двоичных цифр можно выявить закономерности в построении и многоразрядных сумматоров.

Сначала рассмотрим сумматор, обеспечивающий сложение двух двоичных цифр a_1 и b_1 , считая, что переносы из предыдущего разряда не поступают. Этой логике отвечает сложение младших разрядов двоичных чисел. Процесс сложения описывается таблицей истинности (табл.3.2) и логическими зависимостями (3.2), где S_i - функция одноразрядной суммы и p_i - функция формирования переноса. Перенос формируется в том случае, когда $a_1 = 1$ и $b_1 = 1$.

Таблица 3.2 Таблица истинности комбинационного полусумматора

Входы		Выходы	
a_i			p_i
0			0
0			0
1			0

1			1
---	--	--	---

Логические зависимости:

$$S_i = \bar{a}_i b_i \vee a_i \bar{b}_i = a_i \oplus b_i; \quad P_i = a_i b_i.$$

Зависимости (3.2) соответствуют логике работы самого младшего разряда любого сумматора. Структурная схема одноразрядного сумматора (полусумматора) (а) и его обозначение на принципиальных схемах (б) представлены на рис 3.2. (1.2)

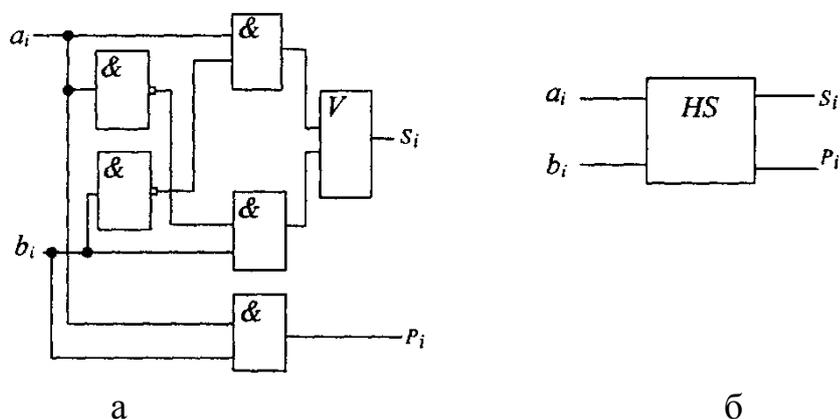


Рис. 3.2.

Логические зависимости полусумматора S_i и компаратора (3.1) очень похожи, так как они инверсны по отношению друг к другу.

Уравнения, положенные в основу одноразрядного сумматора, используются и при построении многоразрядных сумматоров. Логика работы каждого разряда сумматора описывается в табл. 3.3, которую можно считать его таблицей истинности.

Табл.3.3 Таблица истинности полного сумматора

Значения чисел a и b			Раз-сум-	Перенос в сле-дующий разряд
a_i	b_i	p_{i-1}		
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

МОСТЯМ:

Таблица истинности сумматора, учитывающего сигналы переноса, отличается от таблицы полусумматора (табл.3.2) дополнительным входом p_{i-1} -переносом из предыдущих разрядов.

Исходные логические зависимости, формируемые по табл. 3.3, имеют следующую запись:

$$S_i = \overline{a}b p_{i-1} \vee a \overline{b} p_{i-1} \vee \overline{a} \overline{b} p_{i-1} \vee a b p_{i-1}$$

$$P_i = \overline{a} b p_{i-1} \vee a \overline{b} p_{i-1} \vee a b p_{i-1} \vee \overline{a} \overline{b} p_{i-1}$$

Преобразование этих выражений приводит к следующим зависи-

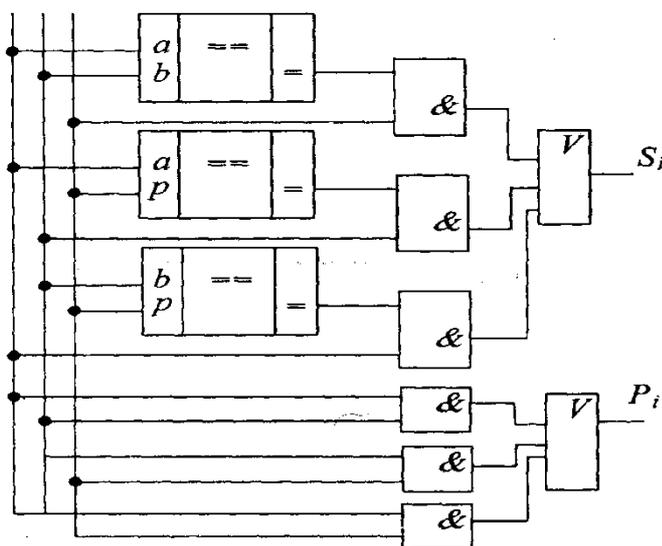
$$S_i = p_{i-1} (\overline{a} b \vee a \overline{b}) \vee \overline{a} \overline{b} p_{i-1} \vee a b p_{i-1}$$

$$P_i = \overline{a} b p_{i-1} \vee a \overline{b} p_{i-1} \vee a b p_{i-1} \vee \overline{a} \overline{b} p_{i-1} \quad (3.3)$$

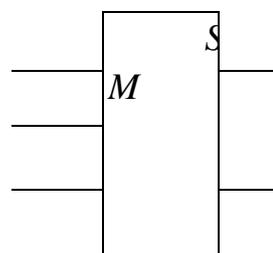
В приведенных выражениях индекс $i-1$ у переменных p в правых частях уравнений опущен.

Из анализа логических зависимостей видно, что структурная схема i -го разряда сумматора требует включения в свой состав трех схем сравнения для формирования разрядной суммы и шести схем совпадения.

$a_i b_i p_{i-1}$



a)



б)

Рис. 3.3.

Многоразрядный сумматор создается на базе одного полусумматора и n полных сумматоров. В качестве примера ниже приведена структура трехразрядного сумматора. На входы a_1, a_2, a_3 и b_1, b_2, b_3 подаются первое и второе слагаемые соответственно, а с выходов S_1, S_2, S_3 снимается результат суммирования.

Структурная схема многоразрядного комбинационного сумматора изображается как показано на рис.3.4.

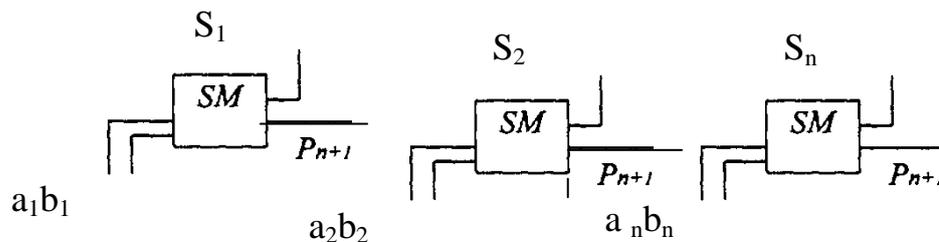


Рис. 3.4. Структурная схема многоразрядного комбинационного сумматора

Для синтеза, а также исследования внутренней структуры и логики функционирования компаратора и комбинационных сумматоров как нельзя лучше подходит логический конвертер, входящий в набор инструментов программы Multisim. Методика проведения измерений с помощью инструментария multisim приведена в Приложении 1.

После ввода в нижнем наборном поле конвертера (изображенного на рис. 3.5) логического выражения, соответствующего схемам исследуемого компаратора или сумматора, последовательно нажимаем кнопки



и в результате получаем таблицу истинности и схему компаратора (сумматора) в требуемом базисе логических элементов.

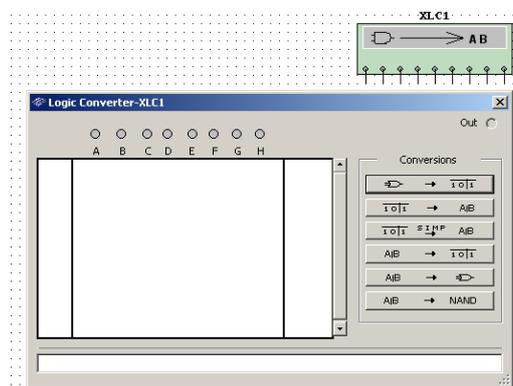


Рис. 3.5

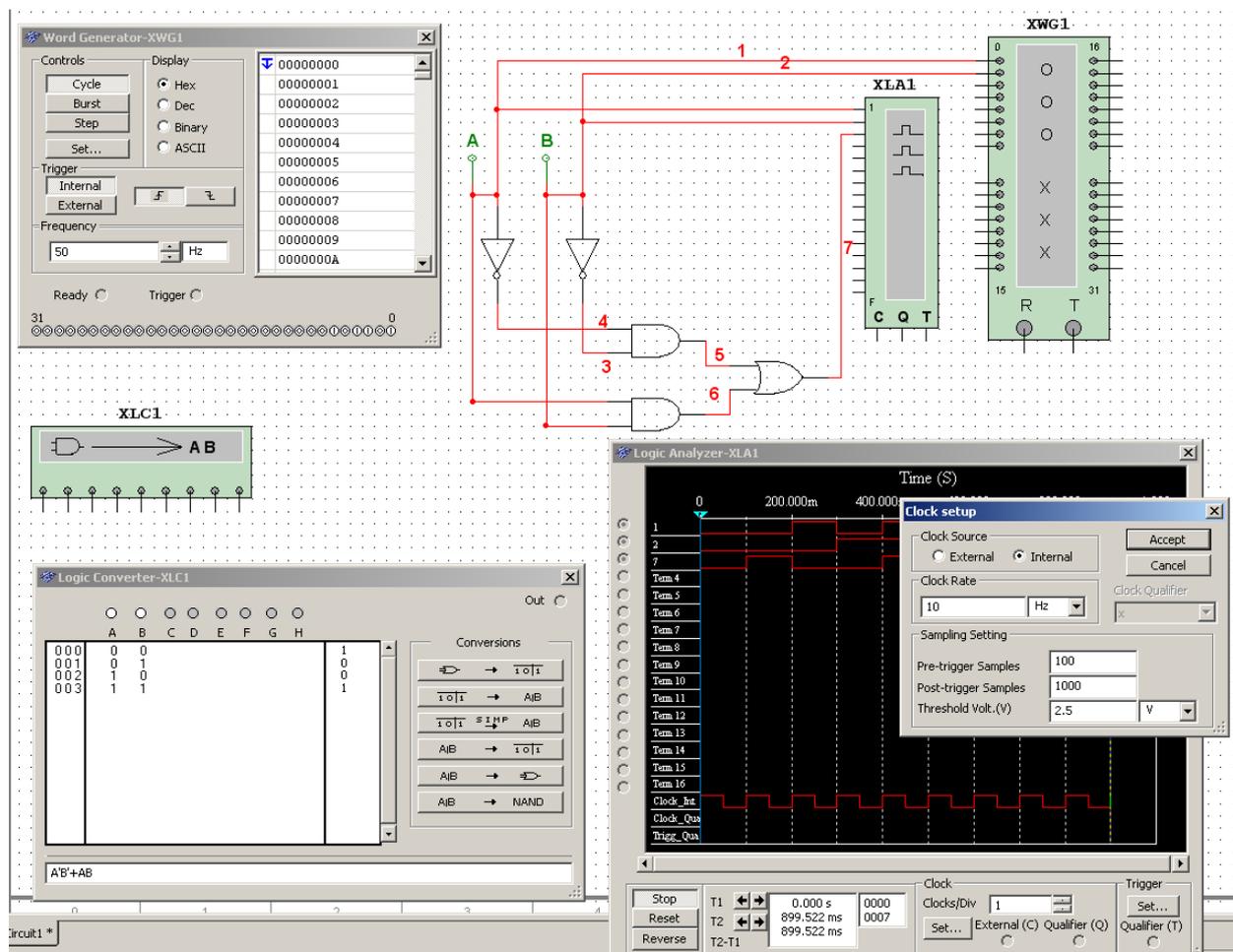


Рис. 3.6

Для проверки логики функционирования исследуемых цифровых устройств необходимо обеспечить на их входах заданные наборы цифровых комбинаций (в виде 1 и 0), индицируя при этом значения сигнала на выходе. Удобно для этих целей использовать генератор слов (Word Generator) и логический анализатор (Logic Analyzer), входящие в набор инструментов программы Multisim. Экранная форма с используемыми приборами и установками для случая исследования схемы цифрового компаратора приведена на рис. 3.6.

Порядок проведения экспериментов

Эксперимент 1. Синтез и исследование логики функционирования цифрового компаратора

Выберите логический конвертор, входящий в набор инструментов программы Multisim. Двойным щелчком левой кнопки мыши сделайте ви-

димой панель управления виртуальным прибором. Введите в нижнее наборное поле конвертора (изображенного на рис. 3.5) выражение, соответствующее логике функционирования исследуемого компаратора. Последовательным нажатием необходимых кнопок управления получите таблицу истинности и схему цифрового компаратора в базисе логических элементов «И». 

Далее получите схему цифрового компаратора в базисе логических элементов «ИЛИ». 

Проверьте логику функционирования цифрового компаратора с помощью логического анализатора, подключив его входы к выходам компаратора. Комбинации входных сигналов (1 или 0) следует задавать с помощью генератора слов также входящего в набор инструментов программы Multisim.

Для удобства проведения экспериментов рекомендуется при установке режима работы генератора слов установить частоту (Frequency) 50 Гц и, после нажатия кнопки *Setting*, выбрать опцию *Up Counter*. В логическом анализаторе рекомендуется использовать частоту 10 Гц, установив ее после нажатия кнопки *Clock Set...* анализатора. Скопируйте осциллограммы с его выходов и поместите в раздел "Результаты экспериментов".

Эксперимент 2. Синтез и исследование логики функционирования комбинационного полусумматора

Выберите логический конвертор, входящий в набор инструментов программы Multisim. Двойным щелчком левой клавиши мыши разверните панель управления виртуальным прибором. Введите в нижнее наборное поле конвертора (изображенного на рис. 3.5) выражение для выходного сигнала суммы S_i , соответствующее логике функционирования исследуемого полусумматора. Последовательным нажатием необходимых кнопок управления получите таблицу истинности и схему комбинационного полусумматора в базисе логических элементов «И».  Далее получите упомянутые схемы в базисе логических элементов «ИЛИ». 

Аналогично введите в нижнее наборное поле конвертора логическое выражение для выходного сигнала полусумматора, соответствующее переносу 1 в следующий разряд p_i . Последовательным нажатием необходимых кнопок управления получите таблицу истинности и схему переноса в базисе логических элементов «И». 

Проверьте работу схемы комбинационного полусумматора с помощью логического анализатора, подключив его входы к выходам полусумматора и схемы переноса 1 в следующий разряд. Комбинации входных сигналов (1 или 0) подаваемых на входы схем комбинационного полусумматора и переноса 1 в следующий разряд следует задавать с помощью генератора слов как и в предыдущем эксперименте.

Скопируйте осциллограммы с выходов логического анализатора и поместите их в раздел "Результаты экспериментов".

Эксперимент 3. Синтез и исследование логики функционирования полного сумматора

Выберите логический конвертор, входящий в набор инструментов программы Multisim. Двойным щелчком левой клавиши мыши разверните панель управления виртуальным прибором.

Аналогично предыдущему эксперименту введите в нижнее наборное поле конвертора логическое выражение для выходного сигнала и сигнала, соответствующее переносу 1 в следующий разряд p_i полного сумматора, получите таблицу истинности и схему переноса в базисе логических элементов «И». Далее получите упомянутые схемы в базисе логических элементов «ИЛИ».

Проверьте логику функционирования схемы полного сумматора как и в предыдущих экспериментах.

Скопируйте осциллограммы с выходов логического анализатора и поместите их в раздел "Результаты экспериментов".

Эксперимент 4. Синтез и исследование логики функционирования многоразрядного комбинационного сумматора

Произведите синтез схем комбинационного полусумматора и полного сумматора. Соедините полученные схемы (согласно рис. 3.4) в одну схему многоразрядного комбинационного сумматора с учетом передачи сигналов переноса из предыдущего и в последующий разряды.

Проверьте работу схемы многоразрядного комбинационного сумматора с помощью логического анализатора, подключив его входы к выходам схем полусумматора, полного сумматора и схем переноса 1 в следующий разряд. Комбинации входных сигналов (1 или 0) подаваемых на входы схем комбинационного полусумматора, полного сумматора и переноса 1 из

предыдущего разряда на полусумматор следует задавать с помощью генератора слов как и в предыдущих экспериментах.

Скопируйте осциллограммы с выходов логического анализатора и поместите их в раздел "Результаты экспериментов".

Результаты экспериментов и порядок их оформления

Эксперимент 1. Исследование логики функционирования цифрового компаратора

Таблица истинности

Входы		Выход
a_i	b_i	S_i

Осциллограммы с выходов логического анализатора

a_i									
b_i									
S_i									
Время									

Эксперимент 2. Исследование логики функционирования комбинационного полусумматора

Таблица истинности

Входы		Выходы	
a_i	b_i	S_i	P_i

Осциллограммы с выходов логического анализатора

a_i									
b_i									
S_i									
P_i									
Время									

Эксперимент 3. Исследование логики функционирования полного сумматора

Вопросы и задания для самопроверки

1. Какую смысловую нагрузку несет приставка «полу-» в названии одного из видов арифметического сумматора?
2. Какие логические функции и каким образом можно реализовать с помощью схем цифровых компараторов?
3. Какие логические функции и каким образом можно реализовать с помощью схем сумматоров?
4. В чем основное различие в выполняемых функциях цифровых компараторов и комбинационных сумматоров?
5. Какие логические функции и каким образом можно реализовать с помощью схем сумматоров?
6. Составить таблицу истинности полусумматора, отражающую зависимость сигналов на входах сложения, суммы и переноса.
7. Составить таблицу истинности полного сумматора, отражающую зависимость сигналов на входах сложения, суммы и переноса.
8. Записать логическое выражение, отражающее работу полусумматора.
9. Записать логическое выражение, отражающее работу полного сумматора.
10. Изобразить структурную схему цифрового компаратора;
11. Изобразить структурную схему полусумматора.
12. Изобразить структурную схему полного сумматора.

Лабораторная работа №4

ПОСТРОЕНИЕ ЭЛЕКТРИЧЕСКОЙ СХЕМЫ ПО ЗАДАННОЙ ЛОГИЧЕСКОЙ ФУНКЦИИ

Цель работы: изучение возможности использования приборов программы Multisim для синтеза схем логических элементов.

Многие реальные процессы могут быть описаны с помощью алгебры логики в виде логических функций. Например, бесперебойное питание какого-нибудь устройства может быть реализовано с помощью одного элемента ИЛИ. На вход этого элемента (рис. 36) поступает питание с основного и резервного источников, а его выход обеспечивает наше устройство питанием при любых переboях основного источника.

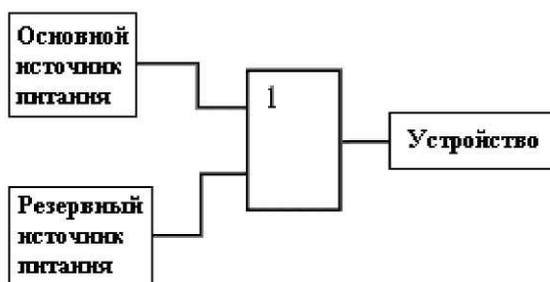


Рис. 36. Пример использования логического элемента для решения задачи автоматического подключения резервного питания.

Более сложные логические функции, выполняющие управление технологическими процессами, автоматизирующие многократно повторяемые, трудоемкие операции, также могут быть реализованы, конечно с использованием много большего числа логических элементов, связанных друг с другом определенным образом. При этом скорость работы логических устройств гораздо выше, чем устройств на основе программного управления, т.к. «программа» их работы закладывается в саму конструкцию логических устройств и выполняется при распространении электрического сигнала через логический элемент.

Одну и ту же логическую функцию можно реализовать различными способами, это связано с тем, что законы и тождества алгебры логики устанавливают равнозначность для определенных форм представления логических выражений. Основные используемые соотношения представлены ниже:

$$0-1 = 1-0 = 0 \quad (18)$$

$$0-2 \quad 1-1 = 1 \quad (19)$$

$$1 + 1 = 1 \quad (20)$$

$$1+0 = 0+1 = 1 \quad (21)$$

$$0+0=0 \quad (22)$$

$$\text{Закон дополнительности } \mathcal{L}-\mathcal{L}=0; \mathcal{A} + \mathcal{L} \quad (23)$$

$$\text{Распределительный закон } \mathcal{L} \cdot (\mathcal{B} + \mathcal{C}) = \mathcal{L}-\mathcal{B} + \mathcal{L}-\mathcal{C} \quad (24)$$

$$\text{Закон поглощения } \mathcal{L} + \mathcal{L}-\mathcal{B} = \mathcal{L}; \mathcal{L}-(\mathcal{L} + \mathcal{B}) = \mathcal{L} \quad (25)$$

$$\text{Закон инверсии (или двойственности) } \mathcal{L}-\mathcal{B} = \mathcal{L}+\mathcal{B}; \mathcal{L} + \mathcal{B} = \mathcal{L}-\mathcal{B} \quad (26)$$

$$\text{Закон склеивания } (\mathcal{L} + \mathcal{B}) \cdot (\mathcal{L}+\mathcal{B}) = \mathcal{L}; \mathcal{L}-\mathcal{B} + \mathcal{L}-\mathcal{B} = \mathcal{L} \quad (27)$$

При создании электронной схемы, реализующей логическую функцию, необходимо стремиться к оптимизации результата не только за счет

сведения большего числа логических переменных к меньшему с помощью логических законов, но и за счет оптимального выбора самих логических элементов.

Например, использование элементов, совмещающих в себе выполнение нескольких логических операций упрощает схему и уменьшает общее количество элементов в ней. Заданную в лабораторной работе логическую функцию нужно проанализировать, если возможно, упростить с помощью логических законов и тождеств. Построить для нее таблицу истинности и реализовать функцию с помощью логических элементов.

Преобразования функции и результат в виде логической схемы заносится в отчет по лабораторной работе. После этого можно воспользоваться логическим преобразователем функций в программе EWB и проверить полученный результат. Например, если задана логическая функция:

$$L-B-C-П + E + F+G+H ,$$

Первое, на что следует обратить внимание, - в этой функции есть две группы элементов, объединенных операциями инверсии, между всеми логическими переменными в этих группах выполняется логическая операция одного типа, такая операция может выполняться одним логическим элементом.

Удобно использовать для реализации такой функции два четырехходовых элемента (логические элементы в программе EWB могут иметь до 8 входов, задание числа входов выполняется на вкладке Number of Inputs окна свойств элемента (рис. 4.1)), один из которых выполняет функцию И-НЕ, а другой - ИЛИ-НЕ.

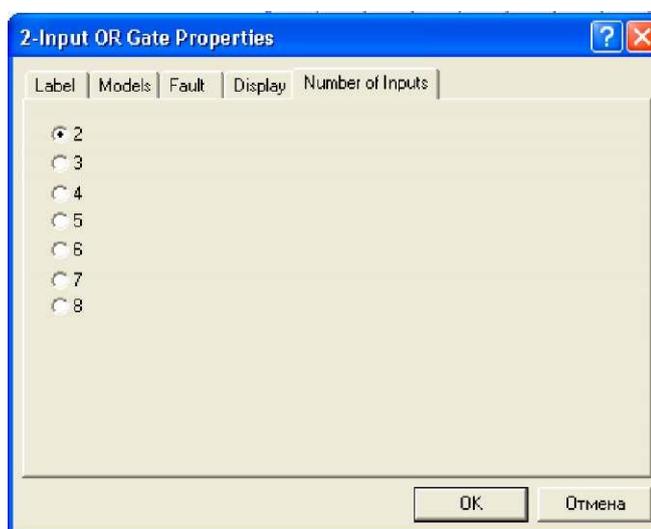


Рис. 4.1. Вкладка задания числа входов в окне свойств логического элемента

Выходы элементов объединяются элементом ИЛИ (знак суммы) и выполняется инверсия результата, т.е. опять используем элемент ИЛИ-НЕ. Всего для реализации логической функции потребуется три логических элемента (рис. 4.2).

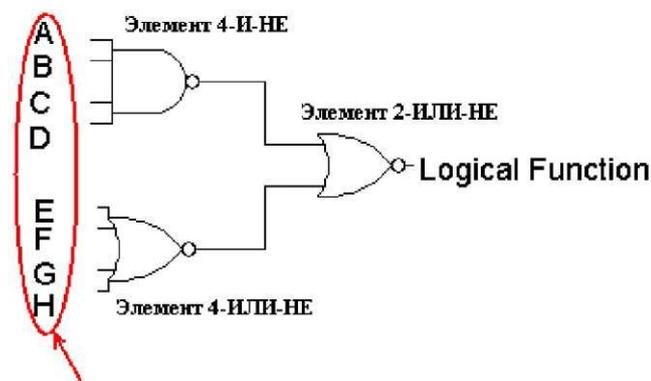


Рис. 4.2. Пример реализации логической функции.

Проверка правильности выполнения задания выполняется с помощью логического преобразователя (Logical Converter) - виртуального прибора программы EWB, реальных аналогов которого не существует (рис. 4.3).

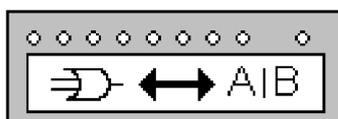


Рис. 4.3. Логический преобразователь.

Прибор имеет восемь входных разъемов, к ним подключаются входные сигналы схемы, и один выходной разъем, на который подается сигнал с выхода схемы (рис. 4.4).

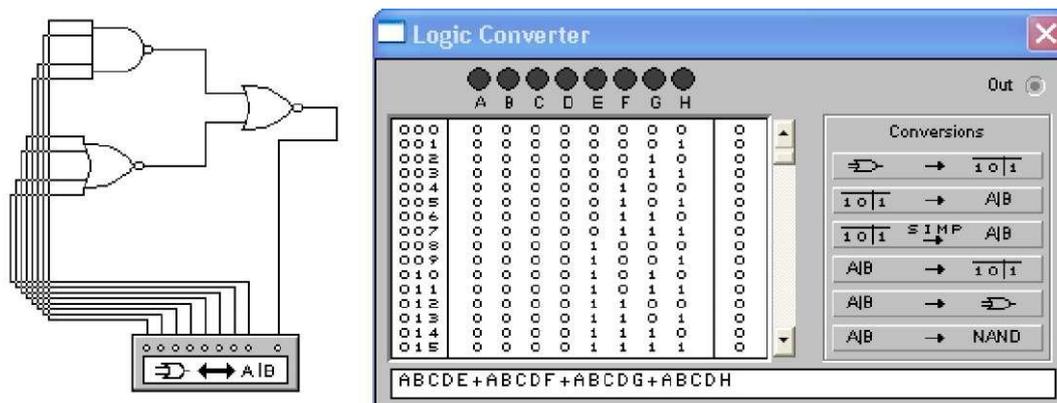


Рис. 4.4. Подключение логической схемы к преобразователю.

После подключения всех выводов двойным щелчком мышки на пиктограмме преобразователя нужно включить его увеличенное изображение (рис. 4.5) и последовательно нажать три верхние кнопки:

1.  получение таблицы истинности логической схемы;
2.  получение из таблицы истинности логической функции;
3.  упрощение полученной функции с помощью законов алгебры логики

После чего в нижнем поле анализатора выводится функция, соответствующая исследуемой логической схеме. На первый взгляд, полученная функция отличается от исходной, рассмотрим ее внимательнее:

$$A - B - C - D - E + A - B - C - D - F + A - B - C - D - G + A - B - C - D - H. \quad (29)$$

Используя распределительный закон (24) можно записать это выражение в более компактной форме:

$$A - B - C - D - \{E + F + G + H\}. \quad (30)$$

Теперь рассмотрим исходное выражение (28), в соответствии с законом инвер

сии (26) оно может быть записано в виде:

$$A - B - C - D - - E + F + G + H). \quad (31)$$

Но двойная инверсия логической переменной не изменяет ее значения, поэтому выражения (30) и (28) идентичны.

Логический преобразователь может также выполнять построение схемы на основе заданной логической функции. В этом случае функция вводится в нижнюю строку преобразователя (знак логического умножения просто опускается, а символом инверсии служит одинарная кавычка), затем нажимается клавиша

виша ^w. Однако такой способ не всегда оказывается оптимальным,

в частности, при автоматическом создании схемы используются только двухвходовые элементы (рис. 4.6).

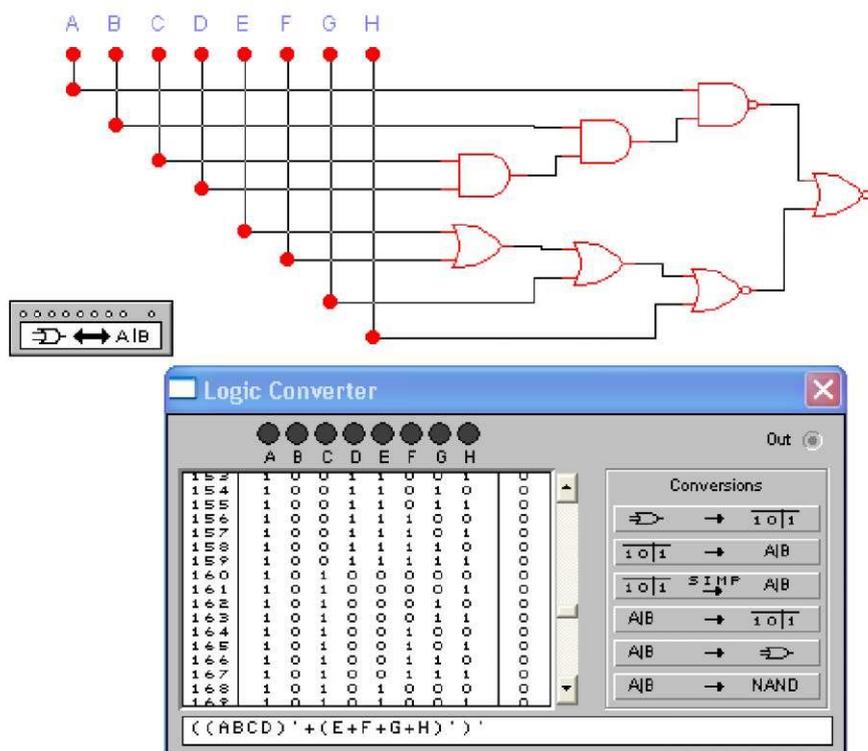


Рис. 4.6. Построение логической схемы в автоматическом режиме.

Варианты заданий

Варианты заданий приведены в таблице 4.1:

Табл. 4.1

№ вар.	Логическая функция	№ вар.	Логическая функция
1	$\overline{A \cdot \overline{B}} + C + D \cdot F \cdot \overline{G} + E \cdot H$	16	$\overline{A \cdot \overline{B}} + \overline{C + D \cdot \overline{F} \cdot \overline{G}} + E \cdot H$
2	$A \cdot (B + C + D) \cdot F + \overline{G} \cdot (E + H)$	17	$\overline{A \cdot (B + \overline{C} + \overline{D})} \cdot F + \overline{G} \cdot (E + H)$
3	$A \cdot (\overline{B + C \cdot D}) + F + G + (\overline{E \cdot H})$	18	$A \cdot (\overline{B + C \cdot D}) + \overline{F + G} + (\overline{E \cdot H})$
4	$\overline{A \cdot B + C \cdot D} + \overline{F} + G \cdot (E + \overline{H})$	19	$\overline{A \cdot B + \overline{C} \cdot D} + \overline{F} + G \cdot (E + H)$
5	$A + B + \overline{C \cdot D} \cdot F + \overline{G} + E \cdot H$	20	$A + \overline{B + \overline{C \cdot D}} \cdot F + \overline{G} + E \cdot H$
6	$A \cdot (B + \overline{C} + \overline{D}) \cdot \overline{F} + G + \overline{E} + \overline{H}$	21	$A \cdot (B + \overline{C} + \overline{D}) \cdot \overline{F} + G + \overline{E} + \overline{H}$
7	$A + B + \overline{C \cdot D} \cdot \overline{F} + \overline{G} \cdot \overline{E} \cdot H$	22	$A + B + \overline{C \cdot D} \cdot \overline{F} + \overline{G} \cdot \overline{E} + \overline{H}$
8	$(A + B + C + \overline{D}) \cdot F + \overline{G} \cdot \overline{E} \cdot \overline{H}$	23	$(\overline{A + B + C + \overline{D}}) \cdot \overline{F} + \overline{G} \cdot \overline{E} \cdot \overline{H}$
9	$(A + C) \cdot F + B + \overline{B} + H \cdot E + D \cdot G$	24	$(\overline{A} + C) \cdot F + \overline{B + \overline{B} + H \cdot E} + D \cdot G$
10	$A \cdot (\overline{B + C + D}) \cdot \overline{F} + \overline{G} \cdot (E + H)$	25	$\overline{A \cdot (\overline{B + C + D})} \cdot \overline{F} + \overline{G} \cdot (E + H)$
11	$\overline{A + B + C \cdot D} + \overline{F} + \overline{G} \cdot \overline{E} \cdot \overline{H}$	26	$\overline{\overline{A + B + C + D} + F} + \overline{G} \cdot \overline{E} \cdot \overline{H}$
12	$(\overline{A + C}) \cdot F + \overline{B + \overline{B} + H \cdot E} + \overline{D} \cdot G$	27	$((\overline{A + C}) \cdot F + \overline{B + \overline{B} + H}) \cdot E + \overline{D} \cdot G$
13	$\overline{A + B + C + D} + \overline{F} + \overline{G} \cdot \overline{E} \cdot \overline{H}$	28	$\overline{(\overline{A + B + C + D} + F + \overline{G} \cdot \overline{E})} \cdot \overline{H}$
14	$\overline{(\overline{A \cdot \overline{B}} + C + D \cdot F \cdot \overline{G})} \cdot E \cdot H$	29	$\overline{A \cdot \overline{B}} + C + D \cdot F \cdot \overline{G} + E \cdot H$
15	$(\overline{A + B \cdot C + \overline{D}}) \cdot F + \overline{G} \cdot \overline{E} \cdot \overline{H}$	30	$(\overline{A + B \cdot C + \overline{D}}) \cdot (F + \overline{G} \cdot \overline{E} \cdot \overline{H})$

Ход выполнения работы

1. Записать логическую функцию, проанализировать, возможно ли ее упрощение, упростить;
2. Реализовать функцию на логических элементах, задавая количество входов элемента таким образом, чтобы уменьшить общее число элементов;

3. Составить таблицу истинности для полученной логической схемы;
 4. Подключить схему к логическому преобразователю и убедиться, что она реализует заданную функцию;
 5. Полученную логическую схему и таблицу истинности занести в таблицу
- 12.

Табл. 12.

Заданная логическая функция	Схема, реализующая функцию	Таблица истинности

Контрольные вопросы

1. Какие логические элементы вы знаете.
2. Нарисуйте таблицу истинности логического элемента ИЛИ.
3. Использование какого логического элемента позволяет реализовать все остальные логические элементы.
4. Используются ли логические элементы в компьютере.
5. Нарисуйте таблицу истинности логического элемента ИСКЛЮЧАЮЩЕЕ ИЛИ, почему этот элемент используется как составная часть двоичных сумматоров.
6. Запишите в виде логической функции процесс управления подъемом лифта.
7. Если логические устройства более быстродействующие по сравнению с устройствами с программным управлением, почему их не используют, вместо этих устройств.
8. Как вы думаете, почему в алгебре логики нет операции вычитания.

Лабораторная работа №5

ИССЛЕДОВАНИЕ КОМБИНАЦИОННЫХ СХЕМ СРЕДНЕЙ СТЕПЕНИ ИНТЕГРАЦИИ

Комбинационной схемой называется логическая схема, реализующая однозначное соответствие между значениями входных и выходных сигналов. Для реализации комбинационных схем используются логические

элементы, выпускаемые в виде интегральных схем. В этот класс входят интегральные схемы дешифраторов, шифраторов, мультиплекторов, демультиплекторов, сумматоров.

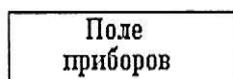
2.1 ИССЛЕДОВАНИЕ ДЕШИФРАТОРОВ

Цель работы

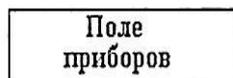
1. Ознакомление с принципом работы дешифраторов.
2. Исследование влияния управляющих сигналов на работу дешифраторов.
3. Реализация и исследование функциональных модулей на основе дешифраторов

Приборы и элементы

Логический преобразователь



Генератор слов



Вольтметр



Логические пробники



Источник напряжения



Генератор тактовых импульсов

Источник сигнала «логическая единица»

Двухпозиционные переключатели

Краткие сведения из теории

Комбинационные схемы.

Комбинационной логической схемой называется логическая схема, обеспечивающая соответствие между значениями входных сигналов. Для реализации

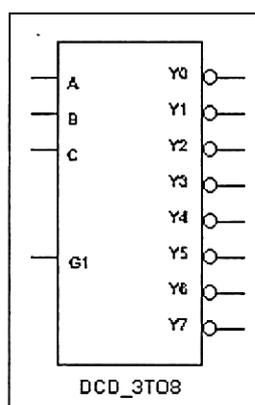
Демультиплектор называется однозначное входных и

Микросхемы серии 74LS138N

комбинационных схем используются логические элементы, выпускаемые в виде интегральных схем. В этот класс входят интегральные схемы дешифраторов, шифраторов, мультиплекторов, демультиплекторов, сумматоров.

Дешифраторы. Дешифратор — логическая комбинационная схема, которая имеет n информационных входов и 2^n выходов. Каждой комбинации логических уровней на входах будет соответствовать активный уровень на одном из 2^n выходов. Обычно $n = 2—4$. На рис. 1 изображен дешифратор с $n = 3$, активным уровнем является уровень логического нуля. На входы C, B, A можно подать следующие комбинации логических уровней: 000, 001, 010, ..., 111, всего восемь комбинаций. Схема имеет восемь выходов, на одном из которых формируется низкий потенциал, на остальных — высокий. Номер этого единственного выхода, на котором формируется активный (нулевой) уровень, соответствует числу N , определяемому состоянием входов C, B, A следующим образом $N = C2^2 + B2^1 + A2^0$.

Например, если на входы подана комбинация логических уровней 011, то из восьми выходов микросхемы ($Y_0—Y_7$) на выходе Y_3 установится нулевой уровень сигнала ($Y_3 = 0$), а все остальные выходы будут иметь уровень логической единицы. Этот принцип формирования выходного



$$Y = 0, \text{ если } i = k,$$

$$Y = 1, \text{ если } i \neq k,$$

$$k = 2^2C + 2^1B + 2^0A.$$

Уровень сигнала на выходе Y_3 описывается выражением

сигнала можно описать следующим образом:

В таком же виде можно записать выражения для каждого выхода дешифратора:

$$Y_0 = \overline{C} \cdot \overline{B} \cdot \overline{A}, \quad Y_4 = C \cdot \overline{B} \cdot \overline{A},$$

$$Y_1 = \overline{C} \cdot \overline{B} \cdot A, \quad Y_5 = C \cdot \overline{B} \cdot A,$$

$$Y_2 = \overline{C} \cdot B \cdot \overline{A}, \quad Y_6 = C \cdot B \cdot \overline{A}, \quad \overline{1} = 0.$$

$$Y_3 = \overline{C} \cdot B \cdot A, \quad Y_7 = C \cdot B \cdot A.$$

Рис. 1

Помимо информационных входов A , B , C дешифраторы обычно имеют дополнительные входы управления (разрешения) G . Сигналы на этих входах, например, разрешают функционирование дешифратора или переводят его в пассивное состояние, при котором, независимо от сигналов на информационных входах, на всех выходах установится уровень логической единицы. Можно сказать, что

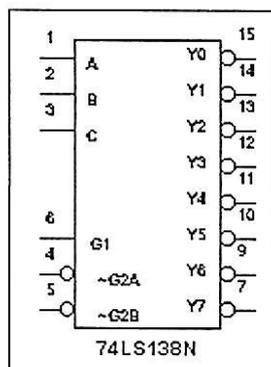


Рис. 2

существует некоторая функция разрешения, значение которой определяется состояниями управляющих входов.

Разрешающий вход дешифратора может быть прямым или инверсным. У дешифраторов с прямым разрешающим входом активным уровнем является уровень логической единицы, у дешифраторов с инверсным входом — уровень логического нуля. На рис.1 представлен дешифратор с одним прямым входом управления. Принцип формирования выходного сигнала

в этом дешифраторе с учетом сигнала управления описывается следующим образом:

$$Y_i = \overline{1 \cdot G}, \text{ если } i = k,$$

$$Y_i = 1, \text{ если } i \neq k,$$

$$k = 2^2C + 2^1B + 2^0A.$$

У дешифратора с несколькими входами управления функция разрешения, как правило, представляет собой логическое произведение всех разрешающих сигналов управления. Например, для дешифратора 74LS138N с одним прямым входом управления $G1$ и двумя инверсными $G2A$ и $G2B$ * (рис. 2) функции выхода Y_i и разрешения G имеют вид:

$$Y_i = \overline{1 \cdot \overline{G}}, \text{ если } i = k;$$

$$Y_i = 1, \text{ если } i \neq k;$$

$$k = 2^2C + 2^1B + 2^0A;$$

$$G = G1 \cdot \overline{G2A} \cdot \overline{G2B}.$$

Обычно входы управления используются для каскадирования (увеличения разрядности) дешифраторов или при параллельной работе нескольких схем на общие выходные линии.

Использование дешифратора в качестве демультиплексора. Дешифратор может быть использован и как демультиплексор —

логический коммутатор, подключающий входной сигнал к одному из выходов. В этом случае функцию информационного входа выполняет один из входов разрешения, а состояние входов C , B и A задает номер выхода, на который передается сигнал со входа разрешения.

Порядок проведения экспериментов

Эксперимент 1. Исследование принципа работы дешифратора 3x8 в основном режиме

Откройте файл с 14_01 со схемой, изображенной на рис. 3. Включите схему. Подайте на вход $G1$ уровень логической единицы. Для этого клавишей G ключ G установите в верхнее положение. Определите и запишите уровни сигналов на выходах $Y0—Y7$ в таблицу истинности при $G = 1$ (табл. в разделе «Результаты экспериментов»). Подайте на вход G уровень логического нуля (ключ G установите в нижнее положение). Убедитесь, что дешифратор перешел в рабочий режим и на одном из выходов установился уровень логического нуля. Подавая все возможные комбинации уровней логических сигналов на входы A , B , C с помощью одноименных ключей и определяя с помощью логических пробников уровни логических сигналов на выходе схемы, заполните таблицу истинности дешифратора при $G = 0$ в разделе «Результаты экспериментов».

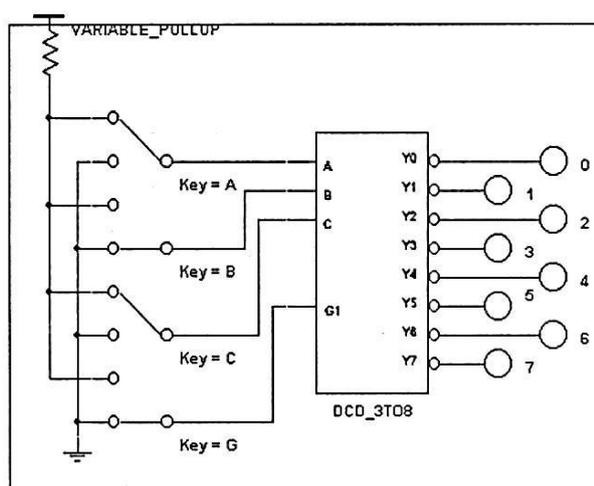


Рис. 3

Эксперимент 2. Исследование принципа работы дешифратора 3x8 в режиме 2x4:

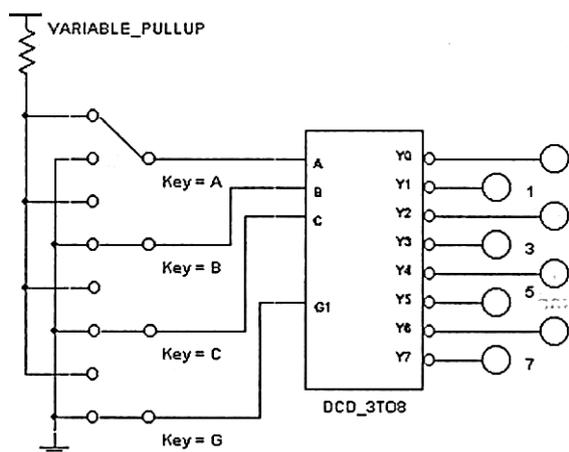


Рис.4

при $C = 1$, для чего вход C подключите к источнику логической единицы.

экспериментов»;

в) выполните операции пункта а), заземлив вход B ($B = 0$), а на входы A и C подавая все возможные комбинации логических уровней. Заполните таблицу истинности в разделе «Результаты экспериментов», там же укажите номера выходов, на которых уровень логического сигнала не изменяется.

Эксперимент 3. Исследование работы дешифратора в качестве демультиплексора

Откройте файл `s14_02` со схемой, изображенной на рис. 5. Включите схему. В пошаговом режиме работы генератора слов подайте на входы C , B , A демультиплексора слова, эквивалентные числам от 0 до 7.

Наблюдая с помощью логических пробников уровни сигналов на выходах, заполните таблицу функционирования в разделе «Результаты экспериментов». Убедитесь, что изменяющийся сигнал на входе $\sim G$ поочередно появляется на выходах дешифратора.

а) в схеме рис. 3 подключите вход C к общему проводу («земле»), задав $C = 0$ (рис. 4). Изменяя уровни сигналов на входах B и A и наблюдая уровни сигналов на выходах схемы с помощью пробников, заполните таблицу истинности дешифратора в разделе «Результаты экспериментов». Укажите выходы, на которых уровень сигнала не меняется;

б) выполните операции пункта а) при $C = 1$, для чего вход C подключите к источнику логической единицы. Заполните таблицу истинности дешифратора в разделе «Результаты экспериментов»;

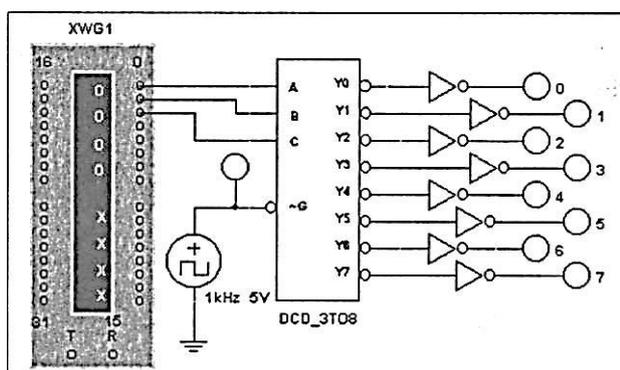


Рис.5

Эксперимент 4. Исследование дешифратора 3x8 с логической схемой на выходе

Откройте файл `s14_03` со схемой, изображенной на рис. 6. Включите схему. Установите генератор слов в пошаговый режим. Последовательно подавая слова от генератора на вход схемы и наблюдая уровень логического сигнала на выходе схемы с помощью логического пробника, составьте таблицу истинности функции F , реализуемой схемой на выходе в разделе «Результаты экспериментов». По таблице запишите аналитическое выражение функции и занесите полученное выражение в раздел «Результаты экспериментов».

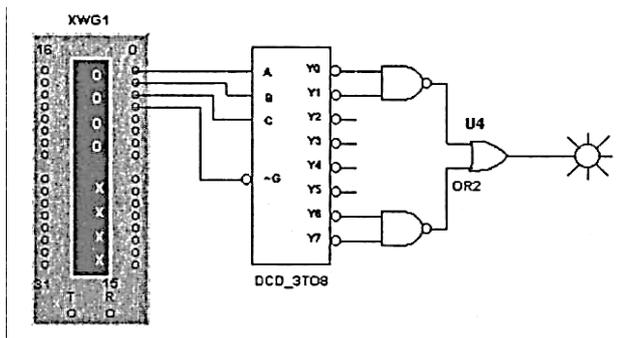
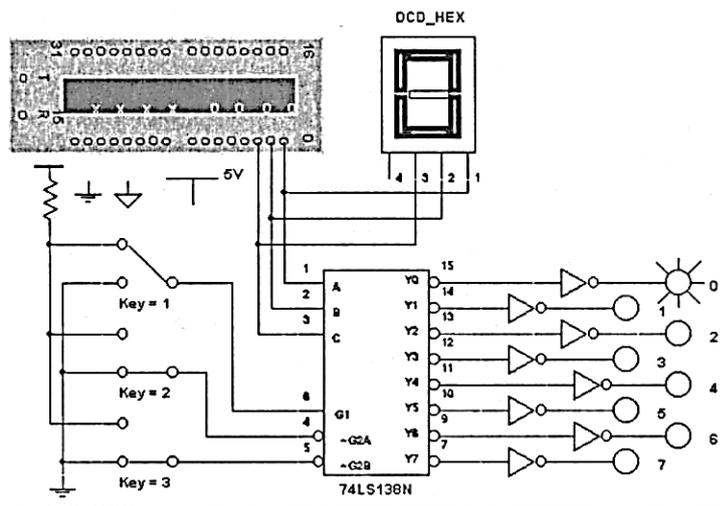


Рис.6

Эксперимент 5. Исследование микросхемы 74LS138N:

- а) откройте файл `s14_04` (рис.7). Установите генератор слов в пошаговый режим. Включите схему. С помощью соответствующих ключей установите состояние управляющих входов $G1 = 0$, $G2A = G2B = 1$. Подавая на входы A , B , C слова от генератора слов и наблюдая состояние выходов с помощью



логических пробников, заполните таблицу функционирования дешифратора 74LS138N в разделе «Результаты экспериментов» на компакт-диске.

- б) повторите операции пункта а) при $G1 = G2A = 1$, $G2B = 0$. Заполните таблицу функционирования дешифратора 74LS138N в разделе «Результаты экспериментов».

в) повторите операции пункта а) при $G1 = 1, G2A = G2B = 0$.
Заполните таблицу функционирования дешифратора в разделе
результаты экспериментов

Эксперимент 6. Исследование микросхемы 74LS138N с помощью логического анализатора

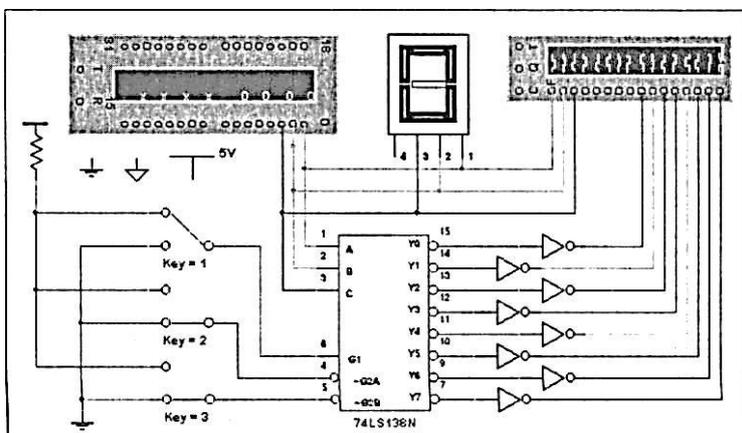


Рис. 8

Откройте файл с 14_05 (рис. 8). Установите генератор слов в пошаговый режим. Включите схему. С помощью соответствующих ключей установите состояние управляющих входов $G1 = 1, G2A = G2B = 0$. Подавая слова от генератора слов, получите временные диаграммы работы дешифратора на экране логического анализатора и зарисуйте их в разделе «Результаты экспериментов». Сопоставьте временные диаграммы с полученными в эксперименте 5, (пункт в).

Результаты экспериментов

Комбинационные схемы средней степени интеграции

Исследование дешифраторов

Эксперимент 1. Исследование принципа работы дешифратора 3x8 в основном режиме

<i>C</i>	<i>B</i>	<i>A</i>	<i>G</i>	<i>F0</i>	<i>F1</i>	<i>F2</i>	<i>F3</i>	<i>F4</i>	<i>F5</i>	<i>F6</i>	<i>F7</i>
0	0	0	1								
0	1	1	1								
0	0	1	0								
0	1	0	0								
0	1	1	0								
1	0	0	0								
1	0	1	0								
1	1	0	0								
1	1	1	0								

Для простоты заполнения таблицы истинности в ней можно отмечать только выводы с низким уровнем сигнала.

Эксперимент 2. Исследование принципа работы дешифратора 3x8 в режиме 2x4:

<i>C</i>	<i>B</i>	<i>A</i>	<i>F0</i>	<i>F1</i>	<i>F2</i>	<i>F3</i>	<i>F4</i>	<i>F5</i>	<i>F6</i>	<i>F7</i>
0	0	0								
0	0	1								
0	1	0								
0	1	1								

Выводы, на которых уровень сигнала не изменяется

Измерение



<i>C</i>	<i>B</i>	<i>A</i>	<i>F0</i>	<i>F1</i>	<i>F2</i>	<i>F3</i>	<i>F4</i>	<i>F5</i>	<i>F6</i>	<i>F7</i>
1	0	0								
1	0	1								
1	1	0								
1	1	1								

б)

Выводы, на которых уровень сигнала не изменяется

Измерение



<i>C</i>	<i>B</i>	<i>A</i>	<i>F0</i>	<i>F1</i>	<i>F2</i>	<i>F3</i>	<i>F4</i>	<i>F5</i>	<i>F6</i>	<i>F7</i>
0	0	0								
0	0	1								
1	0	0								
1	0	1								

в)

Выводы, на которых уровень сигнала не изменяется

Измерение

Эксперимент 3. Исследование работы дешифратора в качестве де-мультиплексора

<i>C</i>	<i>B</i>	<i>A</i>	<i>F0</i>	<i>Y1</i>	<i>Y2</i>	<i>Y3</i>	<i>Y4</i>	<i>Y5</i>	<i>Y6</i>	<i>Y7</i>
0	0	0								
0	0	1								
0	1	0								
0	1	1								
1	0	0								
1	0	1								
1	1	0								
1	1	1								

! Выводы с изменяющимся сигналом отмечать в клетках таблицы как *G*.

Эксперимент 4. Исследование дешифратора 3x8 с логической схемой на выходе

<i>G</i>	<i>A</i>	<i>B</i>	<i>C</i>	<i>F</i>
0	0	0	0	
0	0	0	1	
0	0	1	0	
0	0	1	1	

в)

<i>C</i>	<i>B</i>	<i>A</i>	<i>Y0</i>	<i>Y1</i>	<i>Y2</i>	<i>Y3</i>	<i>Y4</i>	<i>Y5</i>	<i>Y6</i>	<i>Y7</i>
0	0	0								
0	0	1								
0	1	0								
0	1	1								
1	0	0								
1	0	1								
1	1	0								
1	1	1								

Вопросы для самопроверки

1. Какие логические функции выполняет дешифратор?
2. Каково назначение входов управления в дешифраторе, как влияет сигнал управления на выходные функции дешифратора?
3. Какие дополнительные логические элементы необходимы для реализации логических функций по аргументам на основе дешифратора с прямыми выходами? С инверсными?
4. Как выглядит схема дешифратора 2x4, выполненная в базисе И, ИЛИ, НЕ? Сколько элементов каждого типа для этого требуется?
5. Как надо видоизменить схему дешифратора 2x4 в предыдущем случае, чтобы оснастить ее прямым управляющим входом? Инверсным? Обозначьте входы дешифратора A , B , управляющий вход G или \bar{G} , выходы Y_0 , Y_1 , Y_2 , Y_3 .
6. Как из двух дешифраторов 2x4 сделать один дешифратор 3x8?
7. Как на основе нескольких дешифраторов 2x4 с управляющим входом сделать дешифратор 4x16? Сколько дешифраторов 2x4 потребуется для решения этой задачи, если не использовать другие элементы?
8. Как на основе дешифратора 2x4 сделать схему, фиксирующую совпадение двух бит ($A = B = 1$, $A = B = 0$) и реализующую функцию $F = AB \vee \bar{A}\bar{B}$?
9. Как на основе дешифратора сделать логическую схему, реализующую функцию $F = AB \vee \bar{A}\bar{B}$?

Лабораторная работа №6

СИНТЕЗ И ИССЛЕДОВАНИЕ ЛОГИЧЕСКИХ СХЕМ

Цель работы:

1. Исследование логических схем;
2. Реализация логических функций при помощи логических элементов;
3. Синтез логических схем, выполняющих заданные логические функции.

Приборы и элементы

Логический преобразователь. Генератор слов. Вольтметр. Логические пробники. Источник напряжения + 5 В. Источник сигнала "логическая единица". Двухпозиционные переключатели. Двухходовые элементы И, И-НЕ, ИЛИ, ИЛИ-НЕ. Микросхемы серии 74.

Краткие теоретические сведения

Логические элементы – это устройства, реализующие одну из операций алгебры логики или простейшую логическую функцию. Схема, составленная из конечного числа логических элементов по определенным правилам, называется логической схемой.

Основным логическим функциям соответствуют выполняющие их схемные элементы.

Так как область определения любой функции n переменных конечна (2^n значений), такая функция может быть задана таблицей значений $f(v_i)$, которые она принимает в точках v_i , где $i=0,1\dots 2^n-1$. Такие таблицы называют таблицами истинности. В таблице 1 представлены функции конъюнкции ($f1$), дизъюнкции ($f2$), конъюнкции с инверсией ($f3$), дизъюнкции с инверсией ($f4$), суммирования по модулю 2 ($f5$), равнозначности ($f6$).

Таблица 1

i	Значение переменных		Функция					
	x	y	$f1$	$f2$	$f3$	$f4$	$f5$	$f6$
0	0	0	0	0	1	1	0	1
1	0	1	0	1	1	0	1	0

2	1	0	0	1	1	0	1	0
3	1	1	1	1	0	0	0	1

Примечание: $i=2x+y$ – число, образованное значениями переменных.

Порядок проведения экспериментов

Эксперимент 1. Исследование логической функции И

А. Задание уровней логических сигналов.

Откройте в Electronics Workbench файл c12_01 со схемой, изображенной на рис. 1. В этой схеме два двухпозиционных переключателя А и В

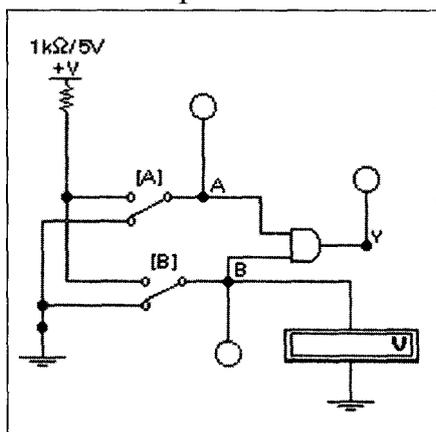


Рис. 1. Схема исследования логической функции И

подают на входы логической схемы И уровни 0 (контакт переключателя в нижнем положении) или 1 (контакт переключателя в верхнем положении). Включите схему. Установите переключатель В в нижнее положение. Измерьте вольтметром напряжение на входе В и определите с помощью логического пробника уровень логического сигнала. Установите переключатель В в верхнее положение. Определите уровень логического сигнала и запишите показания вольтметра; укажите, какой логический сигнал формируется на выходе Y. Результаты занесите в раздел "Результаты экспериментов".

Б. Экспериментальное получение таблицы истинности элемента И.

Подайте на входы схемы все возможные комбинации уровней сигналов А и В и для каждой комбинации зафиксируйте уровень выходного сигнала Y. Заполните таблицу истинности логической схемы И (табл. 2 в разделе "Результаты экспериментов").

В. Получение аналитического выражения для функции.

По табл. 1 составьте аналитическое выражение функции элемента И и занесите его в раздел "Результаты экспериментов".

Эксперимент 2. Исследование логической функции ИЛИ

А. Экспериментальное получение таблицы истинности логического элемента ИЛИ.

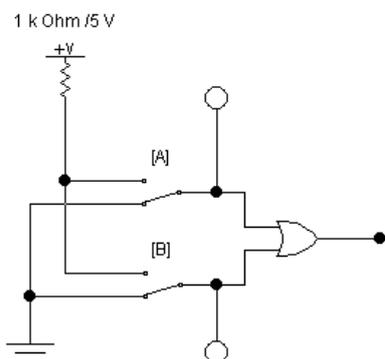


Рис. 2. Схема для исследования элемента ИЛИ

Соберите изображенную на рис. 2 схему для исследования логического элемента ИЛИ. Включите схему. Подайте на входы схемы все возможные комбинации уровней входных сигналов и, наблюдая уровни сигналов на входах и выходе с помощью логических пробников, заполните таблицу истинности логической схемы ИЛИ (табл. 3 в разделе "Результаты экспериментов").

Б. Получение аналитического выражения для функции.

По табл. 3 составьте аналитическое выражение функции и занесите его в раздел

"Результаты экспериментов".

Эксперимент 3. Исследование логических схем с помощью генератора слов

А. Сведения об исследуемой микросхеме.

Откройте файл s12_02 со схемой, изображенной на рис. 3.

Включите схему. Укажите, к каким выводам микросхемы 7400 подключается источник питания, сколько элементов 2И-НЕ содержит микросхема, сколько элементов используется в данном эксперименте и как обозначены на схеме используемые входы и выходы. Заполните таблицу сведений о микросхеме (табл. 4 в разделе "Результаты экспериментов").

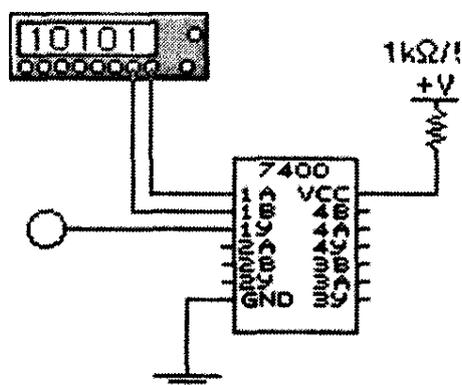


Рис. 3. Исследование микро-схемы с помощью генератора слов

Б. Экспериментальное получение таблицы истинности логического элемента 2И-НЕ.

Запрограммируйте генератор слов так, чтобы на выходе генератора получать последовательно следующие комбинации: 00, 01, 10, 11. Переведите генератор в режим пошаговой работы нажатием кнопки "Step" на увеличенном изображении

генератора. Каждое нажатие кнопки "Step" вызывает переход к очередному слову заданной последовательности, которое подается на выход генератора. Последовательно подавая на микросхему слова из заданной последовательности, заполните таблицу истинности элемента 2И-НЕ (табл. 5 в разделе "Результаты экспериментов").

Указание. Значения разрядов текущего слова на выходе генератора отображаются в круглых окнах в нижней части на панели генератора.

Эксперимент 4. Реализация логической функции 3-х переменных

А. Синтез схемы, реализующей функцию, заданную логическим выражением.

Реализуйте функцию $f = ab \vee \bar{b}c$ на элементах 2И-НЕ.

Указание. Представьте выражение функции через операции логического умножения и инверсии.

Соберите в Electronics Workbench схему на элементах 2И-НЕ, соответствующую полученному выражению. Подключите ко входам схемы генератор слов, к выходу – логический пробник. Генератор слов запрограммируйте на формирование последовательности из восьми слов, соответствующих числам от 0 до 7: 0=000; 1=001; 2=010; 3=011; 4=100; 5=101; 6=110; 7=111. В пошаговом режиме, последовательно подавая на вход полученной схемы все слова последовательности, определите при помощи логического пробника уровень сигнала на выходе схемы. По полученным результатам заполните табл. 6 в разделе "Результаты экспериментов".

Б. Синтез схемы, реализующей заданную функцию при помощи логического преобразователя.

Для получения схемы, реализующей функцию, описываемую логическим выражением $f = ab \vee \bar{b}c$, можно воспользоваться логическим преобразователем. Для этого сделайте следующее:

- вызовите логический преобразователь;
- введите в нижнее окно панели преобразователя логическое выражение $ab \vee \bar{b}c$ с клавиатуры (операции ИЛИ соответствует знак +, инверсия обозначается апострофом);
- для реализации схемы на элементах И-НЕ нажмите клавишу A|B → NAND на панели логического преобразователя.

Логический преобразователь выводит на рабочее поле схему, реализующую функцию, описываемую введенным логическим выражением. Полученная схема приведена на рис. 4. К схеме подключите генератор слов,

запрограммированный на формирование восьми слов, соответствующих числам от 0 до 7: 0=000; 1=001; 2=010; 3=011; 4=100; 5=101; 6=110; 7=111.

Переведите генератор слов в пошаговый режим. Включите схему. Последовательно подавая на входы схемы указанные слова и определяя уровень сигнала на выходе схемы логическим пробником, заполните таблицу истинности (табл. 7 в разделе "Результаты экспериментов"). Вычислите промежуточные значения и также занесите их в таблицу. Они определяют логические сигналы на входе третьего элемента 2И-НЕ в схеме (для контроля результатов вычисления можно к его входам подключить логические пробники).

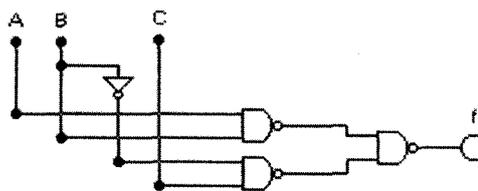


Рис. 4. Реализация функции И-НЕ

Результаты экспериментов и порядок их оформления

Эксперимент 1. Исследование логической функции И

А. Задание уровней логических сигналов.

Напряжение на входе В (ключ В в нижнем положении) _____ В

Логический сигнал на входе В (ключ В в нижнем положении) _____

Напряжение на входе В (ключ В в верхнем положении) _____ В

Логический сигнал на входе В (ключ В в верхнем положении) _____

Логический сигнал на выходе Y _____

Б. Экспериментальное получение таблицы истинности элемента И.

Таблица 2

Входы		Выход
А	В	Y
0	0	
...	...	
1	1	

В. Получение аналитического выражения для функции.

Аналитическое выражение для функции

Эксперимент 2. Исследование логической функции ИЛИ

А. Экспериментальное получение таблицы истинности логического элемента ИЛИ.

Таблица 3

Входы		Выход
А	В	У
0	0	
...	...	
1	1	

В. Получение аналитического выражения для функции.

Аналитическое выражение для функции

Эксперимент 3. Исследование логических схем с помощью генератора слов

А. Сведения об исследуемой микросхеме.

Таблица 4

Число элементов И-НЕ в микросхеме	
Число исследуемых элементов 2И-НЕ	

Окончание табл. 4

Обозначение выводов для подключения источника	
Обозначения используемых входов	
Обозначение используемого выхода	

Б. Экспериментальное получение таблицы истинности логического элемента 2И-НЕ микросхемы, 7400.

Таблица 5

Входы		Выход
А	В	У
0	0	
...	...	
1	1	

Эксперимент 4. Реализация логической функции 3-х переменных

А. Синтез схемы, реализующей функцию, заданную логическим выражением.

Аналитическое выражение для функции f в базисе И-НЕ

Схемная реализация

Таблица 6



A	B	C	F
0	0	0	
0	0	1	
...	
1	1	1	

Б. Синтез схемы, реализующей заданную функцию при помощи логического преобразователя.

Таблица 7

A	B	C	\overline{AB}	\overline{CB}	F
0	0	0			
0	0	1			
...			
1	1	1			

Вопросы и задания для самопроверки

1. Что такое логическая переменная и логический сигнал? Какие значения они могут принимать?
2. Что такое логическая функция?
3. Может ли быть логическим сигналом уровень напряжения? Состояние контакта? Свечение светодиода?
4. Какая логическая функция описывает поведение системы пуска трехфазного двигателя (двигатель может быть запущен, если три датчика подтверждают наличие фазных напряжений)?
5. Датчик температуры состоит из контакта, который замыкается (размыкается) при превышении температуры. При замыкании контакта вырабатывается сигнал логической единицы, при размыкании - логического нуля. Какую схему следует использовать для обнаружения срабатывания хотя бы одного датчика пожарной сигнализации?
 - а) при повышении температуры в датчике происходит замыкание контакта;
 - б) при повышении температуры в датчике происходит размыкание контакта.

6. Какой сигнал должен быть подан на неиспользуемые входы элемента ИИ-НЕ, если требуется реализовать функцию 5И-НЕ?

7. Какой сигнал должен быть подан на неиспользуемый вход элемента 4ИЛИ-НЕ при реализации функции 3ИЛИ-НЕ?

8. В вашем распоряжении имеются логические элементы 2И-НЕ. Как на их основе сделать схему 3И? Достаточно ли 4-х элементов 2И-НЕ для выполнения этой задачи?

9. Как будет вести себя схема И, если на одном из входов вследствие внутренней неисправности будет постоянно присутствовать логическая единица? Логический ноль? Составьте таблицу истинности для неисправной схемы 3И. Определите поведение схемы И-НЕ при тех же условиях.

10. Как будет вести себя схема ИЛИ, если на одном из входов вследствие внутренней неисправности будет постоянно присутствовать логическая единица? Логический ноль? Составьте таблицу истинности для неисправностей схемы 3ИЛИ. Определите поведение схемы ИЛИ-НЕ при тех же условиях.

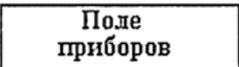
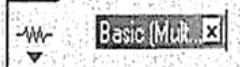
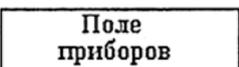
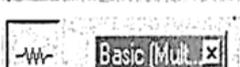
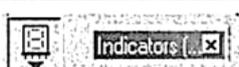
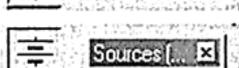
Лабораторная работа №7

ИССЛЕДОВАНИЕ ЦИФРОВЫХ АВТОМАТОВ С ПАМЯТЬЮ

7.1 СЧЕТЧИКИ

Цель работы

1. Изучение структуры и исследование работы суммирующих и вычитающих счетчиков.
2. Изучение способов изменения коэффициента пересчета счетчиков.
3. Исследование работы счетчиков с коэффициентом пересчета, отличным от 2^n .

Генератор слов		Источник сигнала логическая единица	
Логический анализатор		Двухпозиционные переключатели	
Логические пробники		Базовые	
Источник напряжения +5 В		двухвходовые логи- ческие элементы	
Генератор тактовых импульсов		Базовые триггеры <i>RS</i> -, <i>JK</i> - и <i>D</i> -типов	

Краткие сведения из теории

Счетчики. Счетчик — устройство для подсчета числа входных импульсов. Число, представляемое состоянием его выходов по фронту каждого входного импульса, изменяется на единицу. Счетчик можно реализовать на нескольких триггерах. В суммирующих счетчиках каждый входной импульс увеличивает число на его выходе на единицу, в вычитающих счетчиках каждый входной импульс уменьшает это число на единицу. Наиболее простые счетчики — двоичные. На рис. 1 представлен суммирующий двоичный счетчик и диаграммы его работы.

Изменение направления счета. Как уже говорилось ранее, счетчики можно реализовать на триггерах. При этом триггеры соединяют

последовательно. Выход каждого триггера непосредственно действует на тактовый вход следующего. Для того чтобы реализовать суммирующий счетчик, необходимо счетный вход очередного триггера подключать к инверсному выходу предыдущего. Для того чтобы изменить направление счета (реализовать вычитающий счетчик), можно предложить следующие способы

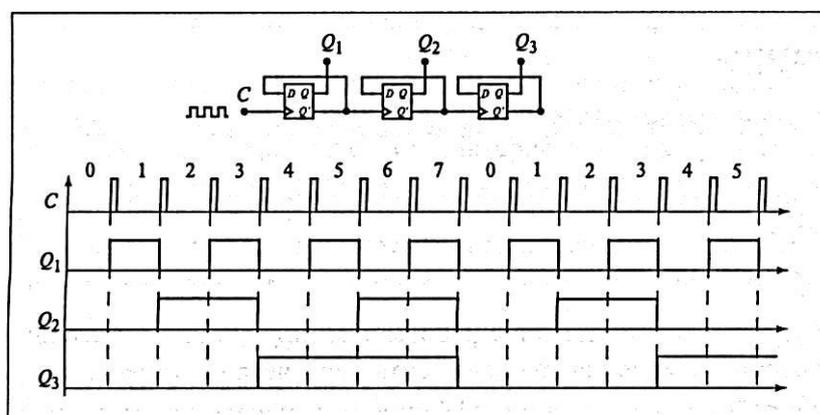


Рис. 1

Таблица 1

Состояние прямых выходов			Число N	Состояние инверсных выходов			Число N
Q_3	Q_2	Q_1		Q_3'	Q_2'	Q_1'	
0	0	0	0	1	1	1	7
0	0	1	1	1	1	0	6
0	1	0	2	1	0	1	5

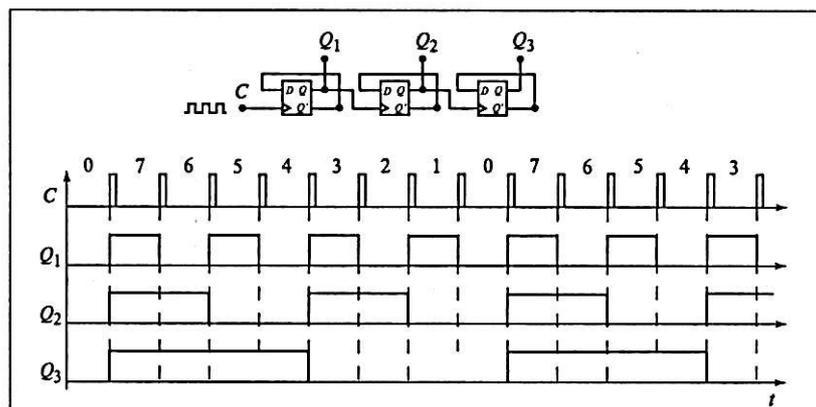
а) считывать выходные сигналы счетчика не с прямых, а с инверсных выходов триггеров. Число, образуемое состоянием инверсных выходов триггеров счетчика, связано с числом, образованным состоянием прямых выходов триггеров следующим соотношением:

$$N_{\text{пр}} = 2^n - N_{\text{инв}} - 1,$$

где n - разрядность выхода счетчика. В табл. 1 приведен пример связи числа на прямых выходах с числом на инверсных выходах триггеров счетчика;

б) изменить структуру связей в счетчике: подавать на счетный вход следующего триггера сигнал не с инверсного, а с прямого выхода предыдущего,

как



показано на рис.2. В этом случае изменяется

Рис. 2

последовательность переключения триггеров.

Изменение коэффициента пересчета. Счетчики характеризуются числом состояний в течение одного периода (цикла). Для схем на рис. 1 и 2 цикл содержит $N = 2^3 = 8$ состояний (от 000 до 111). Часто число состояний называют коэффициентом пересчета $K_{сч}$, который равен отношению числа импульсов N_C на входе к числу импульсов $N_{Q_{ст}}$ на выходе старшего разряда за период:

$$K_{сч} = N_C / N_{Q_{ст}}$$

Если на вход счетчика подавать периодическую последовательность импульсов с частотой f_C , то частота f_Q на выходе старшего разряда счетчика будет меньше в $K_{сч}$ раз:

$$K_{сч} = f_C / f_Q,$$

поэтому счетчики также называют делителями частоты, а $K_{сч}$ — коэффициентом деления. Для увеличения $K_{сч}$ приходится увеличивать число триггеров в цепочке.

Каждый дополнительный триггер удваивает число состояний счетчика. Для уменьшения коэффициента $K_{сч}$ можно в качестве выхода счетчика рассматривать выходы триггеров промежуточных каскадов. Например, для счетчика на трех триггерах $= 8$, если взять выход второго триггера, то $K_{сч} = 4$. При этом $K_{сч}$ является целой степенью числа 2: 2, 4, 8, 16 и т.д.

Можно реализовать счетчик, для которого $K_{сч}$ — любое целое число. Например, для счетчика на трех триггерах можно сделать $K_{сч} = 2—7$, но при этом один или два триггера могут быть лишними. При использовании всех трех триггеров можно получить $K_{сч} = 5—7 : 2^2 < K_{сч} < 2^3$. Счетчик с

$K_{сч} = 5$ должен иметь пять состояний, которые в простейшем случае образуют последовательность: $\{0, 1, 2, 3, 4\}$. Циклическое повторение этой последовательности означает, что коэффициент деления счетчика $K_{сч} = 5$.

Для построения суммирующего счетчика с $K_{сч} = 5$ надо, чтобы после формирования последнего числа из последовательности $\{0, 1, 2, 3, 4\}$ счетчик переходил не к числу 5, а к числу 0. В двоичном коде это означает, что от числа 100 нужно перейти к числу 000, а не 101. Изменение естественного порядка счета возможно при введении дополнительных связей между триггерами счетчика. Можно воспользоваться следующим способом: как только счетчик попадает в нерабочее состояние (в данном случае 101), этот факт должен быть опознан и повлечь за собой последующую выработку сигнала, который перевел бы счетчик в состояние 000. Рассмотрим этот способ более детально.

Нерабочее состояние счетчика описывается логическим уравнением

$$F = (101) \vee (110) \vee (111) = Q_3 \cdot \bar{Q}_2 \cdot Q_1 \vee Q_3 \cdot Q_2 \cdot \bar{Q}_1 \vee Q_3 \cdot Q_2 \cdot Q_1 = Q_3 \cdot Q_1 \vee Q_3 \cdot Q_2.$$

Состояния 110 и 111 также являются нерабочими и поэтому учтены при составлении уравнения. Если на выходе эквивалентной логической схемы $F = 0$, значит, счетчик находится в одном из рабочих состояний: $0 \vee 1 \vee 2 \vee 3 \vee 4$. Как только он попадает в одно из нерабочих состояний $5 \vee 6 \vee 7$, формируется сигнал $F = 1$. Появление сигнала $F = 1$ должно переводить счетчик в начальное состояние 000, следовательно, этот сигнал нужно использовать для воздействия на установочные входы триггеров счетчика, которые осуществляли бы сброс счетчика в состояние $Q_1 = Q_2 = Q_3 = 0$. При реализации счетчика на триггерах со входами установки логическим нулем для сброса триггеров требуется подать на входы сброса R сигнал равный нулю. Для обнаружения нерабочего состояния используем схему, реализующую функцию F и выполненную на элементах И—НЕ. Для этого преобразуем выражение для функции:

$$F = \overline{Q_3 \cdot Q_1 \vee Q_3 \cdot Q_2} = \overline{Q_3 \cdot (\bar{Q}_1 \vee \bar{Q}_2)}.$$

Соответствующая схемная реализация приведена на рис. 3.

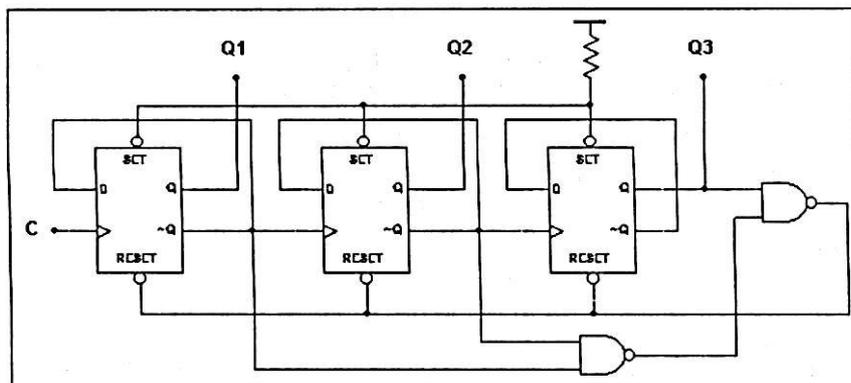


Рис. 3

Счетчик будет работать следующим образом: при счете от 0 до 4 все происходит, как в обычном суммирующем счетчике с $K_{сч} = 8$. Установочные сигналы равны единице и естественному порядку счета не препятствуют. Счет происходит по фронту импульса на счетном входе С. В тот момент, когда счетчик находится в состоянии 4 (100), следующий тактовый импульс сначала переводит счетчик в состояние 5 (101), что немедленно (задолго до прихода следующего тактового импульса) приводит к формированию сигнала сброса, который поступает на установочные входы сброса триггеров. В результате счетчик сбрасывается в нуль и ждет прихода следующего тактового импульса на счетный вход. Один цикл счета закончился, счетчик готов к началу следующего цикла.

Применяя такие схемы с обратной связью для сброса счетчика, нужно

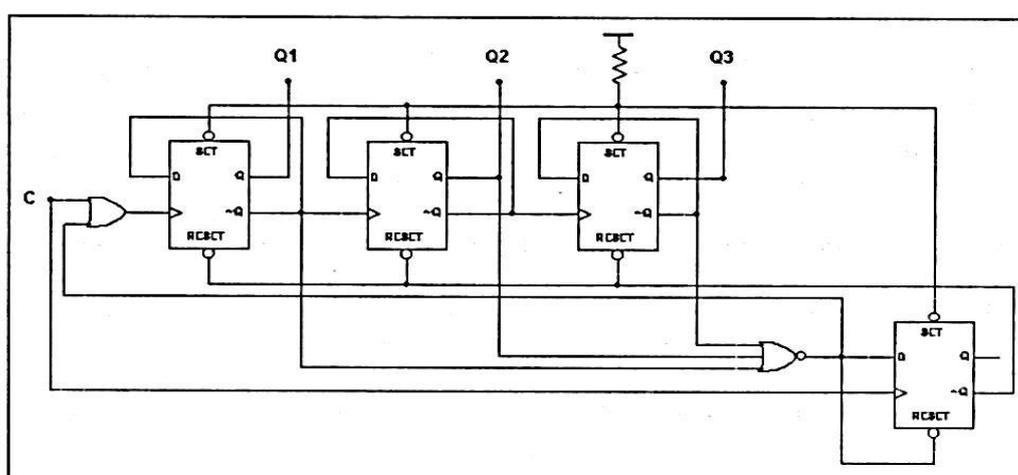


Рис. 4

иметь в виду, что операция сброса занимает конечное время, поэтому непосредственно перед сбросом счетчика в нуль на выходе первого триггера появляются кратковременные импульсы, или «иголки». Это не

имеет значения при подключении счетчика напрямую к индикатору, но при использовании этого выхода счетчика в качестве источника тактовых импульсов

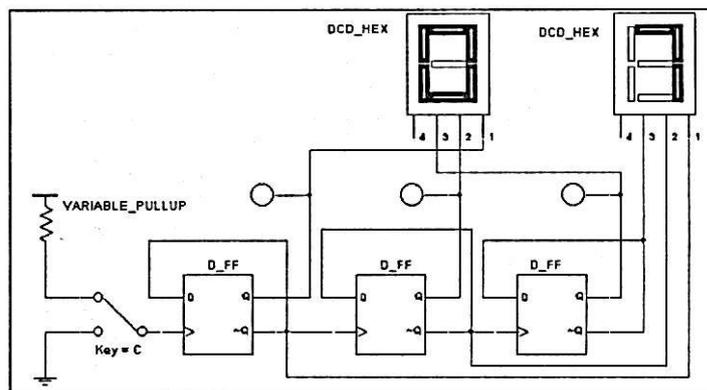


Рис. 5

могут возникнуть определенные проблемы. Схема, в которой это явление устранено, приведена на рис. 4. Важным отличием

является то, что схема обнаруживает не попадание в нерабочее состояние 101, а попадание в состояние 100 и в следующем такте выработывает сигнал сброса.

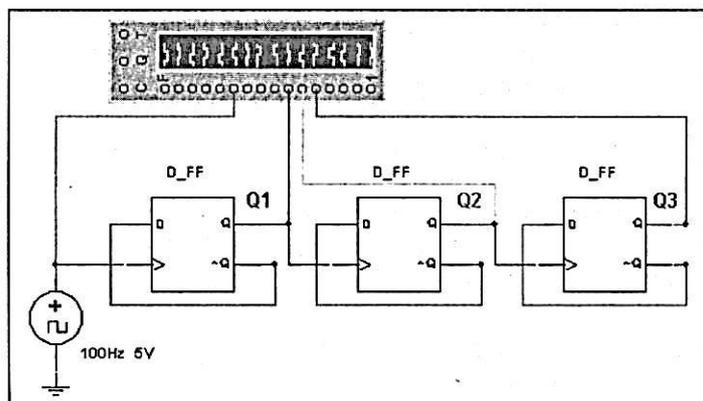


Рис. 6

Порядок проведения экспериментов

Эксперимент 1. Исследование суммирующего счетчика

Откройте файл c15_06 со схемой, изображенной на рис.5. Включите схему. Подавая на вход схемы тактовые импульсы с помощью ключа С и наблюдая состояние выходов счетчика с помощью логических пробников, составьте временные диаграммы работы суммирующего счетчика. Определите коэффициент пересчета счетчика. Результаты занесите в раздел «Результаты экспериментов». Обратите внимание на числа, формируемые состояниями инверсных выходов счетчика.

Эксперимент 2. Исследование вычитающего счетчика:

а) откройте файл c15_07 со схемой, изображенной на рис.6. Включите схему. Зарисуйте временные диаграммы работы вычитающего счетчика в раздел «Результаты экспериментов» на компакт-диске.

б) в схеме на рис. 6 входы логического анализатора подключите к инверсным входам триггеров. Включите схему. Зарисуйте полученные временные диаграммы в раздел «Результаты экспериментов» и сравните их с диаграммами, полученными в эксперименте 1.

Эксперимент 3. Исследование счетчика с измененным коэффициентом пересчета:

а) откройте файл c15_08 со схемой, изображенной на рис.7. Включите схему. Подавая на вход схемы тактовые импульсы с помощью ключа С и наблюдая состояние выходов счетчика с помощью логических пробников, составьте временные диаграммы работы счетчика и определите коэффициент пересчета. Результаты занесите в раздел «Результаты экспериментов».

б) измените структуру комбинационной части счетчика в соответствии со схемой на рис. 3. Подавая на вход схемы тактовые импульсы с помощью ключа С и наблюдая состояние выходов счетчика с помощью логических пробников, составьте временные диаграммы работы счетчика с коэффициентом пересчета $K_{сч} = 5$. Результаты занесите в раздел «Результаты экспериментов».

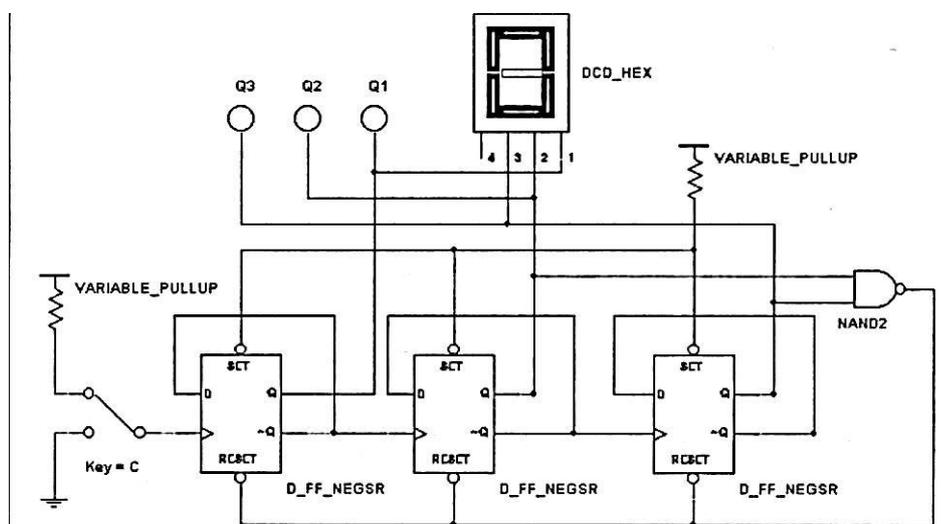


Рис. 7

Эксперимент 4. Исследование регистра Джонсона

Откройте файл c15_09 со схемой, изображенной на рис.8. Счетное устройство, приведенное на рисунке, получило название регистра Джонсона или регистра с перекрестными связями. Включите схему. Постройте временные диаграммы сигналов на выходах триггеров. Определите коэффициент пересчета регистра Джонсона. Результаты занесите в раздел «Результаты экспериментов».

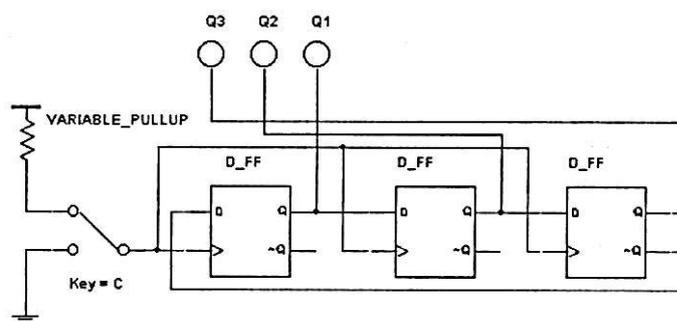


Рис. 8

Эксперимент 5. Исследование регистра Джонсона, реализованного на JK-триггерах:

а) откройте файл с 15_10 со схемой, изображенной на рис.9. Установите ключ S в верхнее положение (на вход S второго триггера подается сигнал логической единицы). Включите схему. Постройте временные диаграммы работы схемы и занесите их в раздел «Результаты экспериментов». Сравните полученные диаграммы с результатами эксперимента

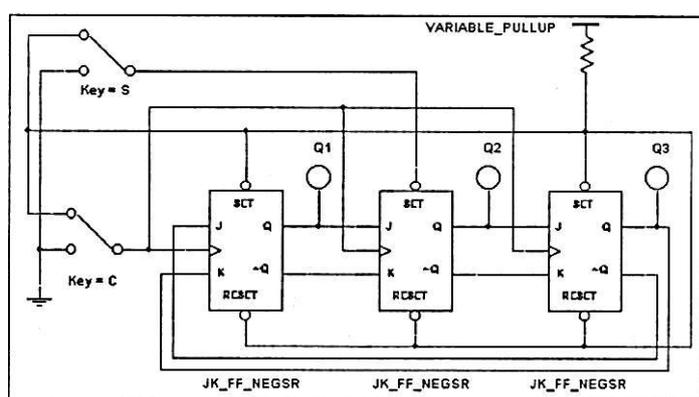


Рис. 9

4.

б) установите схему в состояние 000. Подайте с помощью ключа S кратковременный импульс на вход S второго триггера. При этом схема должна установиться в состояние 010. Подавая на вход S схемы тактовые импульсы с помощью соответствующего ключа и наблюдая состояние выходов схемы с помощью логических пробников, составьте временные диаграммы работы устройства. Определите коэффициент пересчета схемы. Результаты занесите в раздел «Результаты экспериментов».

Указание. Вернуть схему в прежнее состояние можно подачей кратковременного импульса на вход S второго триггера в момент, когда схема находится в состоянии 101.

Вопросы для самопроверки

- 1 Почему при подключении счетных входов триггеров к инверсным выходам предыдущих каскадов счетчик на D-триггерах работает как суммирующий, а при подключении к прямым — как вычитающий?
- 2 В каком режиме будет работать счетчик на JAT-триггерах при подключении счетных входов триггеров к прямым выходам предыдущих каскадов? Как изменится режим работы счетчика при подключении счетных входов триггеров к инверсным выходам?
- 3 Какой коэффициент пересчета имеет регистр Джонсона?
- 4 Какими способами можно изменить коэффициент пересчета счетчика?
- 5 Сколько триггеров должен содержать счетчик с коэффициентами пересчета $K_{сч} = \{3, 5, 7, 9, 10, 12, 14, 15, 24, 30\}$?
- 6 В двоичном счетчике коэффициент пересчета равен 8, число триггеров 3. При поступлении тактовых импульсов на счетный вход счетчик изменяет свое состояние в следующей последовательности: 000—001—010—011—100—101—110—111—000. Сколько триггеров в счетчике изменяют свое состояние одновременно на каждом из переходов? Действительно ли триггеры изменяют свое состояние одновременно? Как происходит переход счетчика из состояния 111 в состояние 000? Какой из триггеров первым изменит свое состояние? Что послужит причиной переключения второго триггера? Как развивается процесс изменения состояния триггеров при переходе счетчика из состояния 011 в состояние 100?

- 7 Цифровые часы в метро реализованы на основе счетчиков. Иногда можно заметить, что четное число секунд на табло часов сохраняется заметно дольше, чем нечетное (возможна и обратная закономерность). Почему это происходит?
- 8 Какую разрядность должен иметь счетчик, отсчитывающий секунды и десятки секунд при наличии генератора импульсов частотой 10 Гц?

7.2 ОПЕРАЦИИ С РЕГИСТРАМИ

Цель работы

1. Изучение принципа действия регистра.
2. Ознакомление с разновидностями и классами регистров.
3. Обучение операциям с использованием регистров.

Приборы и элементы

Генератор слов



Источники сигнала
логическая
единица



Ключи,
управляемые с
клавиатуры



Индикатор
логического
уровня



D-триггер



Четырехразрядный
сдвиговый
регистр



Краткие сведения из теории

Регистр хранения информации. Регистр представляет собой совокупность элементов памяти (триггеров) с возможностью одновременной (параллельной или последовательной) записи и хранения информации. На рис. 10 регистр хранения содержит n триггеров (0, 1, ..., $n - 1$) и может хранить n бит информации.

Регистр имеет входы данных D_0, D_1, \dots, D_{n-1} , вход сброса (общий) R для обнуления всех выходов и тактовый C (общий); выходы триггеров

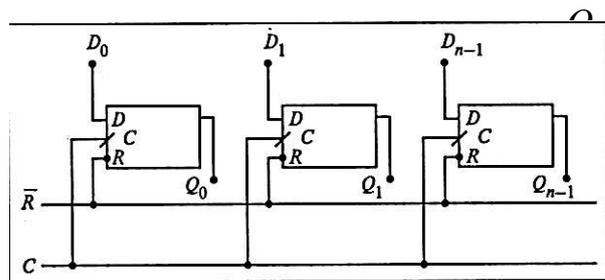


Рис. 10

Для сброса данных (обнуления регистра) следует подать на вход сброса сигнал $R = 0$.

Диаграммы сигналов при записи в регистр информации представлены на рис. 11 для двух разрядов: D_0, D_1 .

Представленный на рис. 10 регистр обладает свойством записи и хранения информации при ее одновременном (параллельном) вводе в каждый из триггеров регистра. Функционирование регистра-памяти при параллельном вводе описывается уравнением для каждого разряда:

$$\begin{aligned} Q_{1,t+1} &= D_{1,t} \\ Q_{2,t+1} &= D_{2,t} \\ &\dots\dots\dots \\ Q_{i,t+1} &= D_{i,t} \end{aligned}$$

Здесь $Q_{i,t+1}$ - выход i -го триггера на $t + 1$ -м такте; $D_{i,t}$ - входной сигнал этого триггера на предшествующем такте.

Регистр сдвига. Для выполнения умножения, деления чисел и некоторых логических операций широко используются регистры сдвига.

Рис. 15.28 роко используются регистры сдвига. Пусть имеем регистр, в котором связи организованы в соответствии с рис. 15.29.

Пусть в некоторый момент (такт t) сигналы на выходах триггеров соответствуют (табл. 2): $Q_0 = 1$ (младший бит — МБ); $Q_1 = 1, Q_2 = 0, Q_3 = 0$ (старший бит — СБ).

Двоичное число, содержащееся в регистре, равно $0011 = 3$.

При изображенных на рис. 12 связях между входами и выходами триггеров сигналы D_0, D_1, D_2, D_3 образуют слово (число) 1100, поэтому при переходе к следующему такту $t + 1$ происходит сдвиг числа на один разряд; значения битов и двоичное число в регистре приведены в табл. 2.

Сдвиг числа влево (в направлении старшего бита) на один разряд соответствует умножению числа на два. Если в результате сдвига старший бит выходит за пределы разрядной сетки, он утрачивается. Аналогично сдвиг вправо уменьшает число вдвое. Если в результате сдвига младший бит выходит за пределы разрядной сетки, он утрачивается. Если изменить связи выходов и входов триггеров, можно обеспечить сдвиг слова в противоположном направлении.

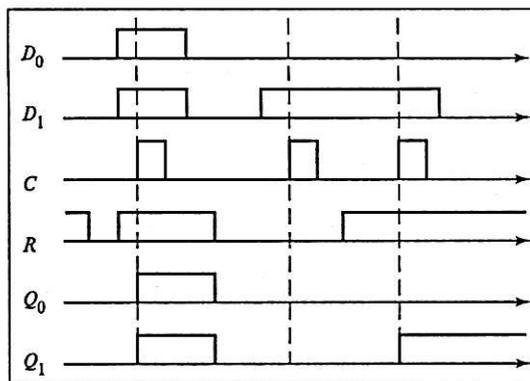


Рис. 11

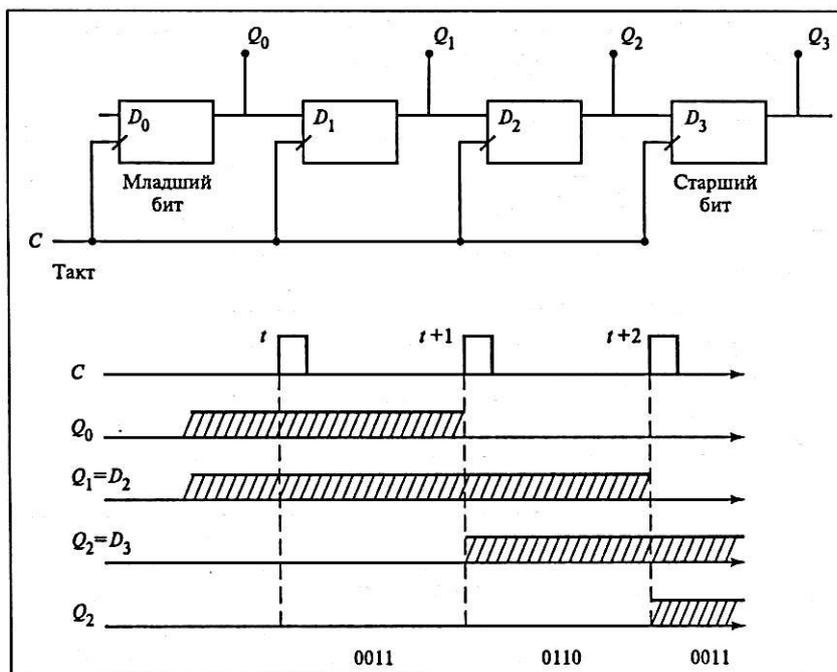


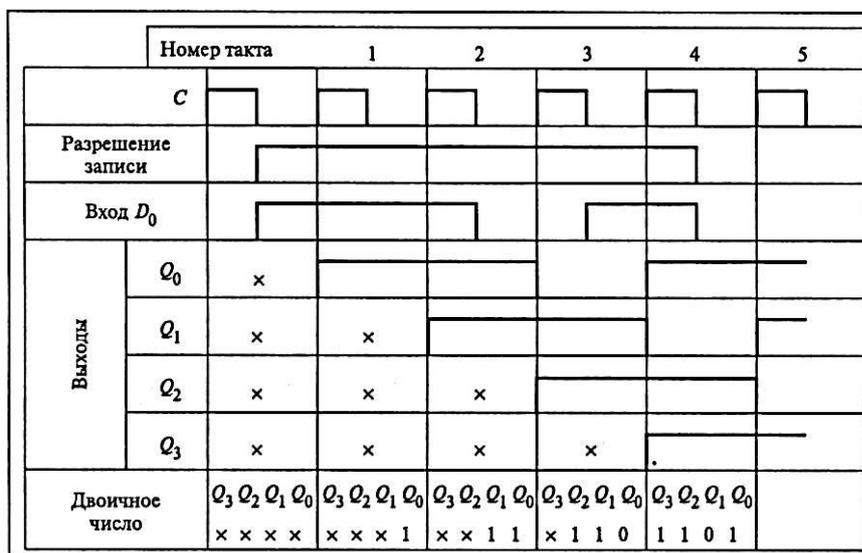
Рис. 12

Табл. 2

Такт	Входы и выходы				Двоичное число в регистре				Десятичное число
	МБ		СБ						
t	Q_0	Q_1	Q_2	Q_3					3
	1	1	1	0	0	0 0 1 1			
t	Входы								—
	D_0	D_1	D_2	D_3	—				
0	1	1	0						
$t+1$	Выходы								6
	Q_0	Q_1	Q_2	Q_3	0 1 1 0				
0	1	1	0						
$t+1$	Входы								—
	D_0	D_1	D_2	D_3	—				
0	0	1	1						

Последовательный ввод информации. Сдвиг информации в регистре дает возможность последовательной записи путем поочередного ввода каждого бита на следующем такте. Информация в k -разрядный регистр может быть введена за k тактов. Каждый новый бит вводится в момент фронта тактового сигнала C , а все записанные биты сдвигаются в следующий (по старшинству) разряд (рис. 15.30).

В реальных сдвиговых регистрах обычно имеется вход разрешения записи, который отсутствует в простейшей схеме рис. 15.29. Запись в регистр может осуществляться только при разрешающем сигнале на этом входе, что отражено на диаграммах рис. 15.30.



x — ноль (0) или единица (1)

Рис. 13

Связь входов, выходов и тактовых сигналов в общем виде для приведенного регистра сдвига записывается уравнениями:

$D_{i+1,t} = Q_{i,t}$; вход $(i+1)$ -го триггера всегда совпадает с выходом i -го (жесткая связь); $Q_{i+1,t+1} = Q_{i,t}$; выход i -го триггера на следующем такте записывается в $(i + 1)$ -й триггер;

$Q_{i+1,t+1} = D_{i+1,t}$; входной сигнал любого триггера становится его выходным сигналом на следующем такте.

Порядок проведения экспериментов

Эксперимент 1. Запись слова в регистр:

а) откройте файл c15_11 со схемой, приведенной на рис. 14. Установите код (любое слово от 0000 до 1111) ключами 1, 2, 3, 4. Прочтите слово в регистре. Обнулите регистр. Запишите установленное слово.

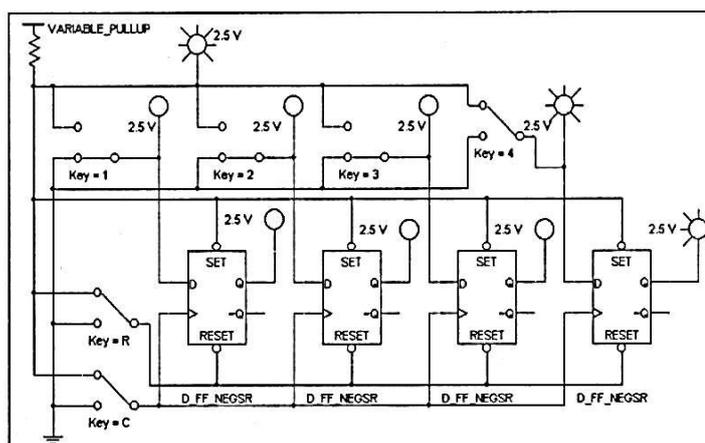


Рис. 14

Обратите внимание на то, что в регистре сохраняется (запоминается) входное слово в момент положительного перепада тактового сигнала;

б) откройте файл c15_12 со схемой, приведенной на рис. 15. Младший байт генератора слов заполните кодом двоичного счетчика: от 0000 до 1111. В старшем байте один из битов пусть выполняет функции сброса (R), а другой бит — функции сигнала тактирования (C). Определите экспериментально состояния индикаторов, подключенных к выходам триггеров, для последовательности входных слов, взятой из таблицы, приведенной в соответствующем пункте раздела «Результаты экспериментов». Результаты занесите в столбец 1.

Как изменится результат, если

1) весь столбец R будет нулевым (результат занесите в столбец результатов 2);

2) весь столбец R будет единичным (результат занесите в столбец результатов 3);

3) единица в столбце тактирования (C) будет в строке 5 (результат занесите в столбец результатов 4);

$Q_i + 1 t + j = D_j + j$ входной сигнал любого триггера становится его выходным сигналом на

4) единица в столбце тактирования (C) будет в строке 8 (результат занесите в столбец результатов 5);

5) единица в столбце тактирования (C) будет в строке 12 (результат занесите в столбец результатов 6);

6) единица в столбце тактирования (C) будет в строке 15 (результат занесите в столбец результатов 7);

7) единица в столбцах тактирования (C) будет в строках 3 и 5 (результат занесите в столбец результатов 8);

8) единица в столбцах тактирования (C) будет в строках 5, 8 и 12 (результат занесите в столбец результатов 9).

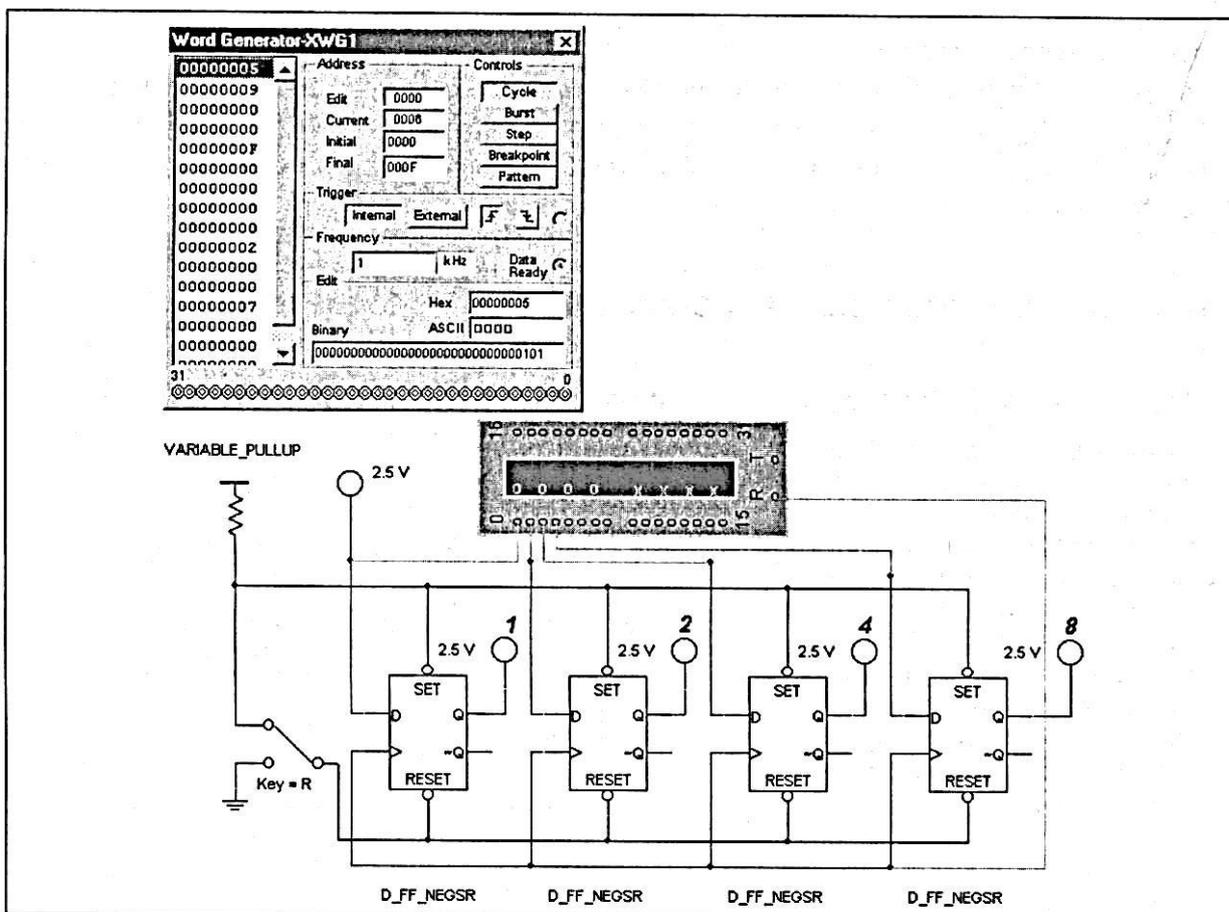


Рис. 15

Эксперимент 2. Исследование регистра сдвига

Откройте файл с 15_13 со схемой, приведенной на рис 16. С помощью ключа R установите нулевые значения всех битов регистра. Подав сигнал $D = 1$ положительным перепадом сигнала C запишем единицу в крайний левый триггер. Его состояние фиксируется индикатором логического уровня. Установите $D = 0$. Если теперь манипулировать ключом C , то

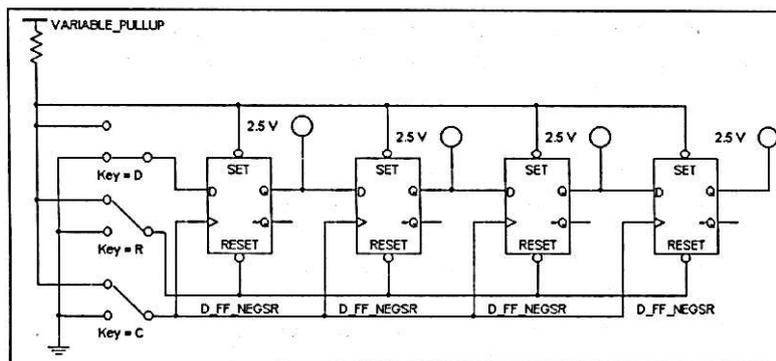


Рис. 16

на каждом такте при положительном перепаде C изменяется состояние индикатора до тех пор, пока записанная единица не покинет регистр вовсе. Убедитесь, что запись вводимого бита (нуль или единица) производится в крайний левый триггер, состояние которого соответствует биту младшего разряда.

В таблице раздела «Результаты экспериментов» записано состояние регистра на первых двух тактах. Проверьте эту запись и продолжите таблицу для последующих трех тактов.

В таблице раздела «Результаты экспериментов» записаны состояния регистра при последовательном введении слова 0101. Проверьте экспериментально правильность записи.

Сдвиньте слово влево и запишите сигналы индикаторов в таблице.

Введите самостоятельно число $0110 = 6$ и запишите состояния индикаторов и регистра в таблице.

Эксперимент 3. Исследование кольцевого регистра сдвига

Откройте файл с 15_14 со схемой, приведенной на рис 17. Запишите в регистр код 0001. Состояния регистра при подаче последовательности сигналов C представлены в таблице раздела «Результаты экспериментов» на компакт-диске. Проверьте этот результат экспериментально и объясните его. Получите экспериментально последовательности состояний кольцевого регистра в тех случаях, когда первоначально записаны коды 0011, 0111, 0101, 1010 и запишите результаты в таблице.

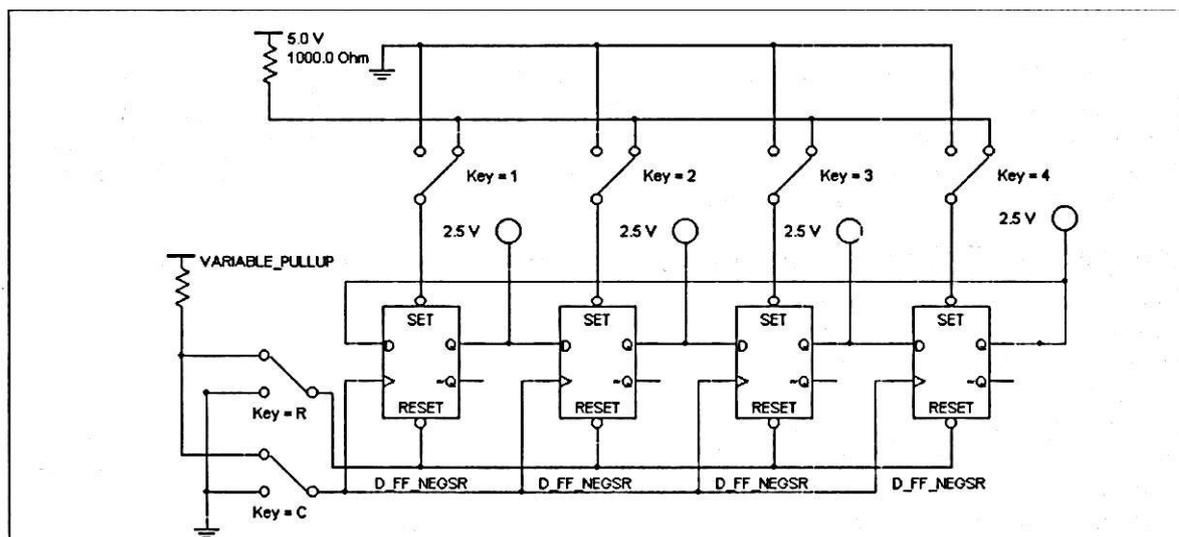


Рис. 17

Что произойдет с циклической последовательностью слов при начальной записи 0001, если в результате случайного однократного сбоя в одном (любом) триггере вместо единицы окажется записан нуль? Вместо нуля — единица?

Проверьте указанные ситуации экспериментально и запишите последовательность слов в таблицу раздела «Результаты экспериментов».

Эксперимент 4. Исследование регистра «скрученное кольцо»

Откройте файл s15_15 со схемой, приведенной на рис 18. Установите все четыре триггера в нулевое состояние с помощью ключа сброса *R*. Затем установите ключи *R*, *1*, *2*, *3*, *4* в состояние единица. После этого все изменения состояния триггеров будут происходить только под действием тактовых сигналов *C* и сигналов на входах *D*-триггеров. Для начального состояния 0000 регистра сигнал $\sim Q = 1$ четвертого триггера поступает на вход *D* первого триггера. Получите экспериментально последовательность состояний регистра и занесите результаты эксперимента в таблицу раздела «Результаты экспериментов». Повторите эксперимент, установив в регистре начальные состояния 0101, 1010, 1101 и занесите полученные результаты в таблицу.

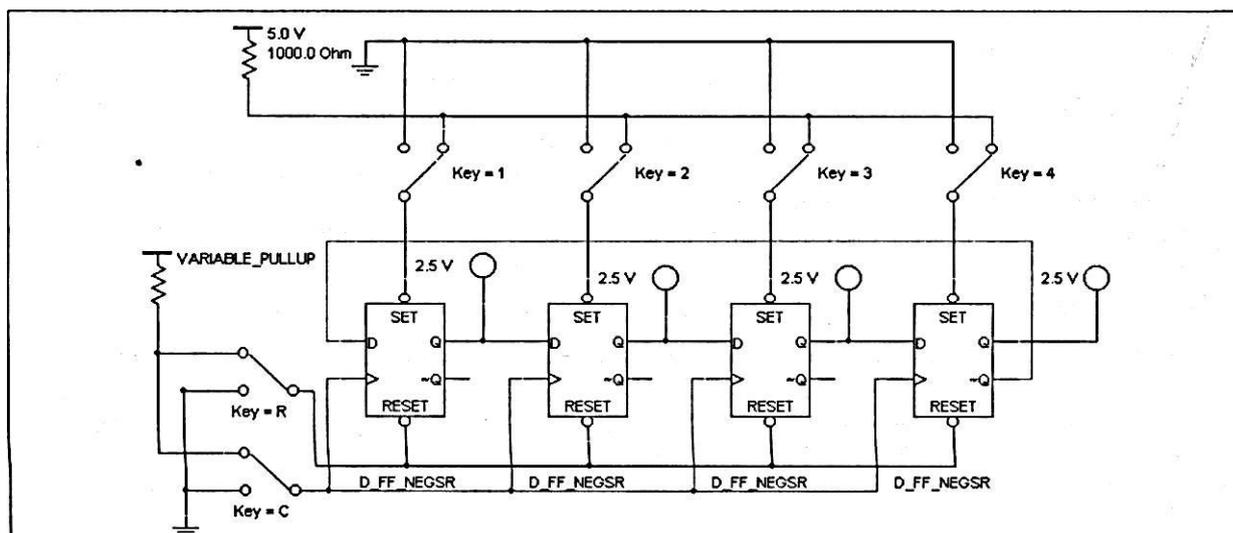


Рис. 18

Предложите модернизацию схемы, при которой регистр «скрученное кольцо» содержит не четыре, а три триггера. Составьте и экспериментально проверьте последовательность состояний для первоначального состояния 000. Получите экспериментально и объясните последовательность состояний для начальных состояний 010 и 101. Результаты экспериментов занесите в таблицу раздела «Результаты экспериментов».

Эксперимент 5. Исследование четырехразрядного регистра сдвига

В современной интегральной схемотехнике регистры с узлами управления и тактирования выполняются не из отдельных триггеров и логических схем, а в виде специализированных интегральных схем средней степени интеграции:

а) исследование режима хранения. Откройте файл c15_16 со схемой, приведенной на рис 19. Запишите в регистр число 1101. Занесите в таблицу раздела «Результаты экспериментов» значения сигналов, которые должны быть поданы на входы CLR , SR , SL , A , B , C , D , CLK , $S1$, $S0$.

По состоянию индикаторов на выходах QA , QB , QC , QD убедитесь, что при этих значениях происходит запись требуемого числа.

Запишите число 1000. Проверьте экспериментально и занесите в таблицу раздела «Результаты экспериментов» значения сигналов на входах SR , SL , A , B , C , D , при которых записанное число сохраняется;

б) *исследование операции параллельной записи.* Занесите в таблицу раздела «Результаты экспериментов» значения сигналов,

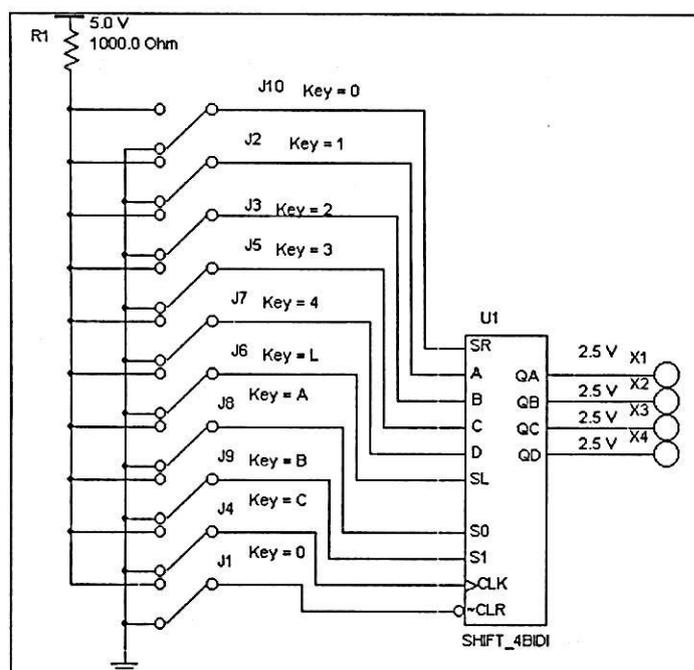


Рис. 19

которые должны быть поданы на входы CLR , SR , SL , A , B , C , D , чтобы записать любое число QA , QB , QC , QD при условии, что было записано другое число QA_0 , QB_0 , QC_0 , QD_0 . Запишите манипуляции, которые должны быть проделаны с сигналом CLK . Значения сигналов, не влияющих на решение задачи, обозначьте символом x (ноль или единица);

в) *исследование операций сдвига вправо и влево.* Занесите в таблицу раздела «Результаты экспериментов» значения сигналов, которые должны быть поданы на входы CLR , SR , SL , A , B , C , D , чтобы осуществить сдвиг вправо числа 0110 (должно получиться 0011) и сдвиг влево числа 0011 (должно получиться 0110). Запишите манипуляции, которые должны быть проделаны с сигналом CLK . Значения сигналов, не влияющих на решение задачи, обозначьте символом x (ноль или единица);

г) *исследование операций последовательной записи.* Занесите в таблицу раздела «Результаты экспериментов» значения сигналов, которые должны быть поданы на входы.

Вопросы для самопроверки

1. Сколько различных состояний k может быть у регистра с числом разрядов $N = 4$?
2. Как организовать циклический регистр с числом разрядов $N = 3$ и числом состояний $k = 6$?
3. Какие состояния возможны у регистра циклического сдвига типа «скрученное кольцо»?

4. На входы регистра хранения поступает последовательность случайных кодов. Как зафиксировать в регистре заданное число в случае его появления в последовательности?

5. Какое число будет записано в регистре, если на входы данных поступают коды со счетчика на сложение (вычитание), а сигналы синхронизации подаются с выхода дешифратора некоторого заданного числа?

6. Как организовать регистр сдвига, в котором записанное число сдвигается каждым тактовым сигналом на два разряда вправо? Влево?

7. Как организовать регистр сдвига, в котором единственная записанная единица перемещалась бы циклически влево-вправо между крайними положениями?

8. Как будет изменяться число в регистре предыдущей задачи, если в него записать число, содержащее единственный нуль, все остальные биты единицы?

9. Какое число окажется записанным в регистр, если на его входы поданы сигналы с выходов счетчика (N разрядов), а запись производится в случайный момент (нажатием кнопки)?

10. Как в кольцевом регистре сдвига с единственной начально записанной единицей обнаружить сбой (ошибочная запись двух единиц и более, исчезновение единицы)?

11. Как автоматически восстановить нормальную работу регистра предыдущей задачи, если обнаружена какая-либо ошибка?

Лабораторная работа №8

ИССЛЕДОВАНИЕ ПРЕОБРАЗОВАТЕЛЕЙ АНАЛОГОВЫХ И ЦИФРОВЫХ СИГНАЛОВ

8.1 Цифроаналоговые преобразователи

Цель работы

1. Изучение ЦАП на основе взвешенных напряжений (токов).
2. Исследование схемотехнических вариантов ЦАП.
3. Изучение преобразования чисел со знаком.

Приборы и элементы

Генератор слов



Операционный усилитель



Источник напряжения



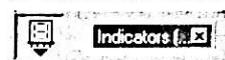
ЦАП



Резисторы



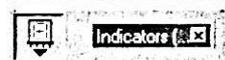
Вольтметр



Ключи, управляемые с клавиатуры



Логические пробники



Краткие сведения из теории

Простейшая схема четырехразрядного преобразователя кода в напряжение (ПКН). Цифроаналоговый преобразователь такого типа преобразует входной двоичный код в выходное аналоговое напряжение, которое представляет собой сумму взвешенных ступеней. Вес единицы каждого следующего (более старшего) разряда вдвое превышает вес предыдущего. Код задается набором логических входных сигналов (каждый бит 0 или 1) или состоянием ключей.

Простейшая для понимания схема ЦАП основана на применении n (по числу разрядов) источников с выходными напряжениями $U_0, 2U_0, 4U_0, \dots, 2^{n-1}U_0$. Пример такой схемы для четырехразрядного ПКН представлен на рис. 4.1.

Выходное напряжение ПКН вычисляется по формуле

$$U_{\text{ВЫХ}} = U_0(b_0 \cdot 2^0 + b_1 \cdot 2^1 + b_2 \cdot 2^2 + b_3 \cdot 2^3).$$

Здесь b — значения битов (0 или 1); U_0 — значение напряжения, соответствующее единице младшего разряда (ЕМР).

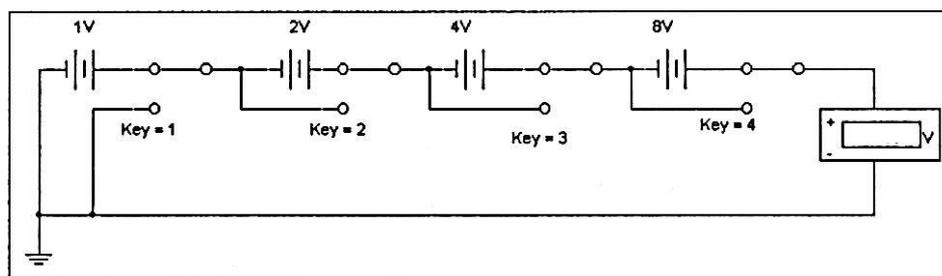


Рис. 1

Входной двоичный код управляет состоянием ключей 0, 1, 2, 3, 4. Ключ 1 управляется битом младшего разряда, ключ 4 — старшего. В верхнем положении ключа $b = 1$, в нижнем $b = 0$.

В схеме рис. 4.1 вес ЕМР $U_0 = 1$ В. Если двоичный код равен, например, 1011 (он получается, если перевести ключ 2 в нижнее положение), выходное напряжение, вычисленное по формуле

$$U_{\text{цап}} = (1 \cdot 1 + 1 \cdot 2 + 0 \cdot 4 + 1 \cdot 8) \text{ В} = 11 \text{ В}.$$

Схема рис. 1 удобна для понимания действия ПКН, однако в практических схемах код не устанавливается вручную, а задается входным многоразрядным логическим словом. При этом ключами в схеме управляют напряжения логического уровня. Такая схема приведена на рис. 8. Недостатком простейшей схемы (см. рис. 1) является большое число дорогих прецизионных источников напряжения.

ПКН со взвешенными сопротивлениями. Единственный прецизионный источник необходим для преобразователя код — напряжение, построенного по схеме с набором резисторов, сопротивления которых образуют ряд: $R, 2R, 4R, \dots$ (рис. 2).

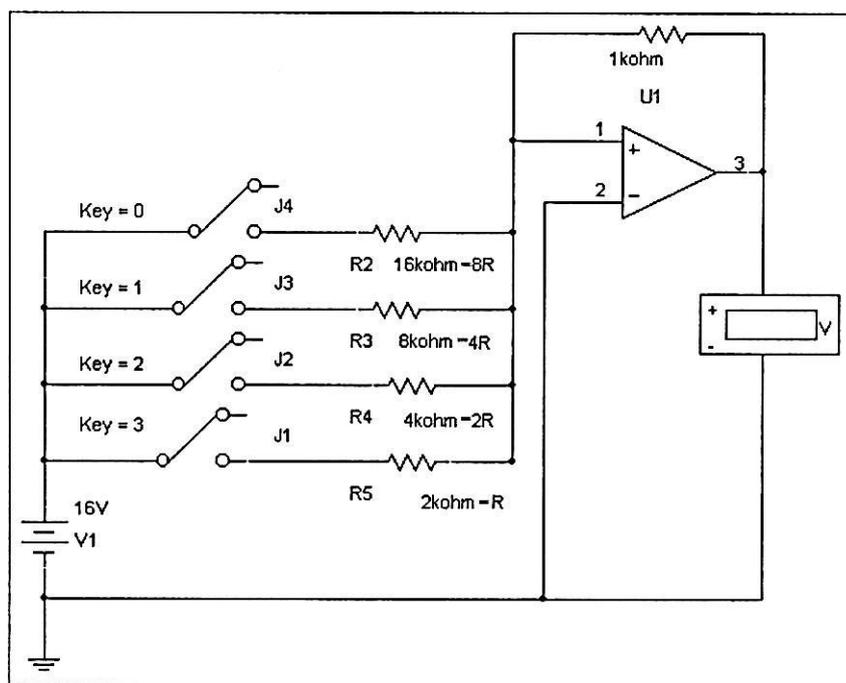


Рис. 2

Выходное напряжение в схеме рис. 2 вычисляется по формуле

$$U_{\text{вых}} = U(-R_f/R_c) = U(-G_c/G_f),$$

где U — напряжение прецизионного источника ($U = 16$ В); R_f, G_f - сопротивление и проводимость в цепи обратной связи ($R_f = 1$ кОм); R_c, G_c - сопротивление и проводимость в цепи управления.

Учитывая, что проводимости ветвей при параллельном соединении суммируются, получаем

$$U_{\text{вых}} = -\frac{U}{G_f} (b_0 G_{c0} + b_1 G_{c1} + b_2 G_{c2} + b_3 G_{c3}),$$

где b - значение бита соответствующего разряда входного кода.

Если выполняется соотношение

$$G_{c3} = 2G_{c2} = 4G_{c1} = 8G_{c0} = 8G_f,$$

то формула (3) совпадает с (1).

Схема, подобная схеме на рис. 2, но с ключами, управляемыми напряжением логического уровня, приведена на рис. 9. Такое устройство дешевле, чем выполненное по схеме рис. 1, поскольку прецизионные резисторы дешевле источников питания.

ПКН с матрицей $R - 2R$. Прецизионные сопротивления в схеме рис. 2 должны иметь разные номиналы. Более технологичный способ построения ПКН с взвешенными сопротивлениями - применение цепи, в которой используются сопротивления лишь двух номиналов: R и $2R$ (рис. 3). Подобные цепи получили название матриц лестничного типа $R - 2R$.

Выходным напряжением схемы является потенциал нижней ступени этой «лестницы» (точка, к которой на рис. 4.3 подключен вольтметр). Это напряжение может быть вычислено по формуле

$$U_{\text{вых}} = \frac{E(b_1 \cdot 2^0 + b_2 \cdot 2^1 + b_3 \cdot 2^2 + b_4 \cdot 2^3)}{16}.$$

Выходное сопротивление схемы рис. 3 можно существенно снизить, включив на выход повторитель на базе ОУ.

Преобразователь кода в ток (ПКТ). Функционально ПКТ, как и ПКТН, является цифроана логовым преобразователем кода в аналоговую величину. Однако различие между ними имеется, его можно пояснить на конкретных примерах.

Выходной сигнал такого ЦАП представляет собой ток, формируемый как сумма взвешенных нормированных токов. Током каждой из n ступеней управляет соответствующий бит входного кода. Каждая следующая ступень вдвое превышает ступень предыдущего разряда. В схеме рис.

4.4 используются четыре взвешенных источника тока: 1, 2, 4, 8 мА. Биты входного кода (ноль или единица) управляют положением переключателей 0—3. Если соответствующий бит равен нулю, переключатель устанавливается в левое положение, если бит равен единице — в правое. При любом состоянии ключей любой источник тока на рис. 4 должен быть замкнут на конечную нагрузку. При $b = 1$ ток замыкается через измеритель тока

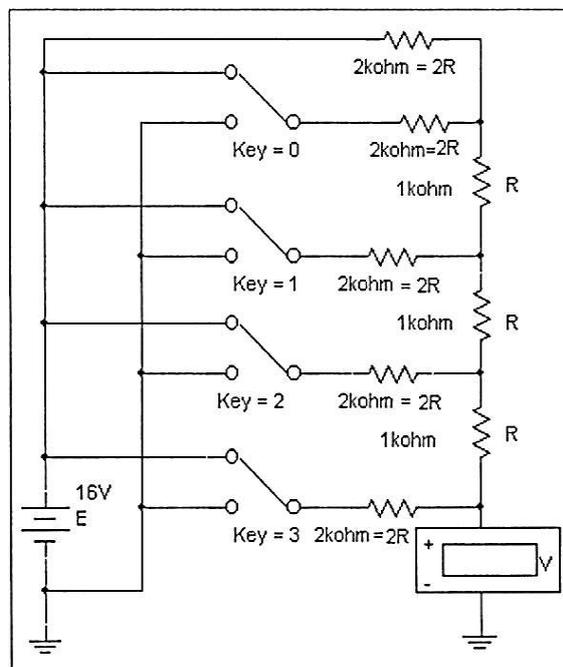


Рис. 3

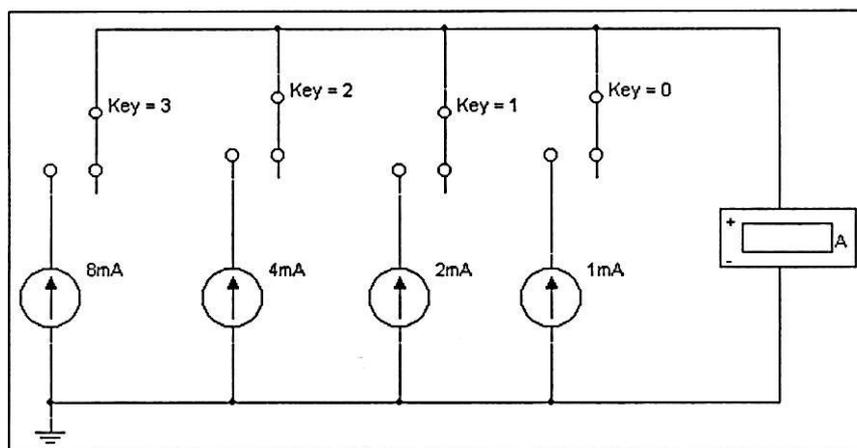


Рис. 4

(амперметр), при $b = 0$ - через шунтирующий резистор.

Выходной ток ПКТ и показания прибора определяются выражением

$$I_{\text{ВЫХ}} = b_1 \cdot 2^0 + b_2 \cdot 2^1 + b_3 \cdot 2^2 + b_4 \cdot 2^3.$$

Приведенная схема ПКТ требует n (по числу разрядов) прецизионных источников тока. Практические схемы ПКТ часто выполняют на основе матрицы лестничного типа $R - 2R$, подобной рис. 3, дополняя ее преобразователем напряжения в ток (рис. 5). На рисунке показан идеальный преобразователь напряжения в ток, имеющийся в программе Multisim, который практически может быть реализован с помощью различных схем, содержащих полупроводниковые, а иногда и магнитные элементы.

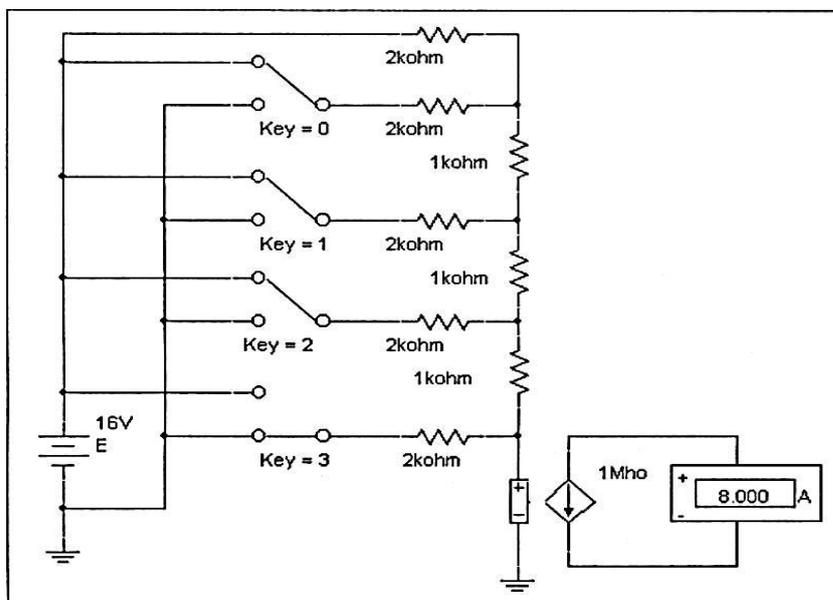


Рис. 5

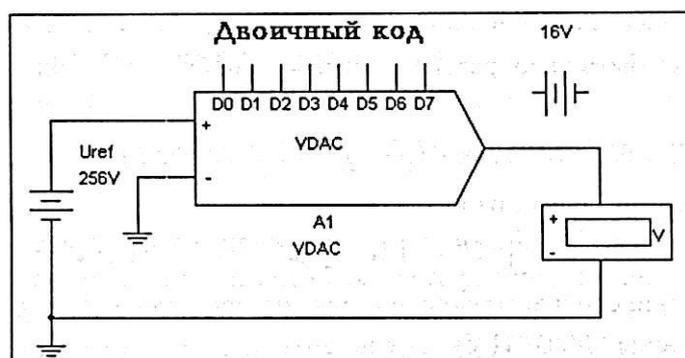


Рис. 6

Функциональный преобразователь кода в напряжение в программе Multisim. Преобразователи кода в напряжение выполняются в виде функциональных узлов. Такой функциональный узел ПКН, имеющийся в Multisim (рис. 6), имеет восемь логических входов $D0, D1, D2, D3, D4, D5, D6, D7$, на которые может быть подан восьмиразрядный двоичный код. На два входа подается опорное напряжение U_{ref} . Максимальное значение кода, которое может быть преобразовано в напряжение, равно $2^8 - 1 = 255 = FF$ (в формуле приведено десятичное и шестнадцатеричное представление кода), а значение ЕМР вычисляется по формуле

$$U_0 = U_{ref}/2^8.$$

Наибольший двоичный код, который может быть подан на входы данного ПКН, равен 11111111, что соответствует десятичному числу 255 (шестнадцатеричному FF), а максимальное выходное напряжение

$$U_{\text{вых max}} = 255U_{ref}/256.$$

Выходное аналоговое напряжение в общем случае ПКН с n разрядами определяется формулой

$$U_{\text{вых}} = U_0(b_{n-1} \cdot 2^{n-1} + b_{n-2} \cdot 2^{n-2} + \dots + b_0 \cdot 2^0).$$

Здесь b — значения битов (ноль или единица); U_0 — напряжение, соответствующее ЕМР: $U_0 = U_{ref}/256$.

Если $U_{ref} = 25,6 \text{ В}$, то $U_0 = 0,1 \text{ В}$.

Функциональный ПКТ в программе Multisim. Функциональный ПКТ, имеющийся в Multisim (рис. 4.7), имеет восемь логических входов

$D0, D1, D2, D3, D4, D5, D6, D7$, на которые может быть подан восьмиразрядный двоичный код.

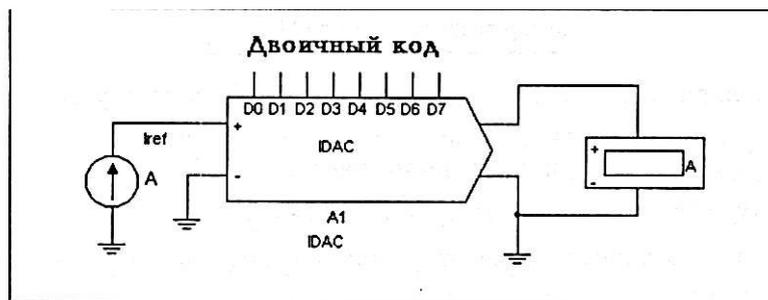


Рис. 7

К двум входным выводам подключается источник опорного тока I_{ref} . Максимальное значение кода, которое может быть преобразовано в ток, равно $2^8 - 1$, значение ЕМР вычисляется по формуле

$$I_0 = I_{ref} / 2^8,$$

а выходной ток можно определить из выражения

$$I_{\text{вых}} = I_0(a_{n-1} \cdot 2^{n-1} + a_{n-2} \cdot 2^{n-2} + \dots + a_0 \cdot 2^0).$$

Если $I_0 = 1$ мА, то токи, соответствующие разрядам, составляют 1, 2, 4, 8, ... мА, а выходной ток ЦАП при входном коде 00001011 будет равен

$$I_{\text{ЦАП}} = (1 \cdot 1 + 1 \cdot 2 + 0 \cdot 4 + 1 \cdot 8) = 11 \text{ мА}.$$

Выбор значения ЕМР и отображение полярности аналогового сигнала. Выходная величина ЦАП (напряжение или ток) должна однозначно с достаточной точностью отображать входной код. Для этого необходимо условиться о полярности напряжения и значении ЕМР. При работе с промышленными устройствами часто исходят из того, что выходное напряжение ЦАП должно быть таким, чтобы было удобно выполнять операции с десятичными числами. Так, если выбрать ЕМР $U_0 = 0,01$ В, то максимальное выходное напряжение 10-разрядного преобразователя

$$U_{\text{вых. max}} = U_0 \cdot 2^{10} = 1024 U_0.$$

Учитывая, что для операций с числами обычно используется десятичная система счисления, опорное напряжение ЦАП удобно выбрать пропорциональным целой степени числа два, например,

$$E = U_{ref} = 10,24 \text{ В} = 0,01 \cdot 1024 \approx 0,01 \cdot 2^{10}.$$

При необходимости преобразования цифроаналогового двуполярного напряжения (двунаправленного тока) необходимо один из битов цифрового кода использовать для передачи информации о полярности напряжения в ПКН или о направлении тока в ПКТ.

Обычно в ПКН для этой цели используется старший бит, нуль — признак положительного напряжения, единица — отрицательного. Тогда, например, код 10001100 в случае использования старшего разряда в качестве знакового отображает семиразрядное отрицательное число $-0001100 = -12$ (в правой части формулы десятичное представление):

Число со знаком -12	
Двоичный код	10001100
Номер разряда	76543210

Для изменения полярности напряжения на выходе ЦАП используют один из следующих способов:

- переключают полярность источника опорного напряжения U_{ref} ,
- переключают полярность выходного напряжения ЦАП $S_{вых}$;
- вводят в тракт аналогового сигнала инвертирующий усилитель с коэффициентом передачи -1.

При единственной полярности напряжения и единственном направлении тока не требуется передавать информацию о полярности (она изначально задана и в дальнейшем не изменяется).

Порядок проведения экспериментов

Эксперимент 1. Исследование преобразования двоичного кода в напряжение

Откройте файл с 16_01 со схемой, приведенной на рис 8. Схема содержит четыре ключа на два положения, управляемых сигналами логического уровня. Логические сигналы создаются с помощью ключей, управляемых с клавиатуры клавишами 0, 1, 2, 3, которые образуют входной регистр. При нажатии на клавишу изменяется логический уровень соответствующего разряда регистра, что показывает логический пробник. По состоянию четырех пробников можно считать двоичный входной код.

Шестнадцатеричное значение входного кода отображается на цифровом индикаторе.

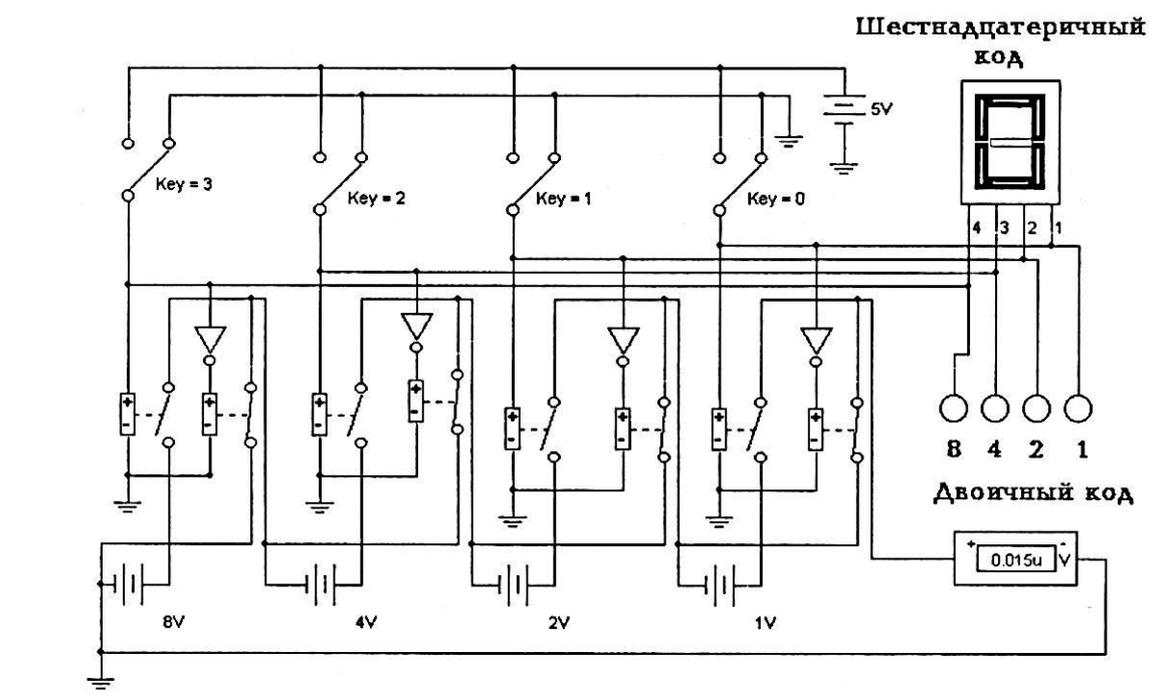


Рис. 8

Включите схему. Получите экспериментально значения выходного напряжения ЦАП, соответствующие различным значениям кода, и результаты внесите в таблицу раздела «Результаты экспериментов». Представьте полученные напряжения в виде суммы:

$$U_{\text{вых}} = U_0[b_3 \cdot 2^3 + b_2 \cdot 2^2 + b_1 \cdot 2^1 + b_0 \cdot 2^0],$$

где $U_0 = 1 \text{ В}$, b — значение соответствующего бита (нуль или единица).

Эксперимент 2. Исследование ПЧН с взвешенными сопротивлениями

Откройте файл s16_02 со схемой, приведенной на рис 9. Задайте значения битов входного кода. Рассчитайте и определите экспериментально показания вольтметра. Результаты измерений и расчетов занесите в таблицу раздела «Результаты экспериментов». Измените значения сопротивления в цепи обратной связи на 2 кОм, затем на 0,5 кОм. Результаты измерений занесите в ту же таблицу. Объясните полученный результат.

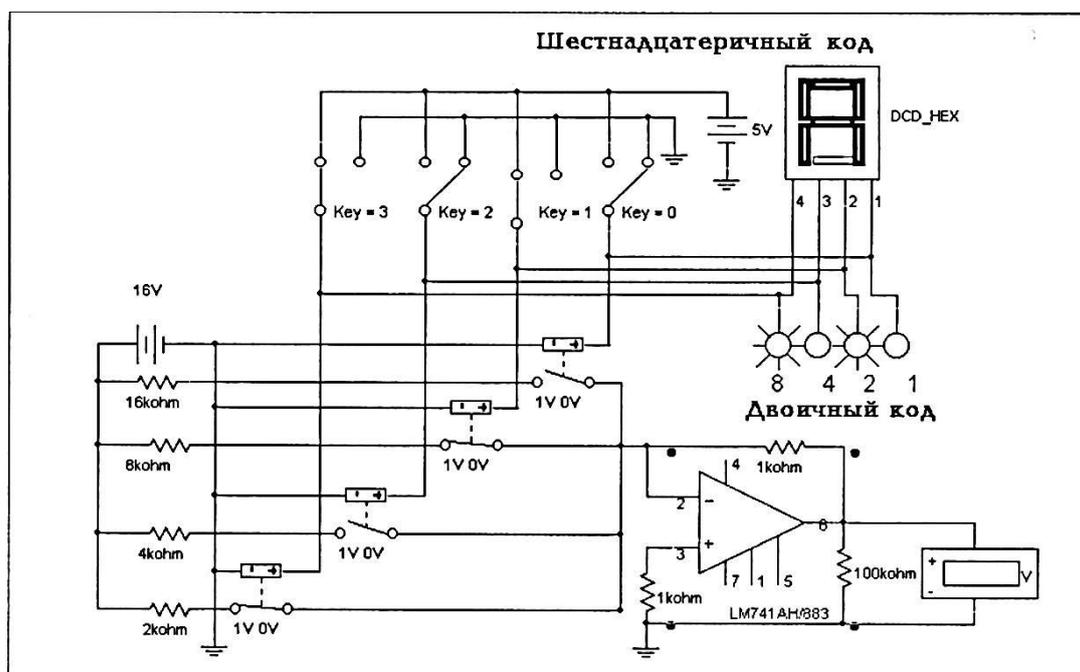


Рис. 9

Измените значение ЭДС с 16 на 8 В, а затем на 32 В. Занесите в таблицу полученные значения выходного напряжения. Объясните полученный результат.

Эксперимент 3. Исследование ЦАП на основе матрицы $R - 2R$

Откройте файл `s16_03` со схемой приведенной на рис 10. По составу приборов, формирующих и отображающих входной код и выходной сигнал, схема подобна схеме рис. 8, отличается только структура ЦАП. Рассчитайте по формуле (1) выходное напряжение при состояниях ключей, отображенных в каждой строке таблицы раздела «Результаты экспериментов». Проверьте экспериментально результаты расчетов и занесите их в таблицу раздела «Результаты экспериментов».

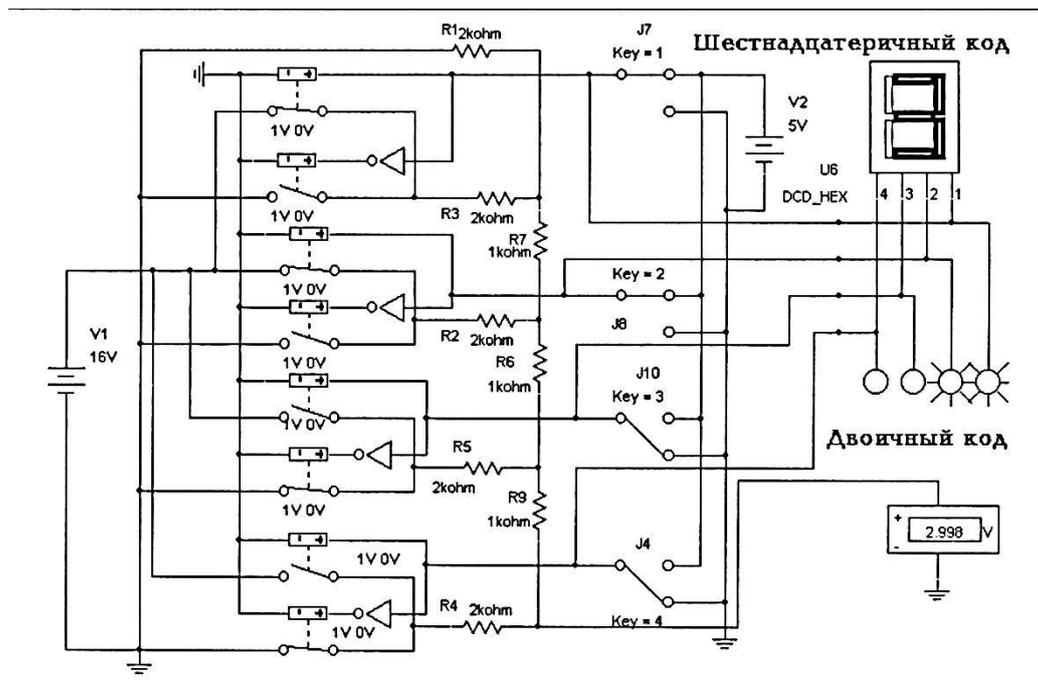


Рис. 10

Эксперимент 4. Исследование функциональной модели ПКН

Откройте файл `s16_04` со схемой, приведенной на рис 11. Включите схему. Установите на генераторе слов последовательность кодов, соответствующую рис. 11.

Щелкните мышкой на поле `Step` генератора слов. При этом на табло генератора (слева) подсветится поле 1, на табло `Adress-Current` — 0001, на индикаторах появится двоичный код 00000010 (зажжется второй индикатор слева) и шестнадцатеричный код 2 (на индикаторах U_3 , U_2). Занесите эти результаты в строку 1 таблицы в разделе «Результаты экспериментов». Напряжение на выходе ЦАП, измеренное вольтметром, при этом будет, однако, равно нулю, что соответствует предыдущему значению кода. В то же время напряжение, измеренное по осциллографу равно 0,2 В и правильно отражает выходной сигнал. Только если еще раз щелкнуть мышкой на поле `Step`, на вольтметре появится значение, соответствующее полю 1. При этом на индикаторах зафиксируются коды, соответствующие полю 2.

Рассчитайте и, пройдя с помощью клавиши `Step` все позиции генератора слов, экспериментально определите последовательность соответствующих им значений выходного напряжения АЦП. Результаты занесите в таблицу в разделе «Результаты экспериментов».

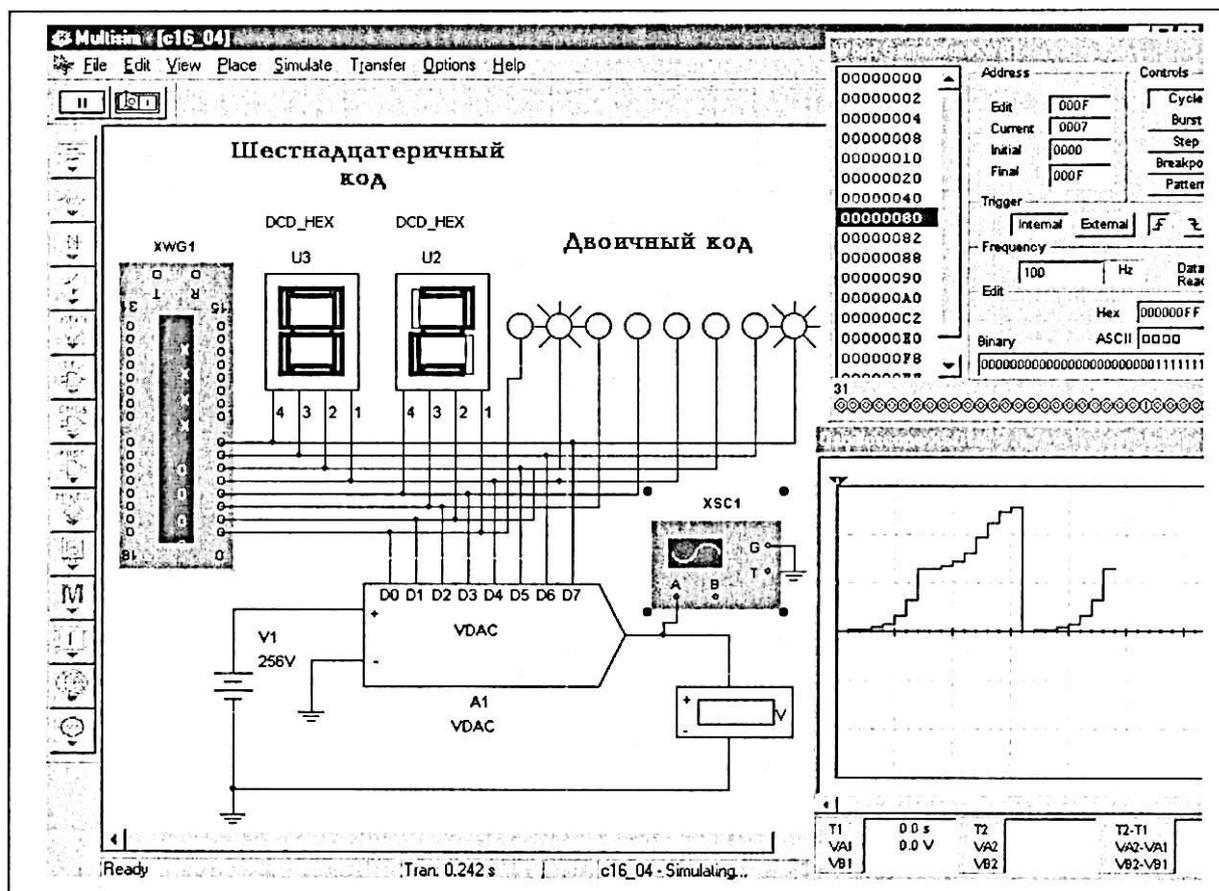


Рис. 11

Эксперимент 5. Простейший преобразователь кода в ток

Откройте файл c16_05 со схемой, приведенной на рис 12. Включите схему. Получите экспериментально значения выходного тока ЦАП, соответствующие различным значениям кода, и результаты измерений внесите в таблицу раздела «Результаты экспериментов». Представьте полученные токи в виде суммы:

$$I_{\text{ВЫХ}} = I_0(b_{n-1} \cdot 2^{n-1} + b_{n-2} \cdot 2^{n-2} + \dots + b_0 \cdot 2^0).$$

Эксперимент 6. Исследование функциональной модели ПКТ

Откройте файл c16_06 со схемой, приведенной на рис 13. Включите схему. Установите на генераторе слов последовательность кодов, соответствующую рис. 13.

Пройдя с помощью клавиши Step все позиции генератора слов, экспериментально определите последовательность соответствующих им значений выходного напряжения АЦП. Результаты измерений занесите в таблицу раздела «Результаты экспериментов».

Определите значение EMP для идеальной модели.

Эксперимент 7. Использование знакового разряда в ПКН

Откройте файл s16_07 со схемой, приведенной на рис 14. В левой части схемы старший разряд генератора слов, использующийся в качестве знакового, применяется для изменения полярности опорного напряжения. В правой части схемы сигнал этого разряда используется для включения в тракт аналогового сигнала усилителя с коэффициентом передачи -1 . В качестве такого усилителя используется источник напряжения, управляемый напряжением с коэффициентом передачи 1 V/V . Включите схему. Установите на генераторе слов последовательность кодов, соответствующую рис. 14.

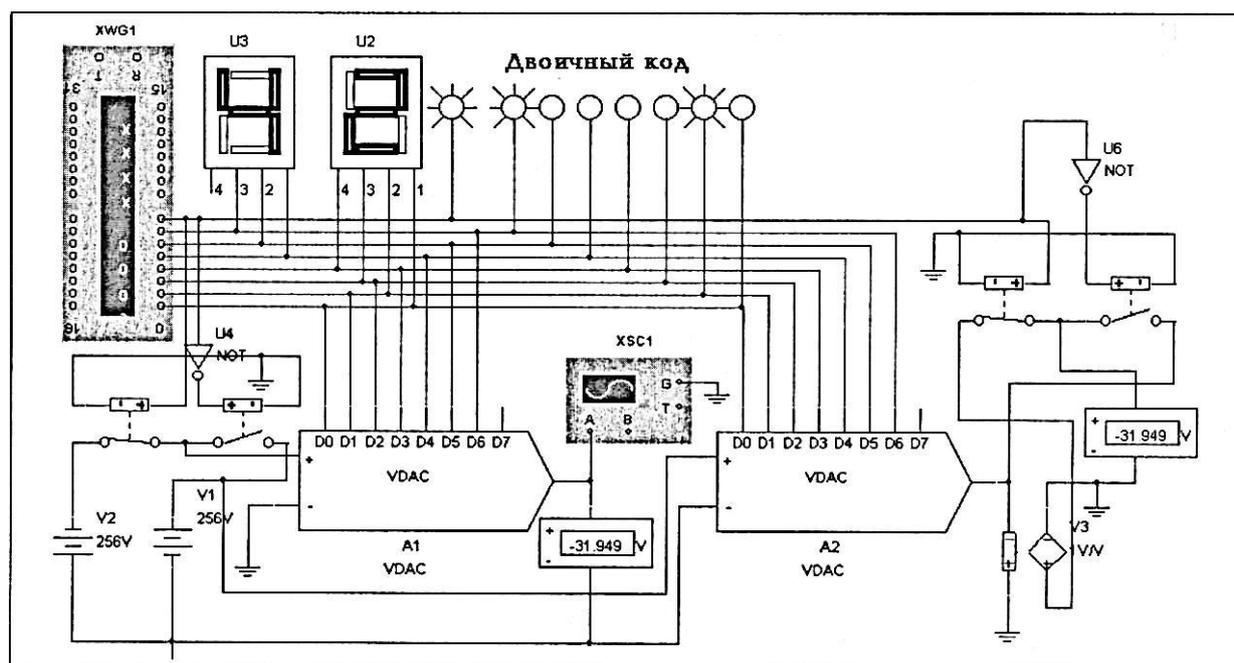


Рис. 14

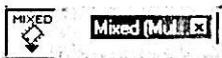
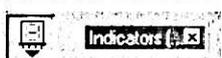
Рассчитайте и, пройдя с помощью клавиши Step все позиции генератора слов, экспериментально определите последовательность соответствующих им значений выходного напряжения АЦП. Измерять выходное напряжение лучше с помощью осциллографа. Результаты занесите в таблицу раздела «Результаты экспериментов».

8.2. Аналого-цифровые преобразователи

Цель работы

1. Изучение АЦП, построенного на принципе считывания.
2. Изучение АЦП, построенного на принципе единичных приращений.
3. Изучение АЦП, построенного на принципе взвешенных приращений.

Приборы и элементы

Генератор слов		АЦП	
Источник напряжения		ЦАП	
Резисторы		Вольтметр	
Ключи, управляемые с клавиатуры		Логические пробники	
Операционный усилитель			

Краткие сведения из теории

АЦП выполняют преобразование входного аналогового сигнала (тока или напряжения) в выходной код (обычно двоичный). Они характеризуются большим разнообразием схем и способов преобразования. Наиболее распространенные структуры АЦП:

- основанные на считывании состояний компараторов;
- с единичными приращениями компенсирующего сигнала;
- с поразрядным уравниванием.

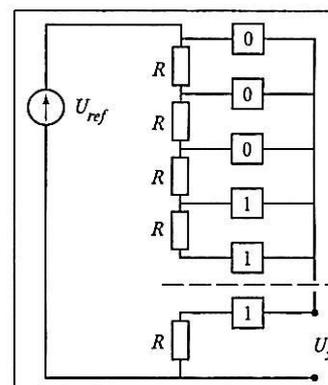


Рис. 15

АЦП, основанный на считывании состояний компараторов (рис.15). Он характеризуется наибольшим быстродействием. Преобразователь содержит источник опорного сигнала U_{ref} , делитель напряжения, содержащий 2^k резисторов R ($k=3-8$) и такое же число компараторов. На один из входов каждого компаратора подается

напряжение с резистивного делителя, другие входы всех компараторов объединены и подключены к источнику преобразуемого сигнала U_x .

Каждый компаратор $K_1—K_8$ имеет два входа, все правые входы объединены, и на них подается преобразуемое напряжение U_x . Каждый из левых входов присоединен к одному из выводов делителя напряжения. Делитель образован цепочкой из восьми одинаковых резисторов с сопротивлением R . Таким образом, на левые входы компараторов подано напряжение (считая снизу вверх) $n(U_{ref})/8$, где $n=1,2, \dots, 8$; $U_{ref}/8, 2(U_{ref})/8, 3(U_{ref})/8, \dots, 8(U_{ref})/8$.

Каждый компаратор на выходе создает логический сигнал: нуль, если $n(U_{ref})/8 > U_x$, и единица, если $n(U_{ref})/8 < U_x$.

Если $U_{ref} = 8$ В, $U_x = 3$ В, то состояния выходов компараторов соответствуют схеме рис. 15. Код, считываемый с выходов компараторов, называют унитарным. Посредством шифратора его можно преобразовать в двоичный трехразрядный.

Точность АЦП, изображенного на рис. 15, невысока, поэтому на практике применяют АЦП считывания, содержащие 64 резистора R ($k = 64$) и шестизрядный выходной шифратор ($n = 1-64$).

Функциональная модель АЦП считывания. АЦП, имеющийся в Multisim, по основным характеристикам подобен АЦП, рассмотренному ранее. Аналого-цифровое преобразование в нем осуществляется не непрерывно, а по синхронизирующему сигналу генератора тактовых импульсов (ГТИ), подаваемому на вход SOC , (рис. 16) при условии, что на входе OE сформирован сигнал логической единицы. Поскольку время преобразования составляет 1 мкс, частота тактового генератора не может превышать 1 МГц. АЦП имеет два входа $VREF+$ и $VREF-$, на которые подается опорное напряжение U_{ref} и вход VIN , на который подается преобразуемое напряжение.

На восьми логических выходах $DO, \dots, D7$ формируется выходной восьмиразрядный двоичный код. С помощью идеального АЦП можно моделировать и АЦП с меньшим числом разрядов. Это можно сделать, не используя избыточные младшие разряды.

Схема, приведенная на рис. 16, применяется для преобразования в

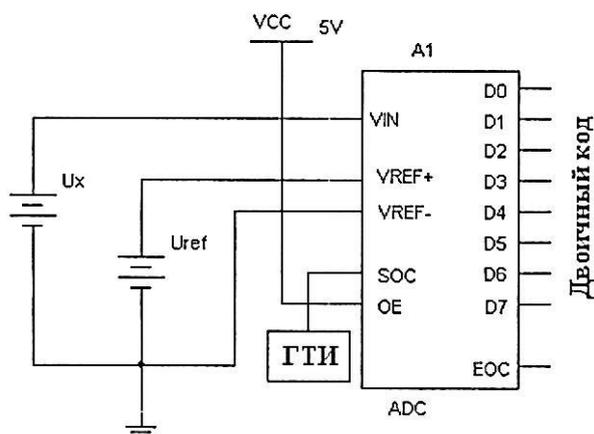


Рис. 16

случае, когда измеряемый сигнал положителен и изменяется в диапазоне от нуля до U_{max} . При использовании всех восьми разрядов максимальное значение кода, в который может быть преобразовано напряжение, равно $2^8 - 1 = 255$, а значение ЕМР вычисляется по формуле

$$U_0 = U_{ref}/2^8 = U_{ref}/256.$$

Следовательно, максимальное значение напряжения, которое может быть преобразовано в код, составляет

$$U_{max} = U_{ref} (2^8 - 1)/2^8 = U_{ref} \frac{255}{256}.$$

Если необходимо преобразовать в код двуполярный сигнал, изменяющийся от минимального отрицательного до максимального положительного значения, удобно применять схему рис. 17.

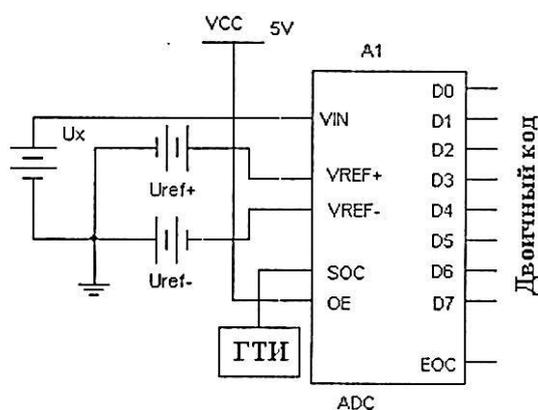


Рис. 17



Рис. 18

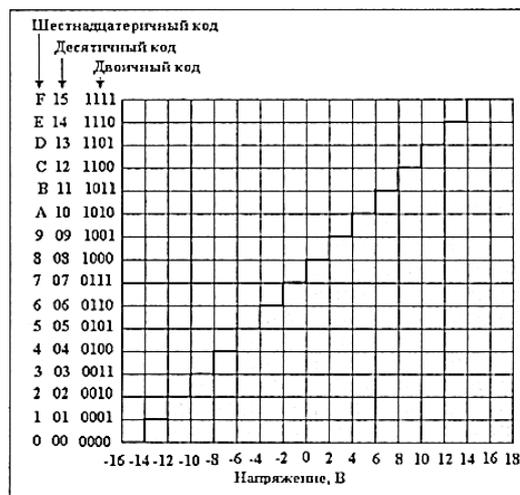


Рис. 19

Нулевому значению входного сигнала соответствует середина шкалы, т.е. число 128. Минимальное отрицательное значение будет преобразовано в нуль, максимальное положительное — в 255.

Характеристика вход-выход для случая четырехразрядного АЦП (используются четыре старших разряда) при напряжении на входе V_{REF+} равном 32 В, а на входе V_{REF-} -нулю, представлена на рис. 18.

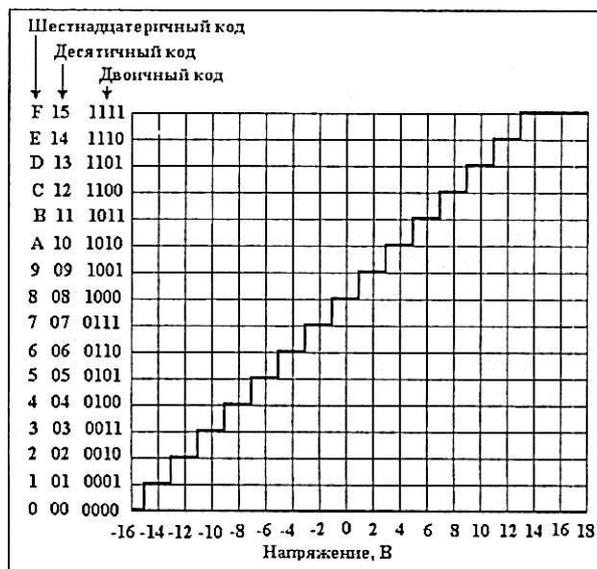


Рис..20

Как следует из рисунка, при любом значении входного сигнала меньше 2 В на выходе АЦП будет формироваться двоичный код 0000, при входных сигналах от 2 до 4 В — код 0001. Следовательно, если на выходе формируется код равный единице, то аналоговый сигнал, соответствующий этому коду, мы можем записать в виде $A = 3 \pm 1$ В. Это определяет погрешность, вызываемую дискретностью преобразования.

Рассмотрим теперь характеристику преобразования двуполярного напряжения. Пусть напряжение на входах $V_{REF+} = V_{REF-}$ равно 16 В.

Выходные величины отложены на горизонтальной оси рис. 4.19. Таким образом, одинаковым выходным кодам на вертикальной оси рис. 4.18 и 4.19 в зависимости от способа подключения *VREF* (см. рис. 4.16 или 4.17) соответствуют разные преобразуемые напряжения. Для уменьшения максимальной погрешности часто характеристику преобразования смещают на $1/2$ ЕМР, как показано на рис. 20.

Погрешность преобразования кода в напряжение. Рассматривая выходные характеристики, нетрудно понять, как определяется погрешность, вызываемая дискретностью преобразования. Абсолютная погрешность при любом входном сигнале не должна превышать 1 ЕМР. Максимальная относительная погрешность при этом зависит от значения преобразуемого напряжения. Она вычисляется по формуле $\delta = U_0/U_x$.

Погрешность минимальна при максимальном значении измеряемого напряжения $U_{x\max}$ и составляет

$$U_0/U_{x\max} = U_0/(U_0 \cdot 2^n) = 1/2^n.$$

Здесь U_0 — значение ЕМР; U_x — преобразуемое аналоговое напряжение.

При снижении преобразуемого напряжения максимальная погрешность увеличивается, достигая при $U_x = U_0$ 100 %.

Для обеспечения точности преобразования не менее 0,1 % необходимо иметь не менее 10 двоичных разрядов ($1/(2^{10} - 1) < 0,001$). Стандартные модули АЦП обычно бывают восьми—десятиразрядными. Однако в дальнейшем описании для удобства записи результатов ограничимся при изучении АЦП четырьмя разрядами.

АЦП с единичными приращениями компенсирующего сигнала. Если преобразуемый сигнал изменяется достаточно медленно, например, в случае измерения напряжения на выходе аккумулятора в процессе разрядки, быстроедействие преобразователя не играет роли. Благодаря этому удастся упростить схему АЦП. Одна из возможных структур для таких применений представлена на рис. 21, а.

Преобразователь содержит двоичный n -разрядный счетчик, цифроаналоговый преобразователь, аналоговый компаратор со входами преобразуемого U_x и компенсирующего U_k напряжения.

По сигналу «Пуск» счетчик обнуляется (на его выходах устанавливается код 0000), затем начинается счет числа импульсов генератора тактов (ГТ).

Если диапазон преобразуемых аналоговых сигналов задан, то нетрудно вычислить значения опорных напряжений на входах VREF+ и VREF-, при которых перекрывается: $(VREF+) = U_{x \max} / (U_{x \max} - U_{x \min}^-)$; ивается максимальная точность преобразования: $(VREF-) = U_{x \min} / (U_{x \max} - U_{x \min})$.

По мере увеличения числа импульсов n и, следовательно, кода K_x , возрастает выходное напряжение ЦАП. Когда устанавливается соотношение $U_k > U_x$, компаратор сигналом «Стоп» прекращает работу счетчика. Зафиксированный в счетчике и на индикаторе код K_x и будет результатом преобразования. Цикл повторяется с поступлением следующего сигнала «Пуск». Временные диаграммы (рис. 21, б) поясняют работу АЦП.

Счетчик имеет n разрядов, частоты ГТ и сигналов «Пуск» выбираются так, чтобы за время между пусковыми сигналами счетчик успел заполниться ($K_{\max} = 1111 \dots$), а система индикации кода успела зарегистрировать код K_x , т.е. результат преобразования аналог—код.

Системы АЦП с единичными приращениями могут выполняться по принципу слежения. В этом случае счетчик должен быть реверсивным, а компаратор должен фиксировать выполнение одного из условий:

$$1) U_k > U_x + U_0;$$

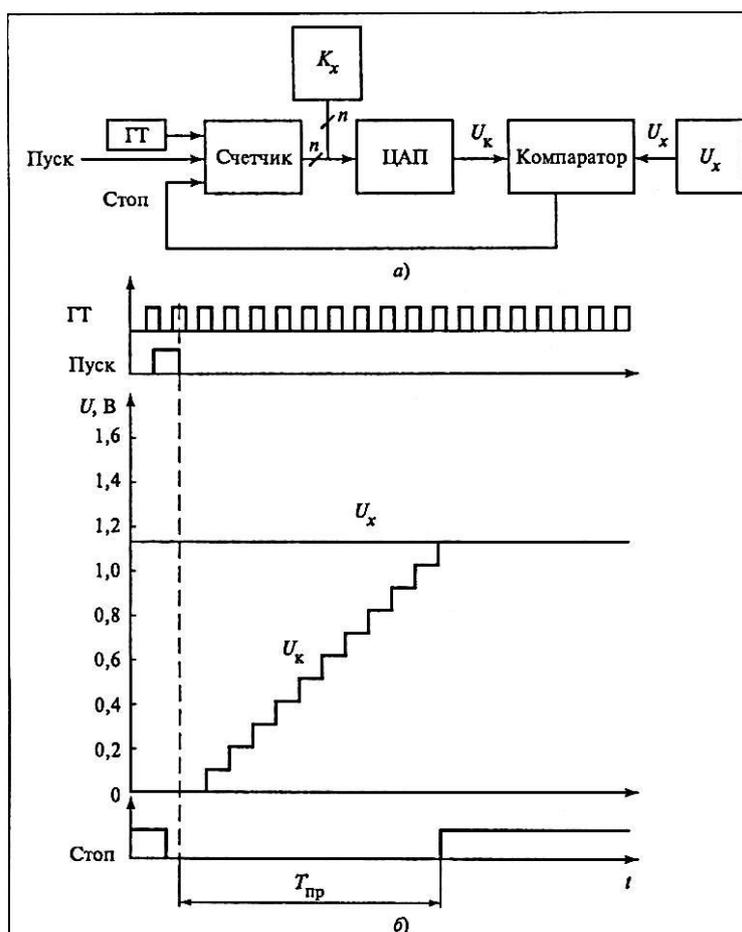


Рис. 21

$$2) U_x - U_0 \leq U_k \leq U_x + U_0;$$

$$3) U_k < U_x - U_0.$$

Если выполняется условие 1) и компенсирующее напряжение ЦАП недостаточно, компаратор устанавливает режим работы счетчика на сложение; если выполняется условие 3), счетчик переводится в режим вычитания. Режим 2) означает, что с точностью $EMR = U_0$ можно считать $U_k \sim U_x$, т.е. счетчик не работает до тех пор, пока компаратор не обнаружит перехода к условию 1) или 3).

Описанная структура АЦП называется структурой с единичными приращениями компенсирующего сигнала. Она характеризуется низким быстродействием. В нашем примере (см. рис. 21) наибольшее время преобразования $T_{пр} = 2^n T_{ГТ}$.

АЦП с поразрядным уравниванием. Более высокое быстродействие достигается при использовании способа поразрядного уравнивания. Он основан на половинном делении интервала измерения и определении факта принадлежности измеряемой величины к одной либо другой половине интервала.

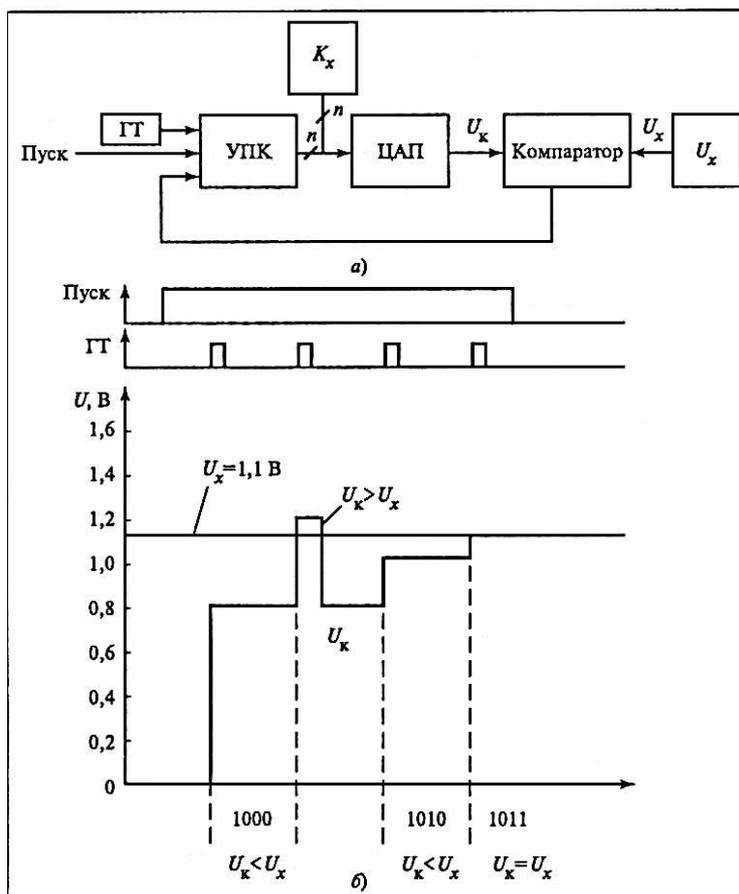


Рис. 22

Поясним это примером. Пусть $U_x = 1,1$ В, интервал измерения $0—1,5$ В, $U_0 = \text{EMР} = 0,1$ В. Преобразование осуществляется путем реализации определенного алгоритма в схеме рис. 22, а, б.

Схема содержит устройство поразрядной компенсации (УПК), ГТ, ЦАП, аналоговый компаратор и узел хранения и отображения кода K_x . После поступления сигнала запуска в предварительно обнуленный УПК записывается единица старшего разряда; вместо кода 0000 фиксируется код 1000. В нашем примере это соответствует напряжению $U_k = 1000 = 0,8$ В.

Это напряжение сравнивается с U_x . Поскольку $1,1 > 0,8$, единица в старшем разряде запоминается; если $U_k < U_x$ — единица сбрасывается и заменяется нулем. На этом этап формирования бита старшего разряда закончен.

Записывается единица в следующий за старшим бит, выполняются аналогичные операции с кодом 1100. Этому коду соответствует $U_k = 1,2$ В. Поскольку $1,2 > 1,1$, т.е. $U_k > U_x$, единица сбрасывается, старшие биты 10XX заполнены.

Записывается единица в следующий бит: код 1010 соответствует $U_k = 1$ В, $U_k < U_x$, поэтому запоминается код 101x и аналогичная процедура выполняется с младшим разрядом: код 1011 соответствует $U_k = 1,1$ В, $U_k = U_x$, для определения полученного кода 1011 потребовалось $n = 4$ тактов, что существенно быстрее метода единичных приращений с 15 тактами.

Порядок проведения экспериментов

Эксперимент 1. АЦП, основанный на считывании состояния компараторов:

а) *наблюдение процессов в АЦП.* Откройте файл c16_08 со схемой, приведенной на рис. 23. Поскольку активными уровнями на входах и выходах приоритетного шифратора являются уровни логического нуля, логические пробники подключены к выводам микросхемы через инверторы. В этом случае активное состояние вывода соответствует светящемуся пробнику. Установите частоту генератора треугольного напряжения равной 0,1 Гц, амплитуду напряжения 8 В и смещение 7 В. Запустите схему и наблюдайте выходное напряжение генератора на экране осциллографа, состояние входов и выходов шифратора и коды на декодирующем семисегментном индикаторе в реальном времени (двоичный, десятичный и шестнадцатеричный);

б) *измерение потенциалов узлов делителя.* Измерьте потенциалы узлов 1—15 делителя напряжения, результаты измерения занесите в табл. раздела «Результаты экспериментов»;

в) *измерение порогов переключения младшего разряда шифратора.* Установите частоту генератора треугольного напряжения равной 1 Гц, амплитуду напряжения 1 В и смещение 5 В. Запустите схему и

наблюдайте выходное напряжение генератора на экране осциллографа, состояние входов и выходов шифратора и шестнадцатеричный код на декодирующем семисегментном индикаторе в реальном времени. Второй вход осциллографа подключите к пробнику младшего разряда *А0*. Зарисуйте осциллограммы, полученные на экране осциллографа, в разделе «Результаты экспериментов». Измерьте порог переключения младшего разряда по осциллографу. Результат измерения занесите в соответствующую графу таблицы в разделе «Результаты экспериментов». Сравните полученное значение с потенциалом в точке 4. Проведите соответствующие измерения для значений смещения -1, -2, -3, -4, -6 и -7 В;

г) *осциллографирование процессов в АЦП*. Зарисуйте выходное напряжение генератора и напряжение на пробнике младшего разряда в эксперименте а) на экране осциллографа в разделе «Результаты экспериментов». Проставьте на соответствующих интервалах временной диаграммы напряжения на пробнике двоичный код *А3, А2, А1, А0* и код, показываемый декодирующим индикатором.

Эксперимент 2. Исследование функциональной модели четырехразрядного АЦП:

а) *получение выходной характеристики АЦП*. Откройте файл *s16_09* со схемой, приведенной на рис 24. Откройте изображение генератора слов и осциллографа. Нажмите клавишу *Step* на панели генератора слов. Зарисуйте осциллограммы, полученные на экране осциллографа, в разделе «Результаты экспериментов». По осциллографу измерьте напряжение функционального генератора, под тактовым импульсом на экране осциллографа проставьте значение шестнадцатеричного кода на семисегментном индикаторе, на графике выходной характеристики проставьте точку, соответствующую эксперименту. Около точки запишите измеренное по осциллографу напряжение. Продолжите действия по описанному алгоритму для всех тактовых импульсов одного периода входного напряжения;

б) *получение осциллограмм входного и выходного сигналов АЦП*. Зарисуйте с экрана осциллографа в соответствующем пункте раздела «Результаты экспериментов» осциллограммы входного сигнала и напряжения с младшего разряда *D4* (рис.25). Определите пороги переключения.

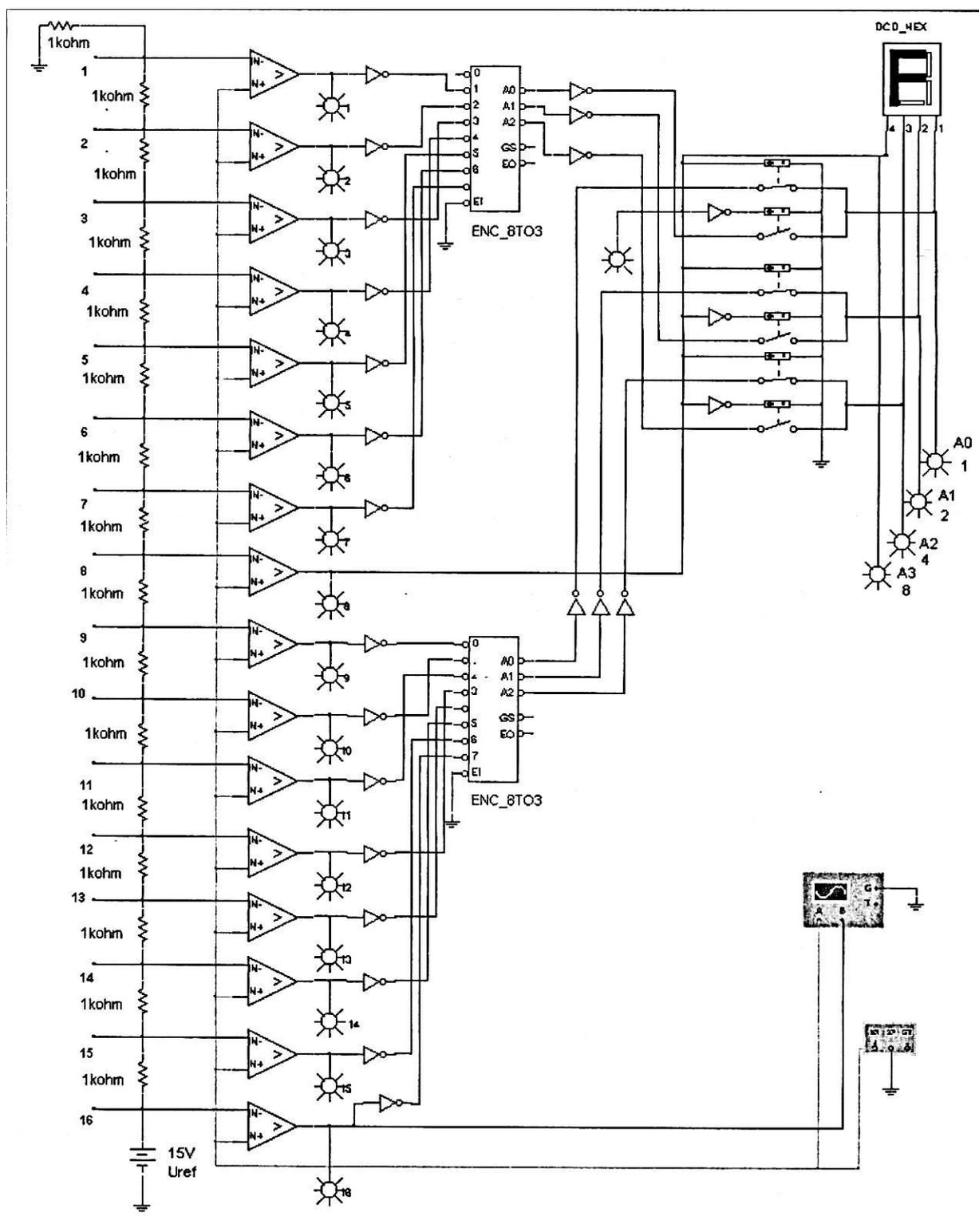


Рис.23

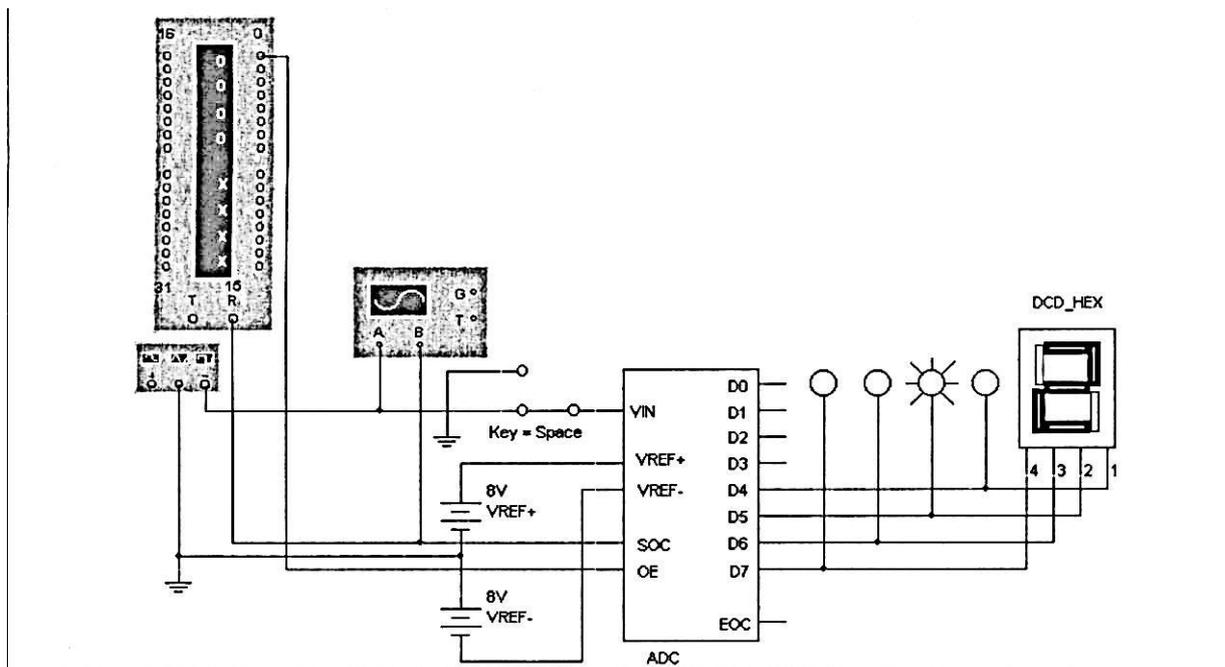


Рис. 24

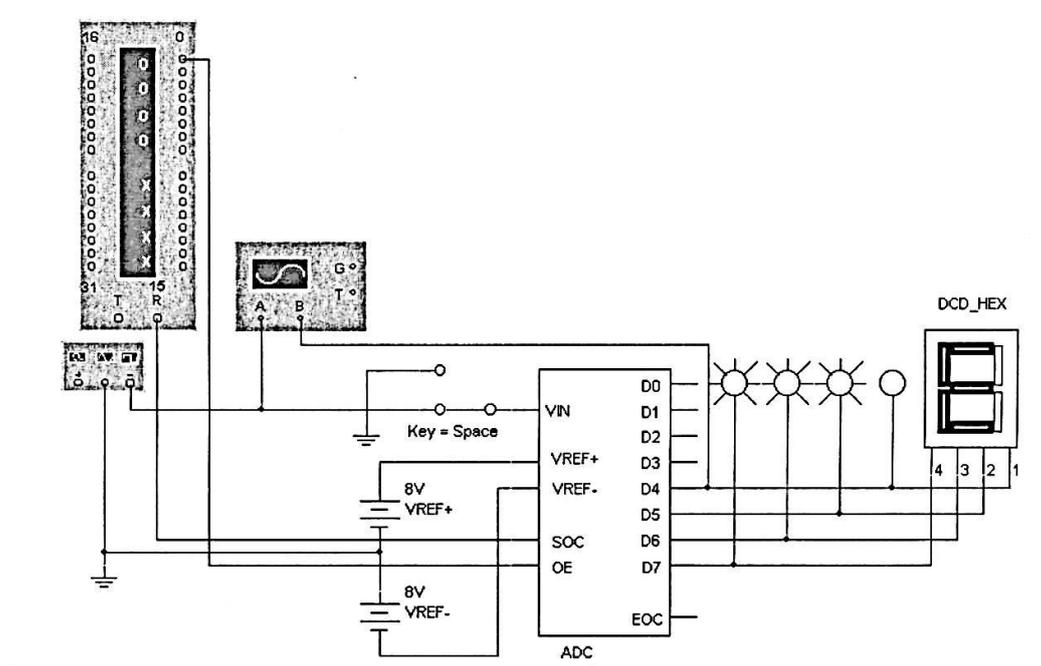


Рис. 25

Эксперимент 3.
Исследование АЦП с единичными приращениями компенсирующего сигнала:

а) процессы в АЦП при ручной подаче тактовых сигналов. Откройте файл `s16_10` со схемой, приведенной на рис. 26. Переведите ключ сброса *S* в нижнее положение. Двойным нажатием на клавишу *T* подайте тактовый сигнал. Наблюдайте изменение шестнадцатеричного кода, записанного в декодирующем семисегментном индикаторе. Повторяйте тактовый сигнал до тех пор, пока не погаснет индикатор преобразования *Ip* и не засветится индикатор окончания операции *Iend*.

Измените уровень входного аналогового сигнала до 6,5 В. Проведите процесс преобразования вручную и занесите результат в таблицу раздела «Результаты экспериментов»;

б) определение времени измерения сигнала АЦП при подаче тактовых сигналов от генератора. Откройте файл `s16_11` со схемой, приведенной на рис. 27. Включите схему. Зарисуйте осциллограммы напряжения на выходе компаратора и напряжения на входе счетчика, полученные на экране осциллографа, в соответствующем пункте раздела «Результаты экспериментов». Рассчитайте время измерения и определите его по осциллограммам. Результаты занесите в раздел «Результаты экспериментов».

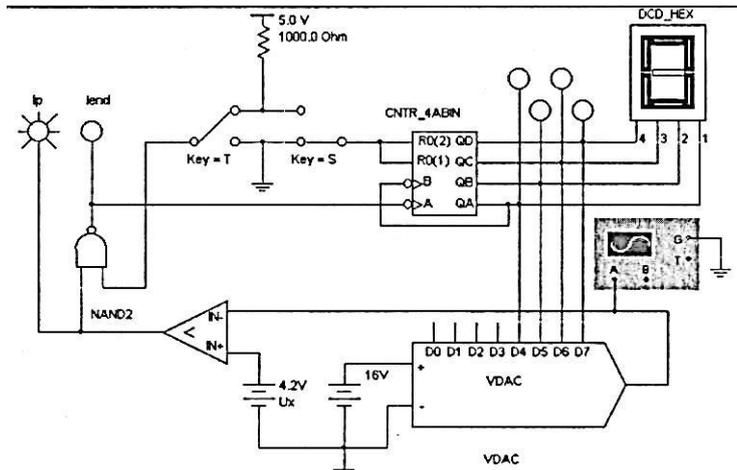
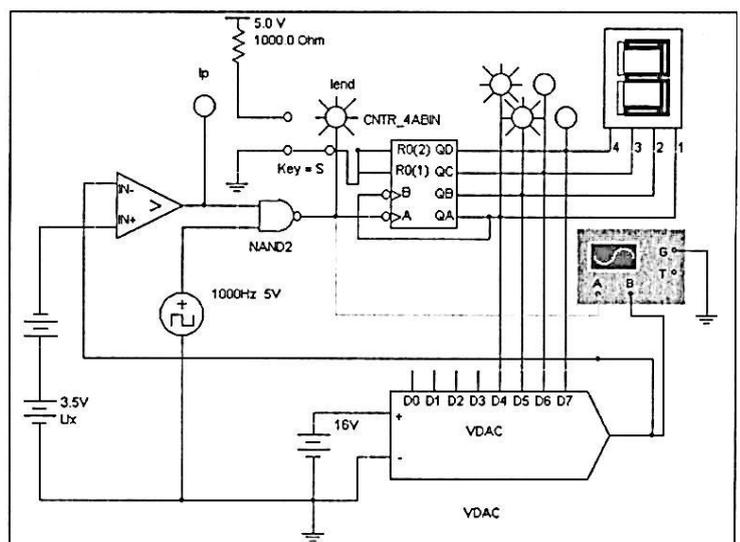


Рис. 4.26



в) исследование АЦП с единичными приращениями компенсирующего сигнала с использованием двух разрядов шестнадцатеричного кода. Откройте файл c16 12 со схемой, приведенной на рис.28. Наблюдайте изменение шестнадцатеричного кода, записанного в двух декодирующих семисегментных индикаторах (справа на схеме) и на вольтметре VDAS. Повторяйте тактовый сигнал до тех пор, пока не погаснет индикатор преобразования 1р и не засветится индикатор окончания операции lend.

Установите значение напряжения U_x равным 7,2 В. Получите шестнадцатеричный код, соответствующий этому аналоговому значению в схеме рис. 16.6. Вычислите соответствующее значение, умножив код на масштаб (в данном случае 1 В/единицу). Определите абсолютную и относительную погрешность измерения. Занесите результаты в раздел «Результаты экспериментов» на компакт-диске.

Установите значение опорного напряжения в схеме рис. 28 равным 8 В. Получите шестнадцатеричный код, соответствующий тому же значению поданного сигнала 7,2 В. Вычислите значение поданного сигнала, умножив код на масштаб (в данном случае 1/32 В/единицу). Занесите результат в раздел «Результаты экспериментов». Сравните погрешность измерения в схемах рис.27 и 28.

В схеме рис. 28 проведите определение времени измерения по методике, изложенной в пункте б) данного эксперимента. Результат занесите в раздел «Результаты экспериментов».

Рис. 4.27

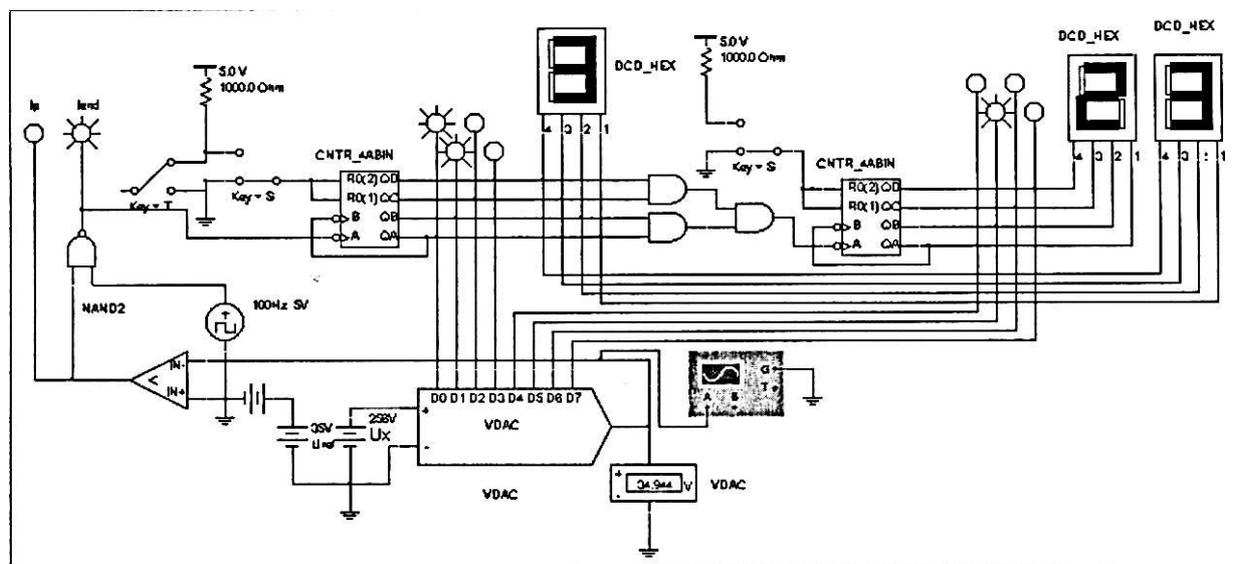


Рис. 28

Эксперимент 4. АЦП, основанный на поразрядном уравнивании

Откройте файл с 16_13 со схемой, приведенной на рис. 29. Верхняя часть схемы представляет собой схему рис. 1, в которой ключи управляются не с клавиатуры, а с помощью генератора слов. Нижняя часть схемы содержит регистр, построенный по схеме рис. 1. Схема работает по алгоритму, приведенному в кратких сведениях из теории. На первом такте включается старший разряд ЦАП, формируя на неинвертирующем входе компаратора напряжение 8 В. Если значение $U_x > 8$ В, то старший (левый на схеме) разряд регистра переводится в момент записи в активное состояние. При этом на нижний вход логической схемы ИЛИ подается единица с выхода этого разряда и на последующих тактах источник 8 В будет участвовать в формировании выходного напряжения ЦАП. Если же значение $U_x < 8$ В, то старший разряд остается в неактивном состоянии на всех последующих тактах. На втором такте включается следующий по старшинству разряд ЦАП, и на выходе формируется напряжение 12 или 4 В (в зависимости от состояния старшего разряда). Если значение $U_x > 12$ В (при включенном старшем разряде) или 4 В (при выключенном), то второй разряд регистра переводится в момент записи в активное состояние. При

этом на нижний вход второй логической схемы ИЛИ подается единица с выхода этого разряда и на последующих тактах источник с напряжением 4 В будет участвовать в формировании выходного напряжения ЦАП. Аналогично происходят процессы на третьем и четвертом тактах. Для того чтобы пройти один такт, необходимо 4 раза нажать мышкой клавишу Step генератора слов в режиме Step.

Исследуйте схему и получите характеристику преобразователя АЦП:

а) **наблюдение процессов в АЦП.** Переведите ключ *R* в нижнее положение. Включите схему. Переведите ключ *R* в верхнее положение. Эту последовательность действий необходимо строго соблюдать, в противном случае работа схемы будет некорректной. Задавая значения входного аналогового сигнала в диапазоне от нуля до 16В, определите цифровое выходное значение. Результат занесите в раздел «Результаты экспериментов».

б) **получение характеристики преобразования АЦП.** Откройте изображение генератора слов и осциллографа. Нажмите клавишу Step на панели генератора слов. Зарисуйте осциллограммы, полученные на экране осциллографа, в разделе «Результаты экспериментов». По осциллографу измерьте напряжение функционального генератора, под тактовым импульсом на экране осциллографа проставьте значение шестнадцатеричного кода на семисегментном индикаторе, на графике выходной характеристики проставьте точку, соответствующую эксперименту. Около точки запишите измеренное по осциллографу напряжение. Продолжите действия по описанному алгоритму для всех тактовых импульсов одного периода входного напряжения.

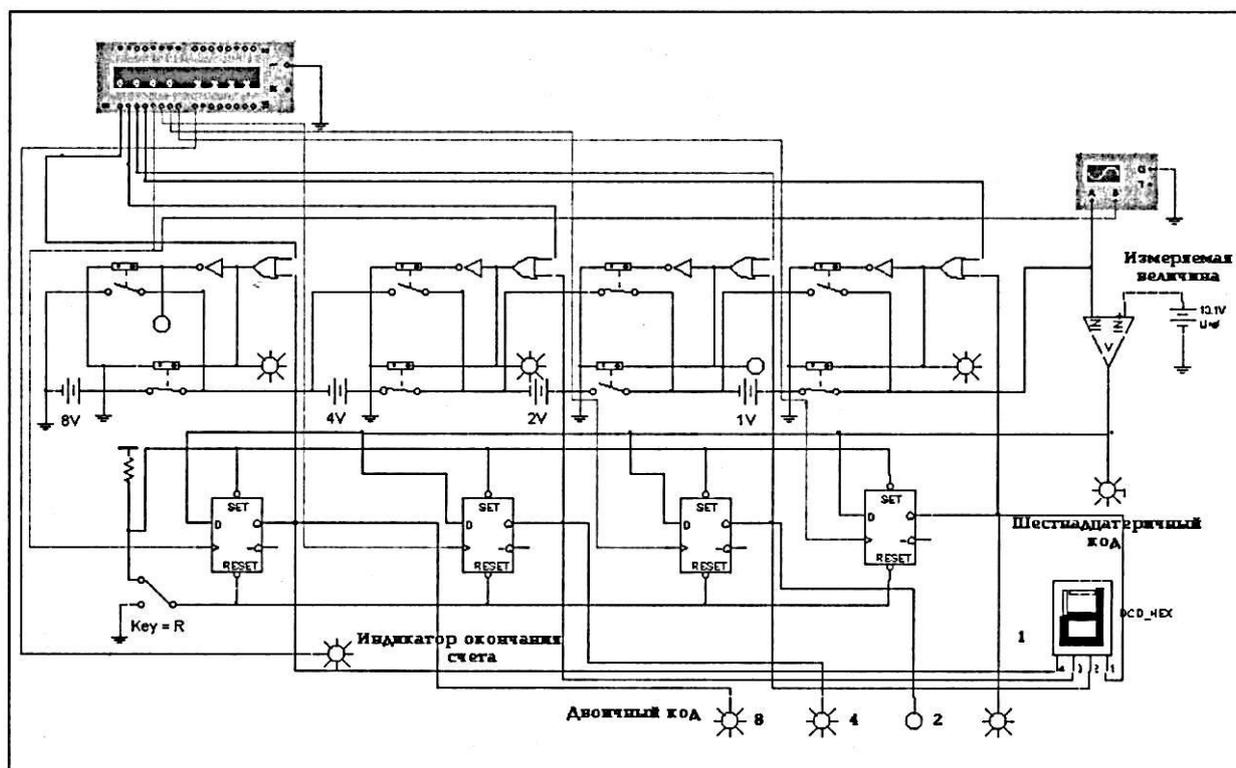


Рис. 29

Приложение 1

МЕТОДИКА ПРОВЕДЕНИЯ ИЗМЕРЕНИЙ С ПОМОЩЬЮ ИНСТРУМЕНТАРИЯ MULTISIM

1. Измерения при произвольной форме входного сигнала

1.1. Измерение мгновенных значений напряжения с помощью осциллографа

Измерения с применением курсоров.

Наблюдение за изменением мгновенных значений параметров и их измерение производятся в программе Multisim с помощью осциллографа.

Осциллограф (Oscilloscope в программе Multisim) является программой, имитирующей измерительный прибор, используемый в лабораторной практике и обладающий достаточно широким спектром возможностей для наблюдения за процессами в схемах и измерения напряжения между различными точками в них. В то же время, чтобы наблюдать за процессом, необходимо предварительно настроить этот довольно сложный инструмент. Описание процесса настройки будет наиболее наглядным, если мы рассмотрим конкретный пример исследовательской задачи.

Рассмотрим действия, необходимые для того, чтобы исследовать переходный процесс в RC-цепи с параметрами, приведенными на рис.1, при включении ее на источник переменного напряжения с частотой 2 кГц. При этом необходимо измерить максимальное напряжение на резисторе R на третьем периоде осциллограммы тока и начальную точку пересечения тока с осью абсцисс на этом периоде.

Для решения задачи необходимо прежде всего подключить осциллограф к резистору R (см. рис.1). Для этого осциллограф «вытаскиваем» на рабочее поле (по правилам вывода компонента на рабочее поле, см. § 1.6) и затем подключаем к схеме. При этом вход канала В подключаем к незаземленному выводу конденсатора, а верхний правый вывод осциллографа заземляем. Тем самым имитируются реальные действия, которые исследователь производит при подключении реального прибора в лабораторной практике.

Если после этого просто запустить процесс моделирования, то мы получим изображение, приведенное на рис.1. Эта картинка совершенно неинформативна, с ее помощью невозможно решить нашу задачу.

Прежде всего, необходимо увеличить цену деления по оси X и раздвинуть картинку, чтобы вместо сплошного изображения увидеть периодическую кривую. Учитывая, что период при частоте 2 кГц составляет 500 мкс, выберем цену деления по оси времени такой, чтобы период составлял примерно две клетки. Для этого в поле Timebase осциллографа установим значение этого параметра 200 мкс/дел ($\mu\text{s}/\text{Div}$).

После запуска процесса моделирования начальный участок картинка через некоторое время «убежит» за левый край экрана осциллографа. При

этом внизу экрана появится поле прокрутки, которое позволяет вернуть картинку к начальной позиции. После этого мы получим более информативную картинку (рис. 2).

В настоящее время в исследовательской практике широкое применение находят цифровые запоминающие осциллографы, и именно такой осциллограф имитируется в Multisim.

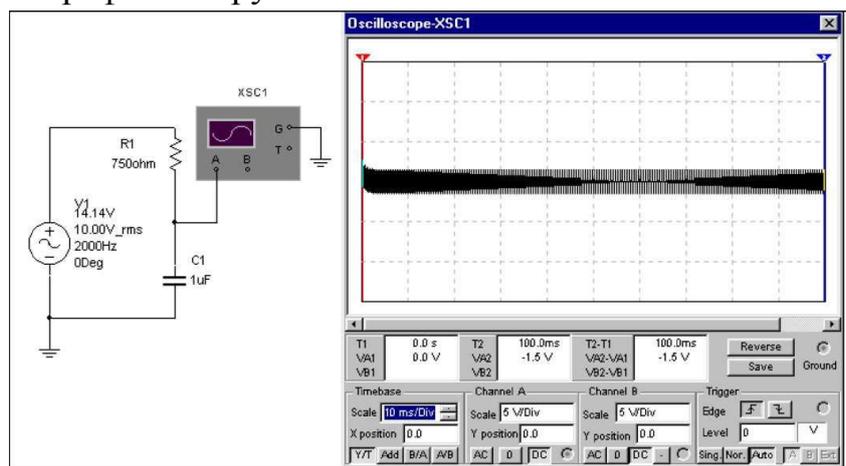


Рис. 1.

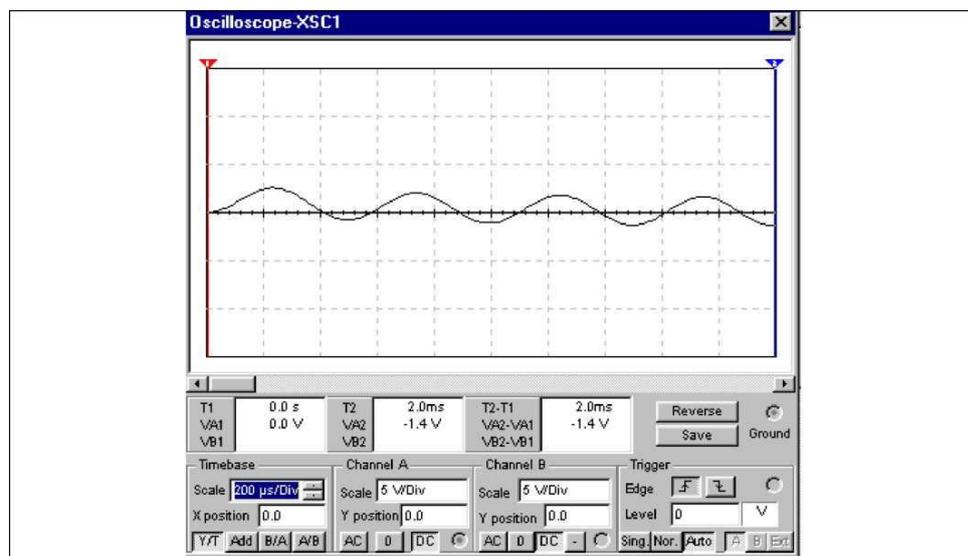


Рис. 2

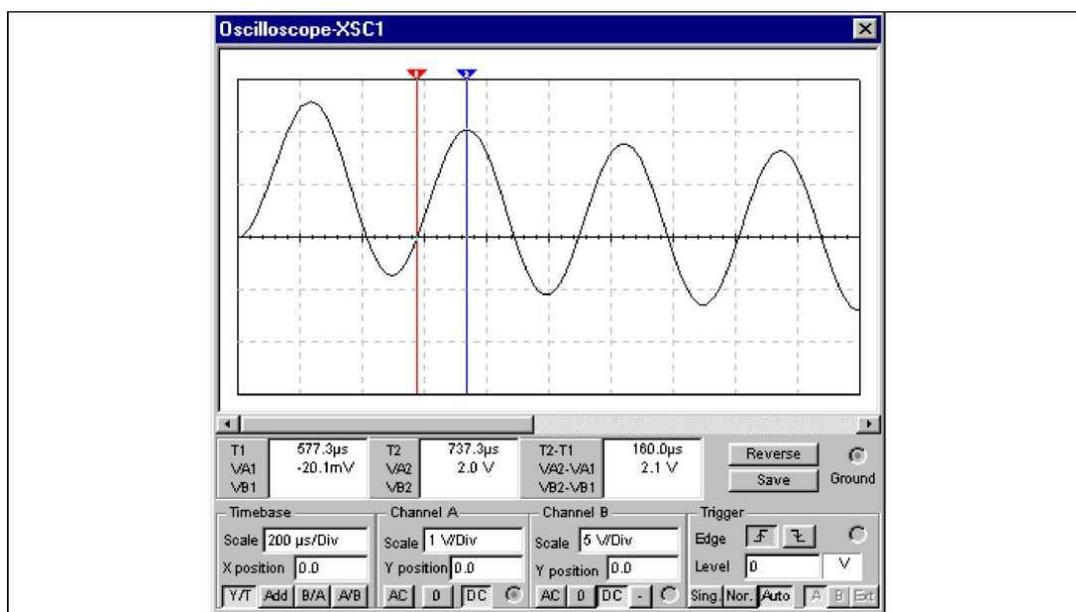


Рис. 3

Поскольку цифровые осциллографы хранят в памяти информацию для всего измеренного ряда мгновенных значений, этапы снятия и обработки информации могут быть разделены.

Для удобства наблюдения и измерений необходимо также изменить масштаб и по оси Y (рис. 3).

Для измерений можно воспользоваться двумя курсорами 1 и 2, координаты пересечения которых с исследуемой кривой отображаются на двух табло, расположенных под экраном.

По результатам измерений с помощью этих курсоров можно установить, что максимум напряжения на втором периоде составляет 2,0 В, а время пересечения кривой напряжения с осью абсцисс равно 577,3 мкс. Результаты на табло округлены с точностью до одного знака после запятой.

Для округления используются точные данные, полученные при моделировании. Эти данные можно фиксировать в текстовом файле, выбрав позицию Save на панели осциллографа. При этом создается файл с тем же именем, что и у файла *.msm, но с расширением *.scr (score от oscilloscope). Фрагменты этого файла для нашего примера представлены ниже. В реальном файле строки не нумерованы, мы пронумеровали их для удобства изложения.

Реализация дифференциального входа с помощью осциллографа

Аналогом дифференциальных усилителей в Multisim являются зависимые источники напряжения, управляемые напряжением. На рис. 4 показаны схема и осциллограммы для измерения сдвига фазы между напряжениями на конденсаторе и катушке индуктивности. Поскольку входное сопротивление этих источников бесконечно велико, они не вносят искажений в режим схемы, а выходной потенциал их при заземлении одного зажима (как на рис. 4) пропорционален (а при единичном коэффициенте передачи просто равен) входному напряжению.

Измерение более чем двух напряжений с помощью осциллографа. Часто необходимо проследить за изменением сразу трех сигналов (например, при исследовании трехфазных цепей).

Схема имеет два ключа, управляемых напряжением, один из которых подключен к источнику последовательности прямоугольных импульсов непосредственно, а второй — через логический инвертор. Ключи, управляемые с частотой 1000 Гц от источника тактовой частоты, включаются попеременно, переключая вход осциллографа с одного потенциала на другой. На рис. 5 приведена также схема для измерения фазных напряжений в трехфазной цепи с использованием коммутатора `commut`, а на рис. 6 — соответствующие осциллограммы.

Как видно из рис.6, напряжение на фазе А, поданное на вход А непосредственно, рисуется сплошной кривой, а напряжения на фазах В и С, поданные через коммутатор, могут быть определены по огибающим. Буквы у кривых проставлены лишь на рис. 6, на экране осциллографа они отсутствуют.

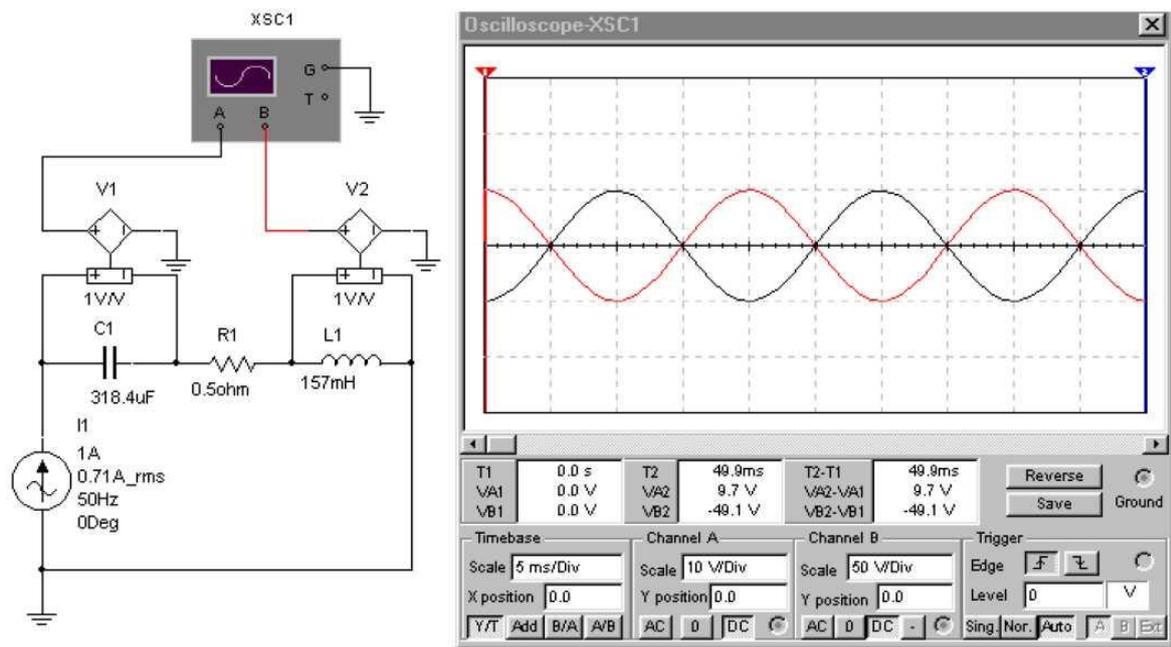


Рис.4

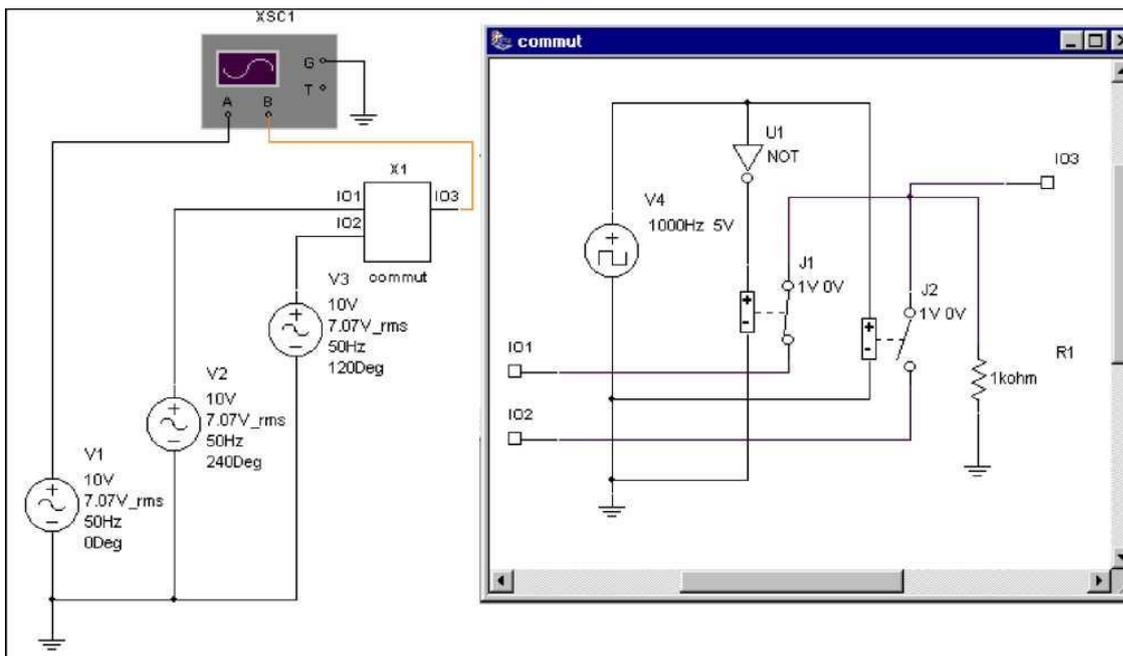


Рис.5

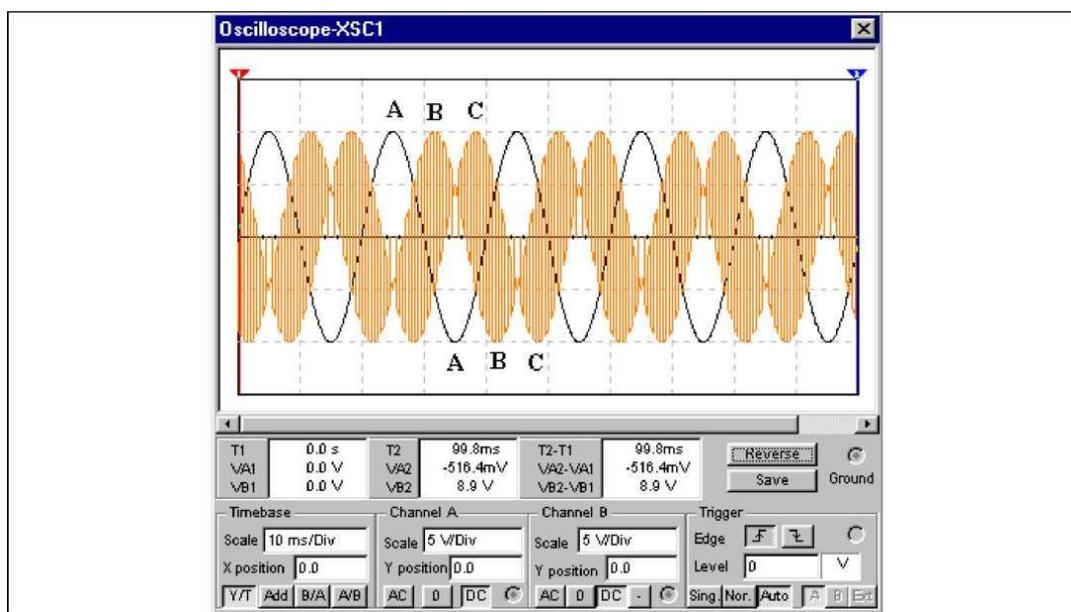


Рис. 6

1.2. Измерение мгновенных значений тока с помощью осциллографа

Измерение мгновенных значений тока с помощью осциллографа связано с преобразованием тока в пропорциональный ему потенциал и измерением этого потенциала по приведенным выше методикам.

Простейший способ преобразования тока в потенциал заключается во включении в цепь измеряемого тока резистора с небольшим сопротивлением, как это делается в реальных схемах. Один из выводов резистора должен быть заземлен, а потенциал второго вывода, который в данном случае пропорционален току, измеряется.

На рис. 7, а показана схема для измерения тока в RC -цепи при питании от источника гармонического напряжения, а на рис. 7, б приведены соответствующие осциллограммы. Именно такой метод распространен в лабораторной практике, и его необходимо освоить в первую очередь, научившись оценивать степень искажения исследуемого процесса включением дополнительного элемента (шунта), т.е. освоив способы включения шунта и подсоединения его к осциллографу.

Чем меньше сопротивление шунта, тем меньше его влияние на процессы в схеме, но тем меньше и снимаемый с него сигнал. Чтобы усилить его, можно подключить между шунтом и осциллографом усилитель. Идеальным является случай, когда сопротивление шунта стремится к нулю. Такой способ измерения можно реализовать в Multisim, включив последователь-

но в измеряемую цепь вход источника напряжения, управляемого током, заземлив один из его

Приложение 1

7

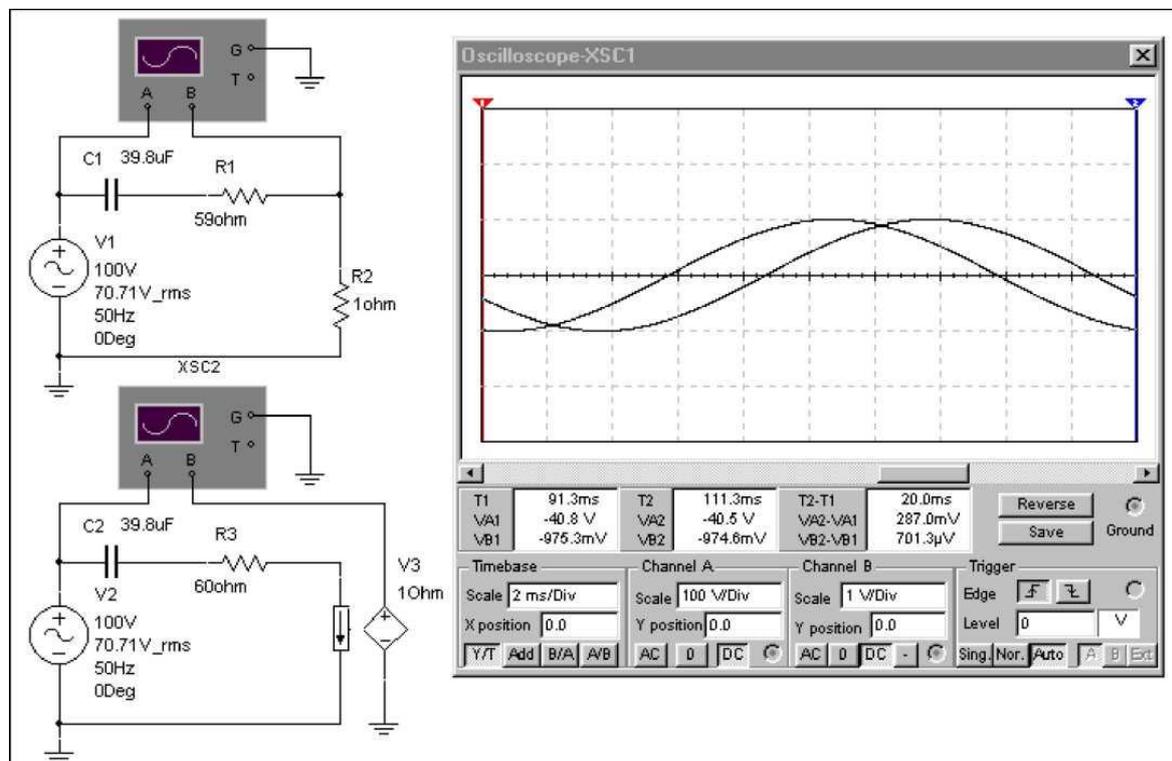


Рис. 7

выходов, а второй подключив к осциллографу (рис. 7, в).

Поскольку входное сопротивление зависимого идеального источника равно нулю, включение его в ветвь не влияет на процессы в схеме, а коэффициент передачи позволяет выбрать удобный для наблюдения масштаб сигнала, если для этого не хватает возможностей, заложенных в модели осциллографа.

1.3. Измерение мгновенных значений мощности

Мгновенная мощность любого двухполюсника является произведением мгновенных значений тока и напряжения. В Multisim имеется специальный компонент, позволяющий получить на выходе сигнал, пропорциональный произведению двух входных напряжений. Подав на входы этого компонента напряжения пропорциональные току и напряжению (рис. 8), а его выход подключить к осциллографу, можно получить осциллограмму мгновенной мощности.

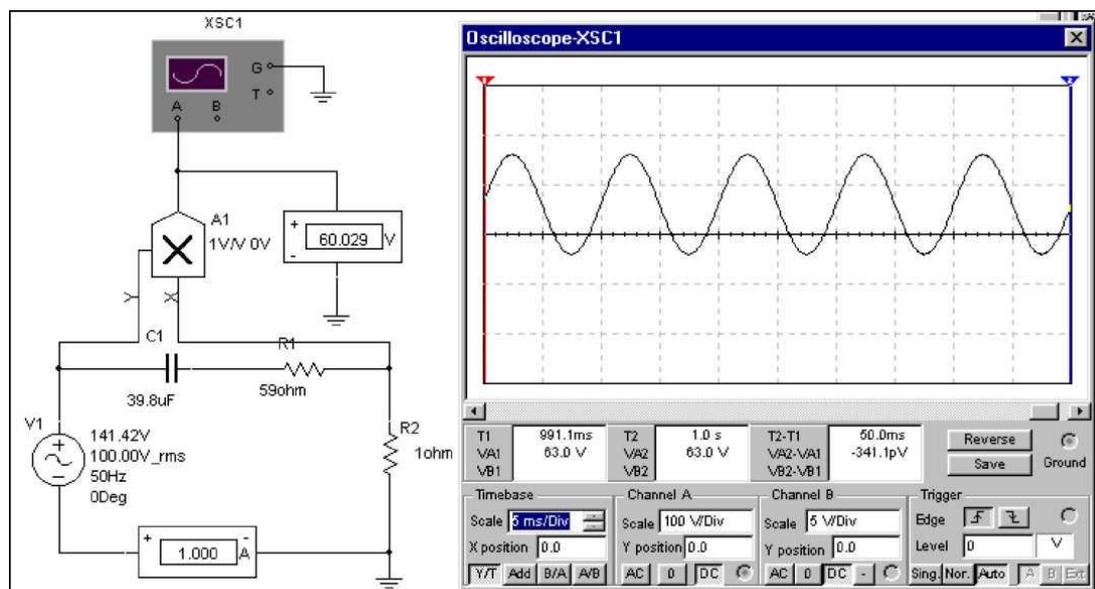


Рис.8

1.4. Измерение мгновенных значений энергии, запасенной в конденсаторе и индуктивности

Наличие в Multisim умножителя позволяет получить на выходе сигнал, пропорциональный энергии, запасенной в конденсаторе при подключении к нему обоих входов умножителя. Если при этом коэффициент передачи умножителя выбран равным половине емкости конденсатора, то напряжение на его выходе в каждый момент будет численно равно запасенной в конденсаторе энергии.

Аналогично, если на оба входа умножителя подключить сигнал, численно равный току через индуктивность, а коэффициент передачи умножителя выбрать равным половине индуктивности катушки, то сигнал на выходе будет численно равен энергии, запасенной в катушке

На рис. 9 приведена схема включения, в которой измеряются мгновенные значения энергии в накопителях обоих типов.

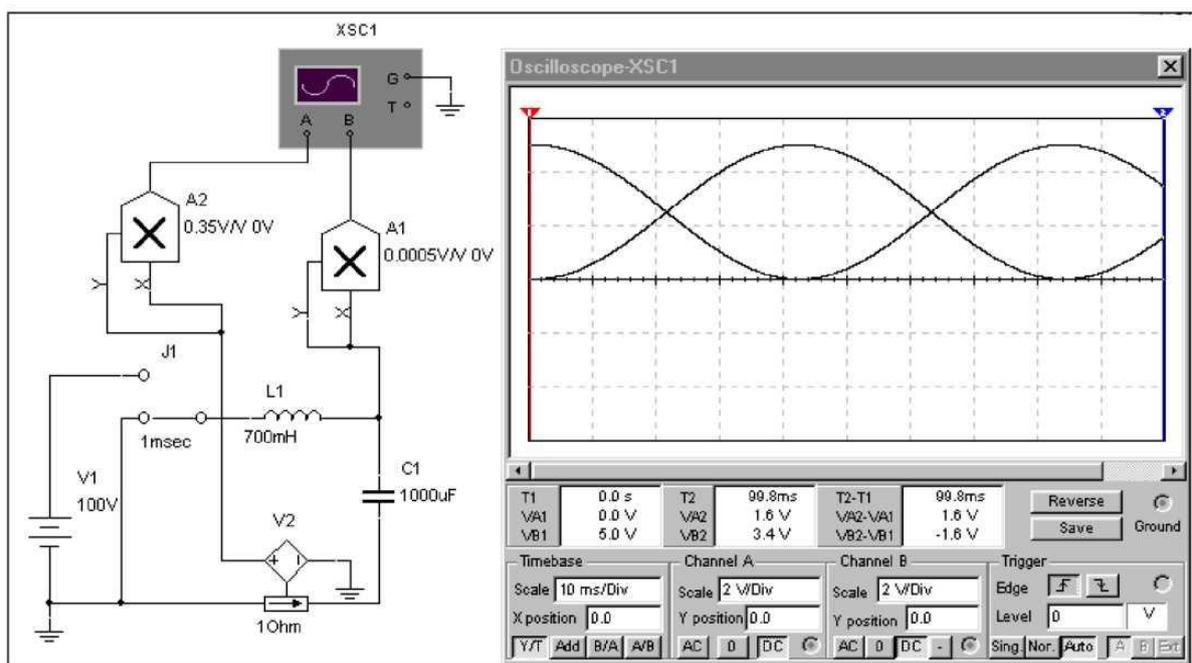


Рис. 9

1.5. Использование осциллографа в режиме характериографа

В реальные осциллографы зачастую встраиваются усилители, позволяющие подать сигнал на пластины горизонтальной развертки (усилители X). Такой режим предусмотрен и в осциллографе Multisim. В режиме В/А по оси X разворачивается сигнал, поступающий на вход А, а по оси Y — сигнал со входа В, в режиме А/В — наоборот.

Схемы для снятия вольтамперных характеристик активных и пассивных двухполюсников имеют в своем составе одни и те же элементы: источник гармонического напряжения и резистор шунта, однако из-за традиционного расположения обеих характеристик в первом квадранте построение схем несколько различается. При снятии характеристик активных двухполюсников шунт должен быть включен между землей и источником питания (см. субблок test_Act на рис. 10), получающиеся осциллограммы приведены на рис. 11. При снятии характеристик пассивных двухполюсников шунт должен быть включен между землей и нагрузкой (см. субблок test_Pas на рис. 12), получающиеся в этом случае осциллограммы приведены на рис. 13.

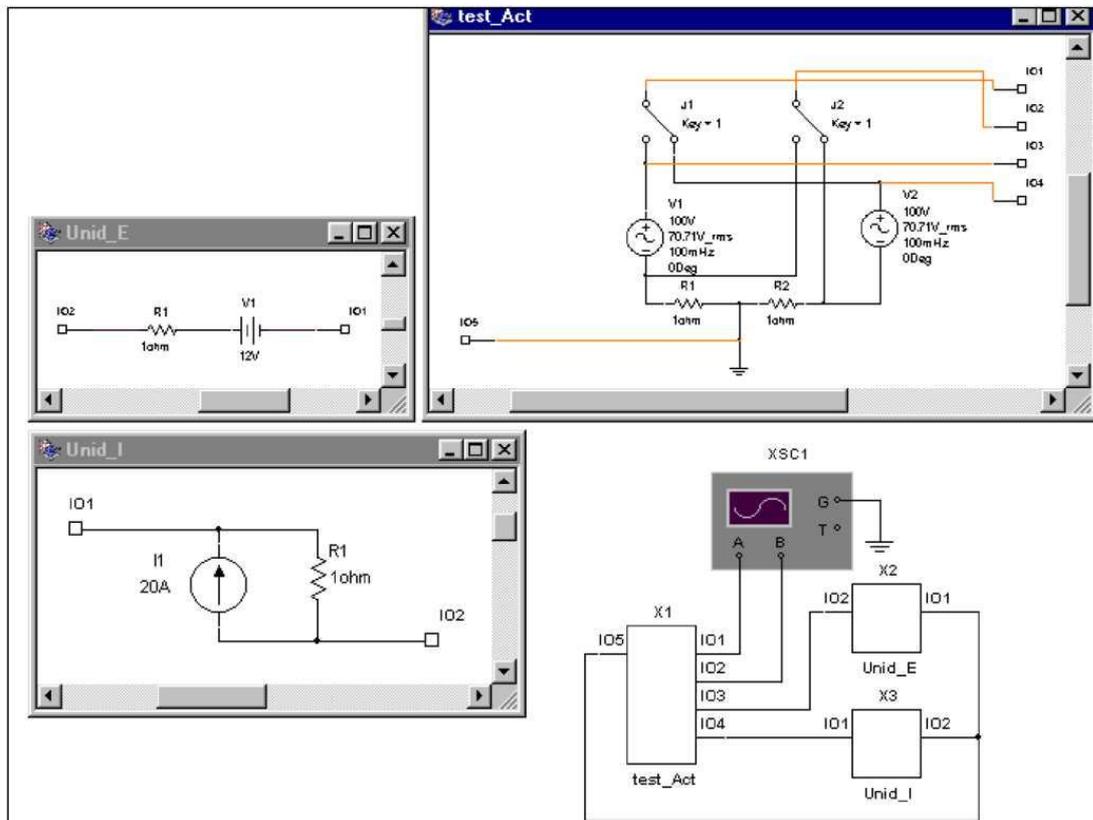


Рис. 10

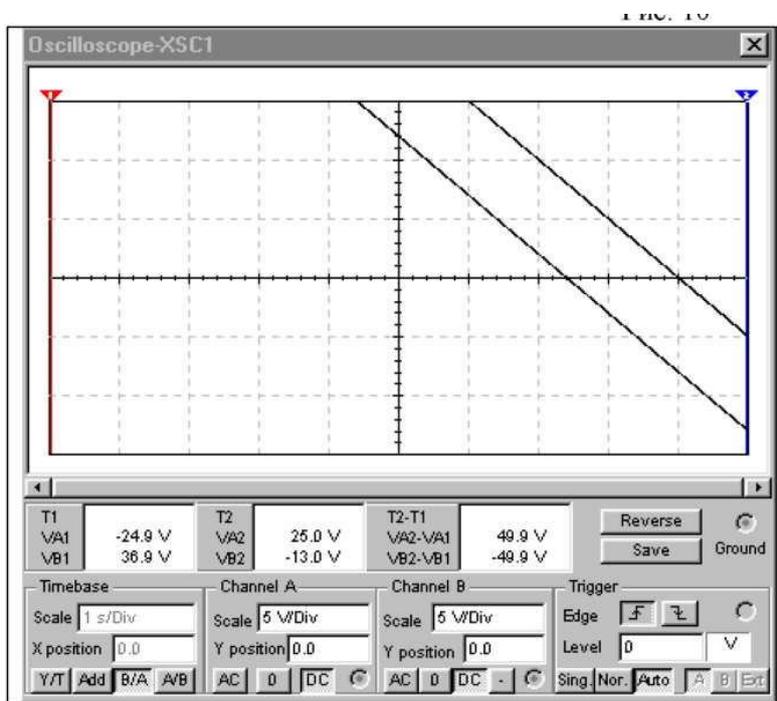


Рис. 11

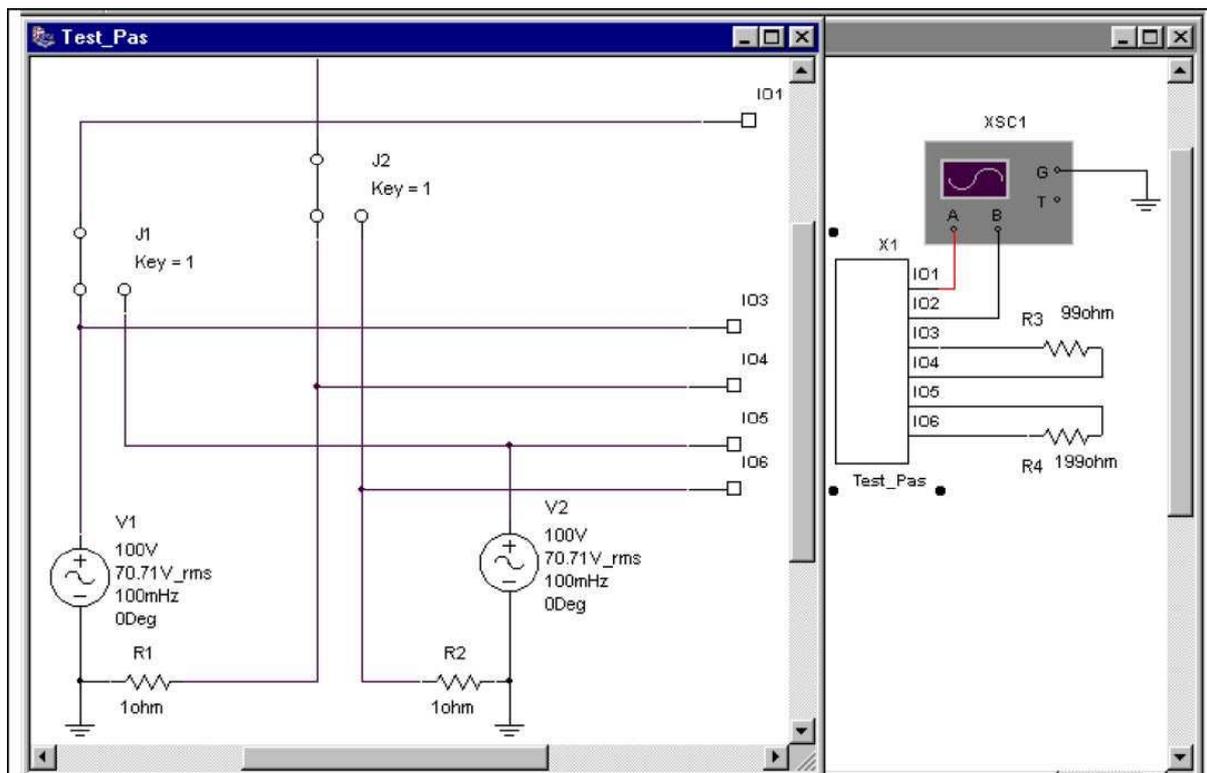


Рис. 12

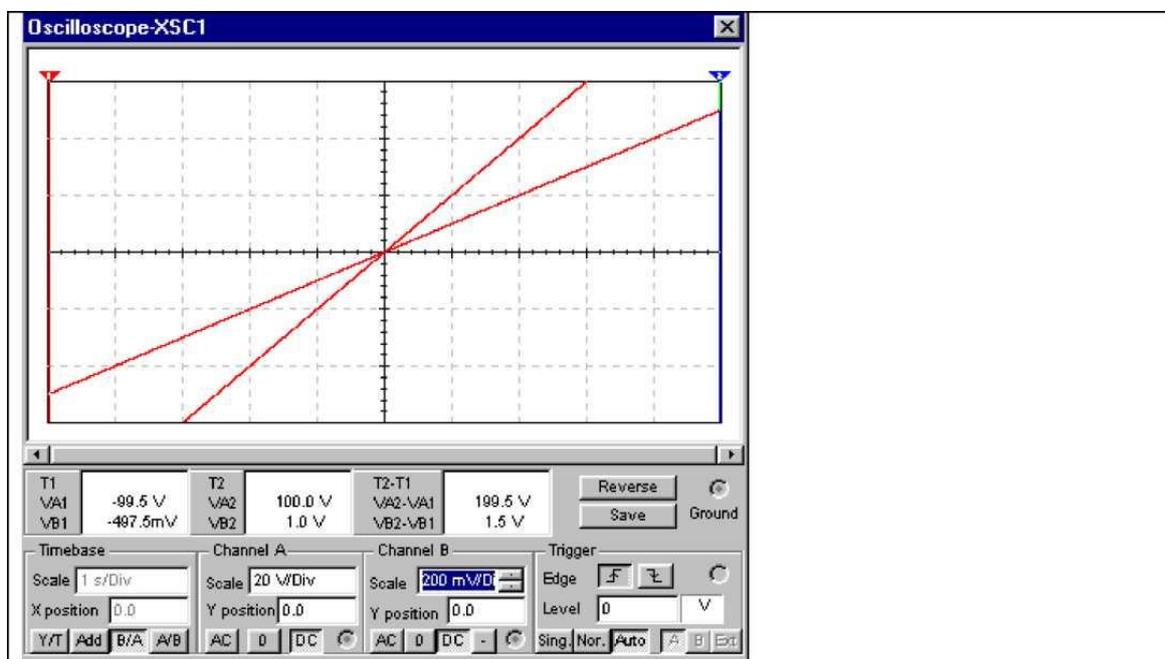


Рис. 13

2. ИЗМЕРЕНИЯ ПРИ ПОСТОЯННОМ ВХОДНОМ СИГНАЛЕ

2.1. Измерения токов и напряжений при постоянном входном сигнале

Если при сложной форме входного сигнала напряжение и ток каждого элемента характеризуются большим числом величин (в идеале бесконечно большим числом мгновенных значений), то при постоянном сигнале каждая из этих величин характеризуется только одним числом. Для получения сигнала можно, конечно, воспользоваться осциллографом, но для таких простых измерений он неоправданно сложен. Одну величину проще всего показать на одном цифровом табло, автоматизировав настройку прибора.

Такие простые приборы — вольтметр и амперметр — имеются в составе Multisim в разделе индикаторов (Indicators). Если вставить амперметр в любую ветвь исследуемой схемы или подключить вольтметр параллельно любому ее участку, то можно получить значения тока и напряжения. Вообще говоря, амперметры и вольтметры измеряют не постоянное мгновенное значение, а вычисляют и показывают постоянные составляющие произвольного сигнала которые в случае неизменного сигнала совпадают с мгновенным значением. Вследствие этого они могут использоваться для измерения постоянной составляющей в сложном сигнале.

2.2. Измерение мощности при постоянном входном сигнале

Как и в реальном лабораторном практикуме в Multisim для измерения мощностей используется простой прибор, показывающий значение активной мощности — ваттметр. Кроме того, он показывает также значение коэффициента мощности. В случае постоянного сигнала коэффициент мощности равен 1.

Схема измерения мощности, использующая стандартное включение ваттметра показана на рис. 14.

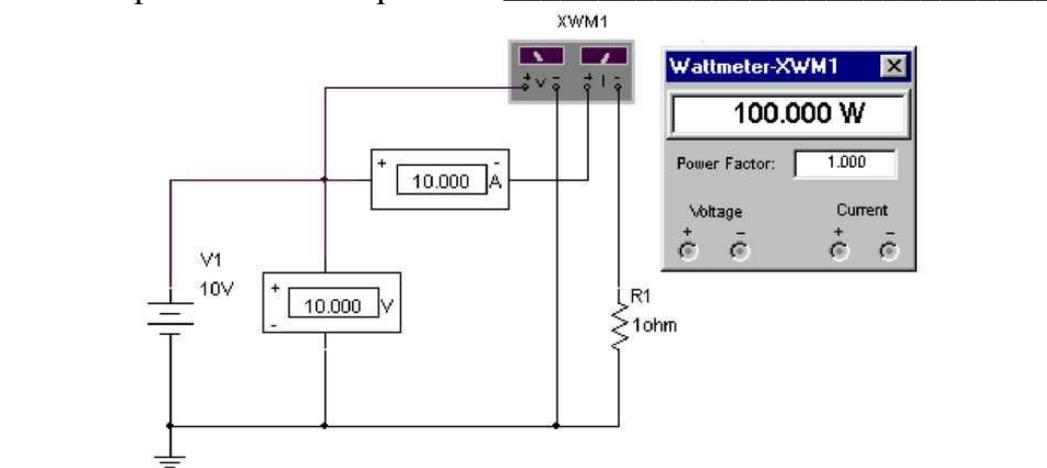


Рис.14

3. ИЗМЕРЕНИЯ ПРИ ГАРМОНИЧЕСКОМ ВХОДНОМ СИГНАЛЕ

3.1. Измерение комплекса напряжения

Для того, чтобы полностью характеризовать гармонический сигнал, необходимо знать три величины: частоту, амплитуду и начальную фазу. При моделировании гармонических воздействий частоту можно считать заданной частотой источника сигнала. В этом случае любой ток или напряжение в схеме можно характеризовать двумя оставшимися величинами, по которым можно вычислить мгновенные значения в любой момент времени. Эти две величины образуют, таким образом, комплекс величин, который полностью определяет гармонический сигнал. Этот комплекс величин дает компоненты комплексного числа (изображаемого точкой на комплексной плоскости), которое моделирует гармонический сигнал при применении символического метода расчета.

Измерение комплекса напряжения является основной операцией в измерениях при воздействии гармонических сигналов, поскольку на ней основаны операции измерения комплекса тока и сопротивления.

Комплекс представляет собой совокупность двух величин: действительной и мнимой части при записи в алгебраической форме и модуля и начальной фазы при записи в показательной форме. При измерениях обычно определяют именно вторую совокупность величин, поскольку модуль инвариантен по отношению к начальному углу и измеряется обычно не фаза, а фазовый сдвиг различных напряжений, который также инвариантен к начальному углу.

В Multisim имеется две возможности измерения комплекса напряжения.

1. С помощью осциллографа, который является универсальным измерительным прибором можно непосредственно измерить модуль и фазу потенциала любой точки схемы. На самом деле с помощью осциллографа определяется не фазовый, а временной сдвиг, и для вычисления фазового сдвига необходимо провести еще некоторые вычисления. Необходимо отметить, однако, что для измерения комплекса напряжения на любом участке цепи, один из концов этого участка должен быть заземлен. Однако осциллограф не показывает компоненты комплекса непосредственно и выводит избыточную информацию.

2. В Multisim имеется прибор, который в соответствующих режимах, и при правильно собранной схеме позволяет получить компоненты

комплекса непосредственно на табло. Это Боде-плоттер, применяемый в качестве измерителя на фиксированной частоте.

Измерение с помощью осциллографа

Схема измерения с помощью осциллографа приведена на рис. 15. На рис. 16 представлен осциллограф, показывающий осциллограммы напряжений на схеме рис. 15. Подведя курсор 1 к максимуму, можно получить мгновенное значение напряжения в точке кривой на табло VA1. Для вычисления модуля необходимо это значение поделить на V2. Выставив затем курсор 1 на ноль тока, а курсор 2 на ноль напряжения можно получить временной сдвиг между током и напряжением непосредственно на табло T1-T2.

Но для того, чтобы вычислить фазовый сдвиг, нужно еще провести дополнительные вычисления по формуле:

$$\varphi = 360^\circ \cdot (T2 - T1) / T = -45^\circ.$$

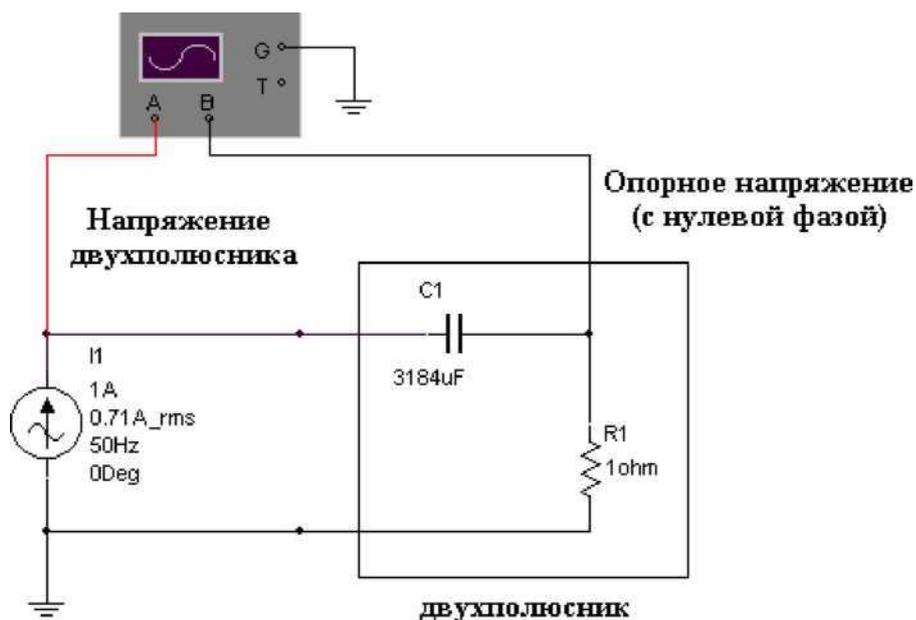


Рис.15

Знак минус соответствует отставанию тока от напряжения. Таким образом, при измерениях с помощью осциллографа для получения модуля и фазового сдвига требуются дополнительные вычисления.

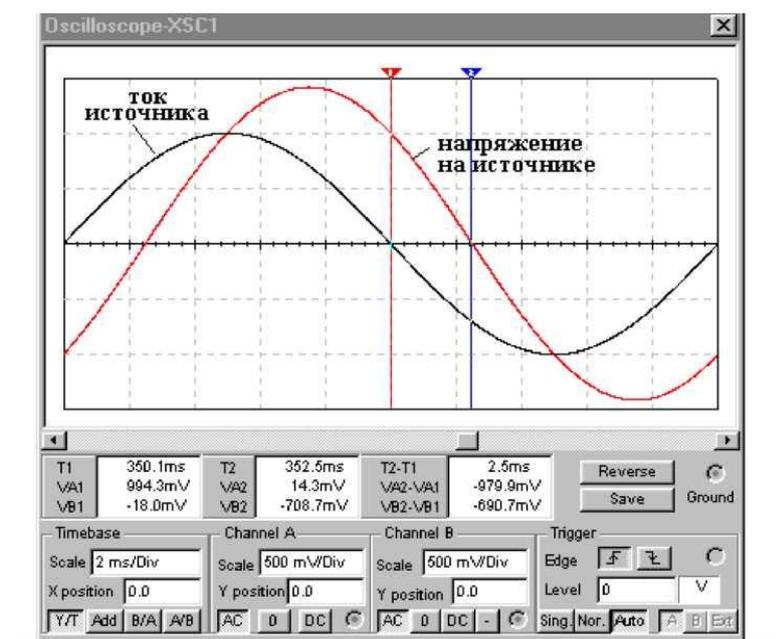


Рис.16

Измерение с помощью Бode-плоттера.

Наиболее просто измерение комплекса напряжения производится с помощью Бode-плоттера. Для того, чтобы значение модуля и фазы коэффициента передачи, измеряемого Бode-плоттером, численно равнялось модулю и фазе потенциала точки В, на вход Бode-плоттера (зажимы In на рис. 17) должен быть подключен источник той же частоты, что и у сигнала с модулем 1 В и фазой 0°). В Multisim имеется возможность применять для исследования одновременно два Бode-плоттера. Подключив их к одним и тем же точкам, можно одним из них измерять модуль, а другим — фазу комплекса напряжения. Вид вертикальной шкалы на обоих Бode-плоттерах должен быть линейным (иначе отношение модулей и фаз будет выведено в децибелах), а начальная частота должна быть установлена равной частоте источников. В этом случае для измерения достаточно будет установить курсоры на обоих приборах в начальное положение. Если установить Бode-плоттер ХВР1 в режим Magnitude, а Бode-плоттер ХВР2 в режим Phase, то сразу увидим на их табло значение модуля и фазы комплекса напряжения. Большим удобством этого метода является непосредственное считывание результатов без всяких промежуточных выкладок.

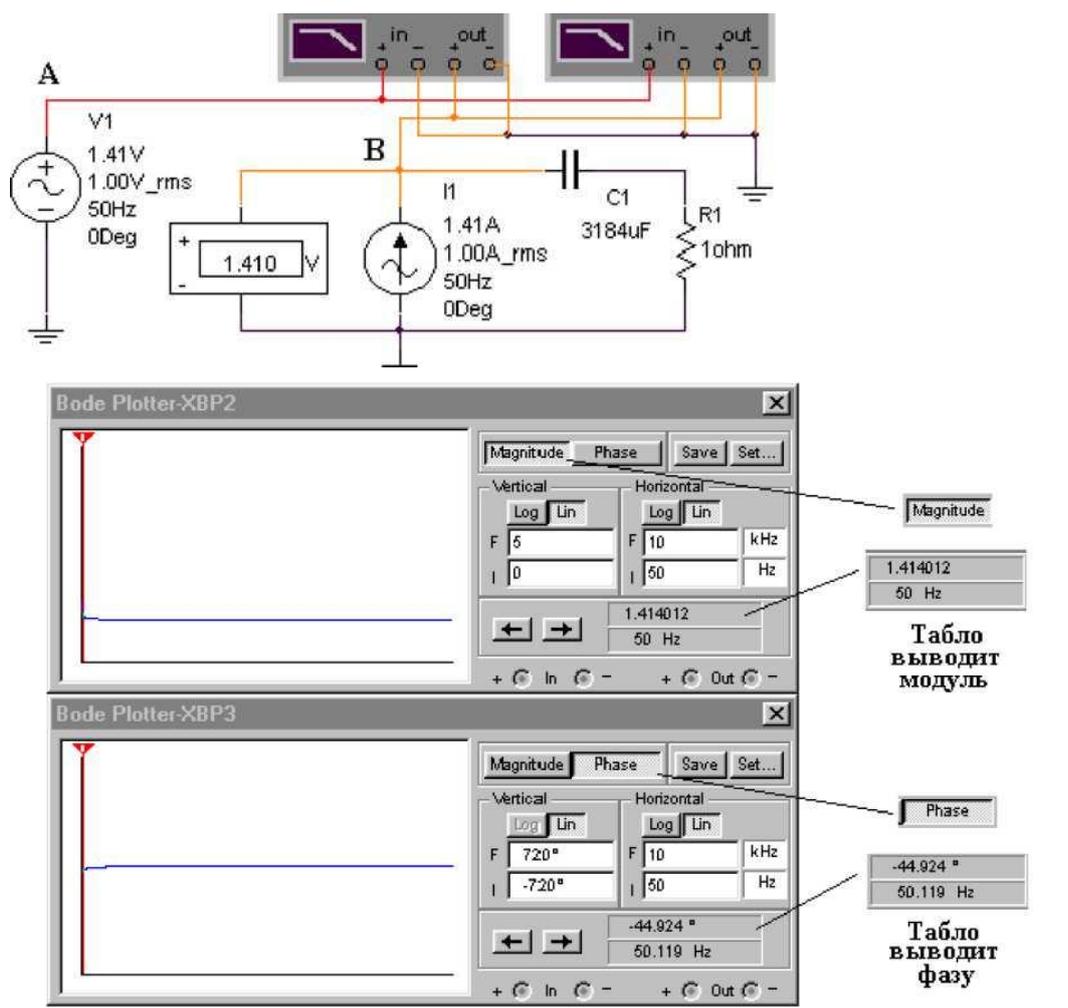


Рис.17

3.2. Измерение комплекса тока

Имеется три возможности измерения комплекса тока.

Первая из них заключается в измерении действующих значений нескольких токов (включая и измеряемый) амперметром или мультиметром. В простых цепях по результатам таких измерений часто удается вычислить и фазовый сдвиг (аналогично тому, как это продемонстрировано для напряжений).

Две другие возможности связаны с преобразованием тока в пропорциональный ему потенциал и измерением этого потенциала с помощью осциллографа или Боде-плоттера по приведенным ранее методикам.

Простейший способ преобразования тока в потенциал заключается во включении в цепь измеряемого тока резистора с небольшим сопротивлением, как это делается в реальных схемах. Один из концов резистора должен быть заземлен и измеряется потенциал второго конца, пропорцио-

нальный току.

На рис. 18 показана схема такого измерения тока и приведены соответствующие осциллограммы.

2, соответственно) связаны с P и S, выражениями.

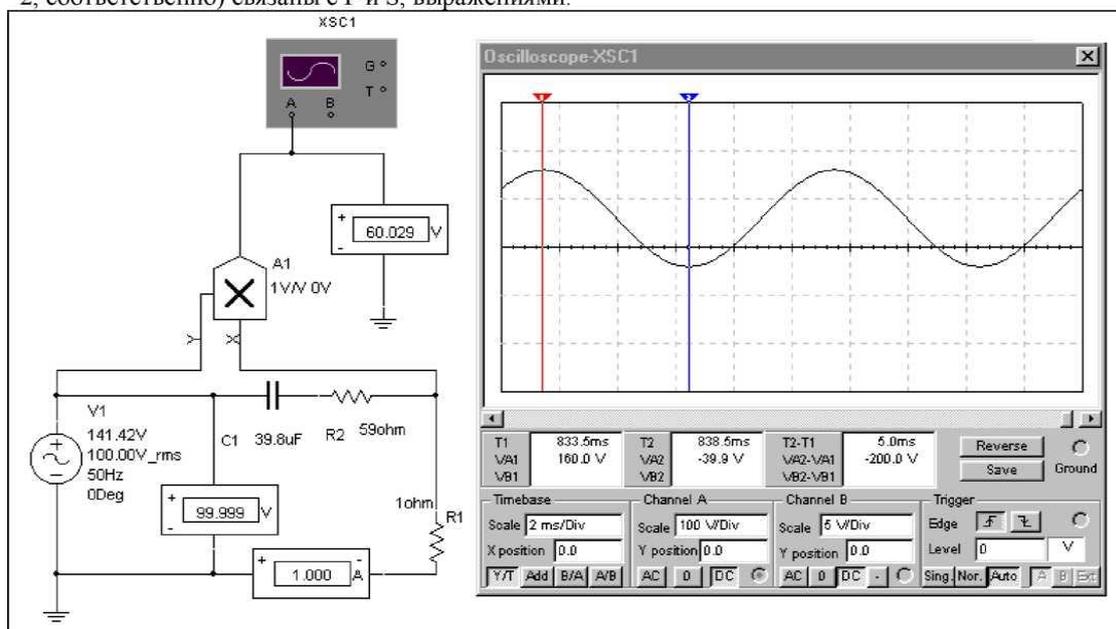


Рис. 18

3.3. Измерение комплекса сопротивления

По закону Ома для комплексных чисел комплекс сопротивления является частным от деления комплекса напряжения на комплекс тока.

Если на любой двухполюсник подать питание от источника тока с действующим значением 1 А и фазой 0° , то напряжение на двухполюснике будет численно равно его комплексному сопротивлению. Таким образом, схему измерения комплекса напряжения, представленную на рис. 17, можно использовать и в качестве схемы измерения комплекса сопротивления.

3.4. Измерение мгновенной, полной, активной и реактивной мощностей

Мгновенная мощность двухполюсника является произведением мгновенных значений тока и напряжения. В Multisim произведение можно получить с помощью умножителя, как это было сделано для постоянных сигналов. Подав на входы этого компонента потенциалы, пропорциональные току и напряжению (рис. 18), и присоединив его выход к осциллографу, можно получить осциллограмму мгновенной мощности.

БИБЛИОГРАФИЧЕСКИЙ СПИСОК

1. Гусев В.Г., Гусев Ю.М. Электроника. М.: Высш. школа, 1991, 495с.
2. Electronics Workbench Professional Edition. Technical Reference. Ver. 5. Interactive Image Technologies Ltd. Toronto, Ontario, Canada, 1996.
3. Электротехника и электроника в экспериментах и упражнениях: Практикум на Electronics Workbench: В 2-х томах/ Под общей ред. Д.И. Панфилова. М.: ДОДЭКА, 2000.
4. Хоровиц П., Хилл У. Искусство схемотехники: в 3-х томах/ Пер. с англ. М.: Мир, 2001.
5. Джонс М.Х. Электроника - практический курс/ Пер. с англ. М.: Постмаркет, 1999, 528с.
6. Гейтс Э.Д. Введение в электронику. Серия «Учебники и учебные пособия». Ростов-на-Дону: Феникс, 1998, 640с.

ОГЛАВЛЕНИЕ

Лабораторная работа № 1. Правила перевода чисел из одной системы счисления в другую.....	3
Лабораторная работа № 2. Изучение принципов организации арифметико-логических устройств.....	5
Лабораторная работа № 3. Исследование элементов арифметико-логических устройств.....	9
Лабораторная работа № 4. Построение электрической схемы по заданной логической функции.....	20
Лабораторная работа № 5. Исследование комбинационных схем средней степени интеграции.....	27
Лабораторная работа № 6. Синтез и исследование логических схем.....	36
Лабораторная работа №7 Исследование цифровых автоматов с памятью.....	47
Лабораторная работа №8 Исследование преобразователей аналоговых и цифровых сигналов.....	66
Методика проведения измерений с помощью инструментария Multisim.....	97
Библиографический список.....	115

ЭЛЕМЕНТНАЯ БАЗА ЭВМ

Методические указания к лабораторным работам
по дисциплине “Вычислительные машины и системы”

Составители:

ГАЛАС Валерий Петрович
ЧЕРНОВ Владимир Георгиевич

Ответственный за выпуск - зав. кафедрой доцент А.А. Галкин

Редактор И.В. Бойцова
Компьютерная верстка В.П. Галас

ЛР № 020275. Подписано в печать
Формат 60x84/16. Бумага для множит. техники. Гарнитура Таймс.
Печать офсетная. Усл. печ. л. 2,32. Уч.-изд. л. 2,45. Тираж 100 экз.

Заказ

Редакционно-издательский комплекс
Владимирского государственного университета.
600000, Владимир, ул. Горького, 87.