

Министерство образования и науки Российской Федерации
Государственное образовательное учреждение
высшего профессионального образования
«Владимирский государственный университет
имени Александра Григорьевича и Николая Григорьевича Столетовых»

В. Р. АСЛАНЯНЦ

АНАЛИЗ ЦЕЛОСТНОСТИ СИГНАЛОВ

ПРАКТИКУМ



Владимир 2011

УДК 621.396.6.001 (076.5)

ББК 32.85 с51

A90

Рецензенты:

Лауреат премии Правительства РФ в области науки и техники,
академик Международной академии информатизации, доктор
технических наук, профессор зав. кафедрой
информационных технологий Владимирского филиала
Российской академии государственной службы при Президенте РФ
А.С. Шалумов

Доктор технических наук, профессор,
консультант ОАО «Владимирское конструкторское бюро радиосвязи»
М.В. Руфицкий

Печатается по решению редакционного совета
Владимирского государственного университета

Асланянц, В. Р.

A90 Анализ целостности сигналов : практикум / В. Р. Асланянц ;
Владим. гос. ун-т. – Владимир : Изд-во Владим. гос. ун-та,
2011. –124 с. – ISBN 978-5-9984-0156-5

Основное назначение практикума – показать сущность и методику решения проектных задач предтопологического и посттопологического анализа целостности сигналов, получить навыки применения САПР для проектирования электронных средств. Рассмотрен сквозной маршрут проектирования простого электронного узла от формирования электрической схемы до посттопологического анализа целостности сигналов. В качестве инструментального средства применяется САПР Altium Designer. Содержит перечень заданий к лабораторным работам и УИРС, список из 36 контрольных вопросов.

Предназначен для студентов, обучающихся по направлению 211000 – конструирование и технология производства электронных средств дневного и заочного отделений, выполняющих лабораторные работы по дисциплине «Информационные технологии проектирования электронных средств» на 4-м курсе, а также для студентов других специальностей, изучающих вопросы теории и практики проектирования электронных средств.

Рекомендован для формирования профессиональных компетенций в соответствии с ФГОС 3-го поколения.

Ил. 13. Библиогр.: 9 назв.

УДК 621.396.6.001 (076.5)

ББК 32.85с51

ISBN 978-5-9984-0156-5

© Владимирский государственный
университет, 2011

ВВЕДЕНИЕ

Системы автоматизированного проектирования электронных средств (САПР ЭС) – основной инструмент проектировщика электронной аппаратуры. Одно из главных направлений развития современных САПР – расширение состава проектных задач, решение которых поддерживает система. Одной из важнейших задач проектирования ЭС является анализ целостности сигналов (**SIA – Signal Integrity Analysis**).

Успешно выполненный анализ электрической схемы еще не гарантирует правильного функционирования разрабатываемого устройства, поскольку на этом этапе не учитывалось влияние параметров конструкции ЭС, которое можно оценить и внести в проект необходимые изменения на этапе посттопологического анализа. Большинство современных САПР ЭС (в том числе и рассматриваемая в практикуме САПР **Altium Dtsigner**) содержат программные средства для решения этой проектной задачи.

Цель данного практикума – помочь студентам изучить методику **SI**-анализа и получить навыки применения САПР для решения этой проектной задачи.

Содержание практикума охватывает основные этапы автоматизированного проектирования ЭС от формирования электрической схемы до посттопологического анализа проекта. По сути содержание практикума можно рассматривать как типовой маршрут проектирования узла ЭС на печатной плате.

1. ПРОЕКТНАЯ ЗАДАЧА АНАЛИЗА ЦЕЛОСТНОСТИ СИГНАЛОВ

Термин «целостность сигналов» означает способность сигнала генерировать корректный отклик в электрической схеме [3, 9]. Цифровой сигнал имеет хорошую целостность, если он достигает нужного уровня в течение заданного времени в заданной точке схемы.

Нарушение целостности сигнала проявляется в следующих случаях:

- Задержка сигнала между выводами компонентов может оказаться больше допустимой. Под задержкой сигнала понимают промежуток времени между моментом изменения сигнала в источнике и соответствующим изменением сигнала в приемнике. Факт изменения уровня констатируется по пересечению фронтом порогового значения, обычно принимаемого равным половине напряжения питания.

- Дребезг – ложное срабатывание пороговых устройств.

- Сбой (срыв) синхронизации, проявляющийся в случае пересечения порогового уровня фронтом синхроимпульса раньше или позже заданного момента времени.

- Гонки сигналов, заключающиеся в том, что сигналы, проходящие в один и тот же момент времени на выходах схемы (или в промежуточных точках) имеют недопустимо большое временное рассогласование.

- Электрический пробой электрорадиоэлементов.

Проявления нарушений целостности сигналов характеризуются изменением временных параметров сигналов:

1. Затягивание фронтов сигнала, количественно определенное скоростью нарастания сигнала, то есть временем нарастания между верхним и нижним заданными уровнями.

2. «Звон» цепи, то есть затухающие колебания в цепи. Время, необходимое для полного затухания паразитных колебаний или ослабления их амплитуды до заданного уровня, называют временем установления сигнала. Первый импульс этих колебаний, направленный вверх на переднем (нарастающем) фронте и вниз на заднем (спадающем) фронте, называют положительным выбросом импульса (**Over-**

shoot). Аналогично определяется отрицательный выброс импульса (**Undershoot**).

Причины изменения целостности сигналов следующие:

1. Реактивные паразитные распределенные параметры (емкости, индуктивности) линий передач, приводящие к уменьшению скорости нарастания сигнала и его задержке.

2. Перекрестные искажения, заключающиеся в электромагнитном взаимодействии сигналов в двух различных электрических цепях. Одно из них – «агрессор» – является источником помех, а другое – «жертва» – принимает наведенную помеху. Как правило, обе цепи являются жертвой и агрессором по отношению друг к другу.

3. Отражение – явление возникновения эхо-сигналов в электрических цепях. Часть мощности сигнала проходит через линию передачи в нагрузку, другая часть отражается и возвращается в линию. Уровень отражения зависит от соотношения сопротивления нагрузки и импеданса линии передачи. В случае совпадения сопротивления нагрузки и импеданса линии отражение отсутствует, такой случай называется режимом идеального согласования, или согласованным режимом.

4. Электромагнитные помехи (**EMI**) - результат проявления эффектов излучения электромагнитных волн различными линиями передач сигналов, такими как кабели, проводники на платах и выводы компонентов. Конструктивные элементы печатных плат, выводы компонентов и кабели в той или иной степени излучают электромагнитные волны в эфир и, наоборот, являются чувствительными к внешним помехам. Максимальный уровень излучения на различных частотах регламентируются соответствующими правительственными органами.

Анализ целостности сигналов (**SIA - Signal Integrity Analysis**) заключается в оценке влияния конструкции спроектированной печатной платы и конструкции блока на электрические характеристики электронных средств (ЭС). Оценка этого влияния предполагается в маршруте проектирования электронного узла, в котором следующие этапы схемотехнического моделирования и разработки конструкции печатной платы разделены:

1. Моделирование электронной схемы без учета паразитных эффектов реальной печатной платы (схемотехническое моделирование).

2. Моделирование электронной схемы с учетом предполагаемых параметров проектируемой печатной платы (предтопологический этап проектирования).

3. Конструкторская разработка печатной платы.

4. Повторное моделирование ЭС с учетом конструктивных параметров платы (и, возможно, корпуса) и паразитных эффектов ее элементов (посттопологический этап проектирования).

Одной из САПР, поддерживающих решение перечисленных выше проектных задач, является система **Altium Designer**, содержащая программный модуль анализа целостности сигналов **Signal Integrity** [7, 8].

Замечательное свойство системы **Altium Designer** – функция анализа целостности сигналов на уровне проверки правил проектирования (**DRC**). В ходе проверки правил формируется список нарушений правил проектирования (наихудший случай), в том числе и нарушений правил категории **SI**. Далее следует уточнить место, где возникло нарушение. Для этого следует запустить программу анализа целостности сигнала, выбрать упомянутые в списке критичные цепи и выполнять **SI**-анализ. Программа **Signal Integrity** рассчитывает формы сигналов в узлах проводников с учетом отражений от нагрузок, а также анализ перекрестных искажений для заданных разработчиком цепей.

Затем возможно потребуется внести изменения в конструкцию (например, установив элементы согласующей нагрузки, изменив ширину проводника данной цепи и т. д.).

Еще одним примером программ, предназначенных для предтопологического и посттопологического анализа высокоскоростных печатных плат и многокристальных модулей (**MCM**), служат программные продукты **HyperLynx** компании **Mentor Graphics**.

Исследование паразитных эффектов с помощью программ **HyperLynx**, помимо вышесказанного, может проводиться с помощью сценариев «что, если», когда можно варьировать различные парамет-

ры, например зазор между проводниками, длину проводников, свойства материалов и другое, и получать результаты анализа.

Более того, имеется возможность построения пользовательской экспертной системы, которая генерирует рекомендации по устранению обнаруженных нарушений на основе общепринятой практики и/или корпоративных знаний.

2. СОЗДАНИЕ ПРОЕКТА

Все этапы процесса проектирования в САПР **Altium Designer** выполняются в среде единой интегрированной платформы **Design Explorer (DXP)**, которая запускается одновременно с любым редактором или другим программным модулем системы. Пользовательский интерфейс системы описан в [8]. Окно редактора (например, схемного - **Schematic Editor**) состоит из рабочей области, набора меню, панелей инструментов и панелей рабочей области, посредством которых выполняется основная часть работы над документами проекта. Некоторые панели будут открыты сразу после запуска системы. Например, панели **Files** и **Project** будут расположены слева от главного окна редактора. Другие панели, например **Libraries**, будут находиться справа от окна в виде кнопок (скрытые панели). И, наконец, некоторые панели, например **System**, располагаются в виде кнопок внизу окна с правой стороны. Текущие панели рабочей области доступны из меню **View > Workspace Panels**.

По желанию разработчика можно выбрать различные режимы представления панелей [8]:

Docked Mode – панель размещается вертикально или горизонтально в пределах главного окна (нажмите правую клавишу мыши (ПКМ) на заголовке панели и выберите **Allow Dock** из выпадающего меню);

Pop-out Mode – панель будет представлена кнопкой на границе рабочего окна;

Floating Mode – плавающая панель будет полупрозрачной, если её поместить в главном окне поверх зоны редактирования;

Стандартная – группировка панелей в виде вкладок (видима только одна активная);

Фрактальная группировка – несколько панелей видны одновременно.

Базовым понятием в САПР **Altium Designer** является проект. Проект – это набор документов на самостоятельное устройство, связанных между собой текстовым файлом проекта (например, файлом ***.PrjPcb** для проекта печатной платы). Файл проекта содержит ссылки и установки на файлы документов.

САПР **Altium Designer** поддерживает несколько типов проектов:

1. **PCB Project (*.PrjPcb)** – проект печатной платы.

2. **FPGA Project (*.PrjFpg)** – набор документов для программирования ПЛИС. Проект создается в виде схемы или на языке **VHDL** (либо **Verilog**). В процессе синтеза исходное описание проекта транслируется в низкоуровневое вентиляльное описание и представляется в формате **EDIF**. Далее следует использовать САПР производителя ПЛИС (например **XLS** фирмы **Xilinx**), которая размещает и трассирует проект в заданной микросхеме, формируя на выходе файл прошивки микросхемы. Далее запрограммированная ПЛИС включается в проект печатной платы в качестве обычного компонента.

3. **Integrated Library (*.IntLib** – имя файла библиотеки, ***.LibPkg** – имя файла заготовки) – интегрированная библиотека, которая содержит описания компонентов: схемный символ компонента, к которому могут быть добавлены четыре типа моделей:

Footprint – описание посадочного места компонента;

Sim – модель для **Spice**-симулятора;

Signal Integrity – **IBIS**-модель для анализа целостности сигналов;

PCB3D – трехмерная модель компонента.

Файлы, содержащие модели, добавляются в файл ***.LibPkg** или определяются пути их поиска. Затем эти описания компилируются в единый файл ***.IntLib** – интегрированную библиотеку.

4. **Embedded Project (*.PrjEmb)** – встроенный проект.

5. **Script Project (*.PrjScr)** – скрипт-проект.

Последние два типа проектов предназначены для разработки программного обеспечения в среде **Altium Designer**.

Кроме указанных выше типов проектов в системе **Altium Designer** поддерживается понятие **Design Workspace** – группа проектов, когда группируются несколько связанных между собой проектов, например несколько ячеек на печатных платах, входящих в электронный блок. Чтобы создать новую группу из открытых в данный момент проектов, нужно предварительно закрыть текущую группу проектов и затем нажать кнопку **Workspace** в верхней части панели **Projects** (или использовать команду **Save Design Workspace As** из меню **File**).

Любой проект представляется в виде дерева связанных между собой документов на панели **Projects**. Если панель **Projects** невидима, то нажмите кнопку **System** в нижней правой части рабочей области и выберите **Project** из появившегося меню. Для каждого проекта следует создавать отдельную папку. Путь к папкам рекомендуется создать на диске **C** длиной не более одного уровня. Папкам и проектам рекомендуется давать имена без пробелов и букв русского алфавита. Имена проектов типа **FPGA** и **Embedded** не должны содержать пробелов. Для добавления документа в проект следует нажать ПКМ на названии проекта и выбрать из выпадающего меню команду **Add New to Project**. Другой способ добавления документа в проект – перетаскивание документа левой клавишей мыши (ЛКМ).

Открыть документ проекта можно двойным щелчком ЛКМ по имени документа, которое имеется на дереве проекта. Каждый открытый документ имеет вкладку в верхней части основного окна, но только один из открытых документов в каждый момент является активным, а его вкладка подсвечивается.

Модифицируемые документы, проекты или группа проектов, для которых требуется сохранение, помечаются на панели звездочками рядом с их именами.

Для одновременного представления в рабочем окне нескольких документов (например, схемы и платы) применяйте команду из ПКМ-меню **Split Vertical** (или **Split Horizontal**) на вкладке документа.

3. СОЗДАНИЕ ЭЛЕКТРИЧЕСКОЙ СХЕМЫ

Рассмотрим в данном практикуме методику выполнения трех видов моделирования:

- Схемотехническое моделирование.
- Предтопологический анализ целостности сигналов.
- Посттопологический анализ целостности сигналов.

Из методических соображений рассмотрим каждый из вышеперечисленных видов анализа отдельно. Для этого создадим три папки с именами **Sum2Sim**, **Sum2SIA1**, **Sum2SIA2**. В каждой папке будет находиться один и тот же проект – двухразрядный двоичный сумматор с именами, совпадающими с именами папок. Из тех же соображений предтопологический анализ целостности сигналов рассмотрим позднее других видов анализа в разд. 7.

3.1. Создание файла проекта и листа схемы

Создадим новый проект командой

File > New > Project > PCB Project.

В результате появится панель **Project** с пустым проектом **Project1.PrjPcb**.

Сразу же сохраним файл проекта под нужным именем: **File > Save Project As >** укажем папку **Sum2Sim** и новое имя проекта **Sum2Sim.PrjPcb** и нажмем кнопку **Save**.

Далее создадим новый лист электрической принципиальной схемы командой

File > New > Schematic.

На рабочем столе появится пустой лист электрической схемы с именем **Sheet1.SchDoc**, который автоматически будет добавлен к проекту. Рекомендуется на этом шаге использовать заранее подготовленную в соответствии с ЕСКД (или импортированную) “форматку”.

Внимание! Создавая новые документы, сразу же их сохраняйте, иначе процедура компиляции для них будет недоступна.

Сохраним файл будущей схемы под именем **Sum2Sim.SchDoc**:

File > Save As > укажем папку **.../Sum2Sim >** дадим файлу имя **Sum2Sim.SchDoc > Save.**

Если файл схемы был открыт как свободный (**Free Document**), то щелкните на нем ПКМ и в появившемся меню выберите команду **Add to Project**. В результате лист электрической схемы будет добавлен к текущему проекту.

3.2. Настройка параметров листа схемы

В САПР **Altium Designer** предусмотрены 3 уровня настройки: настройка системы (рассмотрена в [8]), настройка редакторов и настройка документов.

Настройку текущего документа выполним командой **Design > Document Options**.

Выполненные здесь настройки будут относиться только к данному документу. Начнем настройку с вкладки **Units** (единицы измерений), где выберем метрическую систему.

Далее на вкладке **Sheet Options** (параметры листа) установим следующие параметры:

- **Standard Style** (стандартные размеры листа) – **A4**;
- **Orientation** (ориентация листа) – **Portrait**;
- **Snap** (шаг сетки, определяющий дискретность перемещения курсора) – **2.5 мм**. Выбранный шаг сетки согласуется со стандартным шагом выводов условных графических обозначений (УГО) компонентов (схемных символов);
- **Electrical Grid** (шаг электрической сетки) – **1 мм**. Выбранная величина определяет область захвата указателя мыши вокруг электрического объекта (вывода);
- **Visible Greed** (шаг видимой сетки) - **2.5 мм**.

Если вместо параметра **Standard Style** установить **Use Custom Style**, то появляется возможность устанавливать произвольные размеры листа.

С помощью параметра **Change System Font** можно изменить системный шрифт, который используется для надписей имен выводов компонентов (**Pin Name**) и других надписей во всем документе.

В дополнительных настройках можно установить параметры:

- **Title Block** – показывать стандартную рамку листа;
 - **Show Reference Zone** – показывать координатные зоны в виде буквенно-цифровых обозначений по границам листа;
 - **Show Template Graphics** – показывать стандартный штамп.
- Нужные настройки сохраним щелчком ЛКМ по кнопке **ОК**.

3.3. Настройка редактора принципиальных схем

Параметры настройки редактора принципиальных схем задаются командой **Tools > Preference > Schematic**.

Многочисленные настройки редактора схем размещены в 12 вкладках. На вкладке **General** (общие настройки) установим следующие параметры:

- **Drag Orthogonal** – включим флажком ортогональный режим перетаскивания. В этом режиме все проводники при перетаскивании компонентов остаются ортогональными;
- **Component Cut Wires** – поставим здесь флажок. В этом случае установка нового компонента (например, резистора) на ранее созданный проводник приводит к разрыву проводника;
- **Enable In-Place Edition** – разрешим редактирование текста надписей непосредственно на схеме;
- **Convert Cross-Junction** – выключим опцию размещения крестообразного подключения проводников;
- **Display Cross-Over** – выключим опцию отображения переходов (дуг) непересекающихся проводников;
- **Alpha Numeric Suffix** – установим значение **Numeric** – цифровой (например, **U1:1**, **U1:2**, ...), а не буквенный (**U1A**, **U1B**, ...) тип нумерации секций (**parts**) компонентов, например несвязанных логических вентилях в корпусе ИС;
- **Pin Direction** – выключим опцию показа с помощью стрелок направленности выводов компонентов;
- **Pin Margin** – установим местоположение названий (**Name=0.2 мм**) и номеров выводов (**Number=1 мм**) компонентов относительно контура условного графического обозначения (УГО) компонента;
- **Auto-Increment During Placement** – установим значение **Primary=1** и **Secondary=1** инкремента счетчика автоматической нумерации компонентов, цепей при их установке.

Остальные значения параметров редактора схем оставим по умолчанию.

Вкладка **Graphical Editing** содержит параметры редактирования объектов электрической схемы.

На вкладке **Mouse Wheel Configuration** задается функциональность клавиши мыши.

На вкладке **Compiler** можно установить цвета ошибок и предупреждений при компиляции, а также функцию **Auto-Junction** – автоматическую установку точки присоединения цепей и шин.

Более подробно вкладки и настроечные параметры описаны в [8].

3.4. Создание и подключение форматки

Включенные в систему **Altium Designer** стандартные форматки не соответствуют требованиям ЕСКД. Поэтому необходимо создать новый набор форматок.

Разработка форматки выполняется в 4 этапа.

Формирование графической части форматки выполняется с помощью меню **Utils > Drawing Tools**. Обратите внимание на порядок работы с командами размещения объектов (в том числе линий). Выбираем команду, например **Place Line**, затем нажимаем на клавиатуре клавишу **Tab**. При этом появляется возможность задать параметры размещенного объекта – в данном случае линии: толщину линии и т.д. Далее нажимаем кнопку **OK** и рисуем линию. Нажатие ЛКМ фиксирует конец отрезка, нажатие ПКМ – завершает рисование линии. Для упрощения последующего редактирования ломаную линию лучше создавать как совокупность независимых вертикальных и горизонтальных отрезков.

Размещение постоянных текстовых надписей (разраб., пров., ...) выполняется командой **Utils > Drawing Tools > Place Text String**.

Создание параметров форматки

Создание параметров, обладающих свойствами автозаполнения, таких как конкретные фамилии разработчика и других, выполняем следующим образом:

Выбираем команду **Design > Document Options > Parameters**.

Создаем пользовательские параметры кнопкой **Add** и в выпадающем окне в поле **Name** напишем **Razrabortal** (здесь можно вводить только английские буквы; точку использовать запрещено). Аналогично заполняем остальные поля. Затем выходим из окна **Document Options**, выбираем инструмент **Place Text**, нажимаем клавишу **Tab**. В графе **Text** в выпадающем меню находим атрибут «=**Razrabortal**», выбираем его ЛКМ, нажимаем **OK** и устанавливаем в соответствующую ячейку штампа. Аналогично устанавливаем остальные атрибуты. Для атрибутов **Название** и **Обозначение** выбираем более крупный шрифт **20**.

Далее сохраняем форматку командой **File > Save As**. В появившемся выпадающем окне пишем формат **A4** и указываем тип файла – шаблон: **Advanced Schematic Template (*.SchDoc)**.

И, наконец, закрываем файл: нажимаем ПКМ на названии документа в панели **File** и выбираем **Close**.

Подключение форматки

Подключение форматки к открытому документу выполняется командой

Design > Templete > Set Templete File Name > выбрать форматку с именем **A4**.

В выпадающем окне **Update Templete** включим опции:

- **Just This Document** – применить форматку только к текущему документу;

- **Add new parameters that exist in the templete only** – добавить новые параметры, не меняя значения и положения существующих.

Заключительное действие – выберем команду **Design > Document Options** и на вкладке **Parameters** для всех атрибутов впишем их истинные значения (конкретные фамилии и т.д.).

3.5. Подключение библиотек компонентов

Перед формированием схемы необходимо подключить библиотеки, в которых находятся компоненты схемы. В САПР **Altium Designer** включены библиотеки разных производителей элементной базы, ко-

торые содержат тысячи компонентов, поэтому найти нужный компонент бывает непросто.

Для поиска компонентов и подключения библиотек служит панель управления библиотеками **Libraries**, которая вызывается выбором вкладки в правой части окна **Design Explorer**. Если вкладка отсутствует, то панель можно вызвать через меню **View > Workspace Panels > System > Library** или через меню вызова панелей **System > Libraries**, расположенном в правом нижнем углу рабочего окна.

В верхней части окна панели имеются 3 вкладки:

Project – библиотеки проекта;

Installed – установленные библиотеки;

Search Path – поисковая система.

Там же в верхней части окна находится строка поиска, в которую вводится имя компонента или часть имени с добавлением специальных знаков:

* - произвольное количество неопределенных символов;

? - один неопределенный символ.

Для поиска компонентов ко всем доступным библиотекам независимо от того, подключены они или нет, служит кнопка **Search** панели **Libraries**.

В открывшемся окне выбираем:

Search In – критерии поиска: искать компонент, ТПМ, ... ;

Scope – область поиска;

Include Subdirectories – включать или не включать поиск во вложенных папках;

File Mask – установить маску на тип файла.

Поисковая система поддерживает так же сложные текстовые запросы, которые можно формировать после нажатия кнопки **Advanced**.

Пусть для нашего учебного проекта известны имена компонентов (интегральных схем).

Включим систему поиска нажатием кнопки **Search** (или выполним команду **Tools > Find Component**).

В появившемся диалоговом окне **Search Libraries** на вкладке

Search в поле **Scope** (область действия) включим опцию **Libraries on Path**, в поле **Path** укажем папки, где нужно искать элементы:

E:/Altium2004/Library/Texas Instruments.

Переключатель **Include Subirectories** должен быть выключен.

В поле **Search Criteria** включим опцию **Name** (будем искать элементы по имени), в текстовое поле справа впишем в качестве фильтра поиска имя интегральной схемы **SN74F32D**. Запустим процесс поиска нажатием на кнопку **Search**. На вкладке **Results** получим описание нужной ИС. Подключим библиотеку к системе **Altium Designer** нажатием на кнопку **Install Library**. Закроем окно поиска нажатием на кнопку **Close**. Подключенную библиотеку увидим в выпадающем списке на панели управления библиотеками. Убедимся, что библиотека содержит три нужные нам ИС малой степени интеграции:

SN74F32D TI Logic Gate2 Quadruple 2-Input Positive OR Gate;

SN74F08D TI Logic Gate2 Quadruple 2-Input Positive AND Gate;

SN74LS86D TI Logic Gate2 Quadruple 2-Input Exclusive OR Gate,

выполненные в корпусах с планарными выводами.

Убедимся, что все 3 типа ИС имеют **SPICE**-модели, **SI**-модели и **FootPrint**-модели.

В заключение заметим, что удобный вариант – когда предварительно созданные интегрированные библиотеки [8].

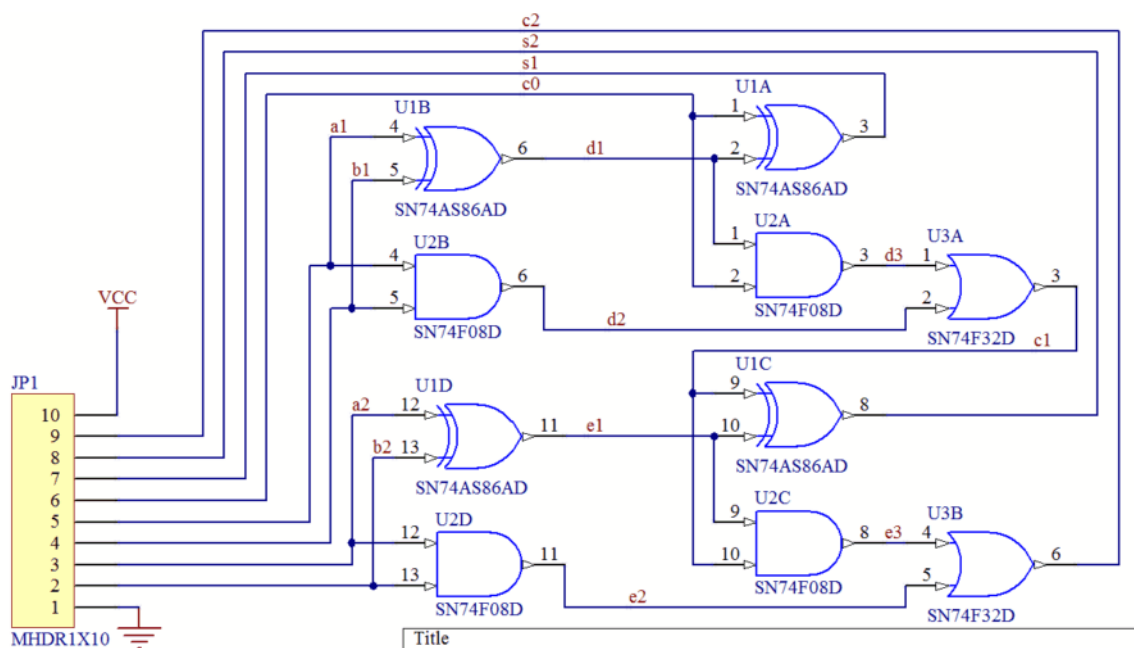
3.6. Формирование электрической схемы

Инструменты формирования электрической схемы сгруппированы в панели инструментов **Wiring**. Проверим величину шага сетки **Snap Grid** (горячая клавиша **G**), которая должна быть кратной **2.5 мм**. При необходимости можно изменить величину шага сетки командой **View > Grid > Set Snap Grid**.

Формирование электрической схемы сумматора

Отыскиваем в подключенной библиотеке поочередно каждую из 3

перечисленных выше ИС и после нажатия кнопки **Place** в верхней части панели управления библиотеками размещаем интегральные схемы в соответствии со схемой сумматора, приведенной на рис. 3.1.



Электрическая схема сумматора

Внимание! Типичная ошибка: пользователь пытается перенести элемент из библиотеки на лист схемы используя технологию **drag-and-drop**, а следует обязательно использовать кнопку **Place**.

Прежде чем зафиксировать компонент на плате, нажмем клавишу **Tab**. В результате появится окно **Component Properties**, в котором информация о компоненте разбита на группы:

- **Properties** – основные свойства компонента: **Designator** – позиционное обозначение; **Comment** – название компонента.

- **Library Link** – ссылка на соответствующий библиотечный элемент.

- **Graphical** – параметры графического изображения: **Orientation** – ориентация; **Show All Pins...** – показать все выводы компонента, включая скрытые; **Mode** – параметры режима отображения, например нормальное или зеркальное отображение.

- **Parameters** – атрибуты компонента: здесь фиксируется информация, которая потребуется при формировании текстовой части конструкторских документов.

- **Models** – модели компонента.
- **Edit Pins** – таблица выводов компонента.

Введем необходимые данные в описание компонента и закроем окно кнопкой **ОК**. Далее перед фиксацией компонента на листе схемы можно повернуть компонент (горячая клавиша **Space**), отобразить его зеркально (клавиши **X** или **Y**).

После размещения микросхем найдем в подключенной по умолчанию библиотеке **Miscellaneous Device.IntLib** 10-контактный соединитель с именем **MHDR1x10** и разместим его на схеме. Соединим элементы электрическими цепями (команда **Place > Wire**). Электрическая сетка облегчает привязку цепи к электрическим объектам: при захвате цепи электрическим объектом, например выводом элемента, курсор принимает вид красного креста. Для завершения рисования проводника нажмем ПКМ (или клавишу **Esc**).

В процессе рисования цепей можно клавишами **Shift + Space** выбирать один из 4 режимов рисования: 90° , 45° , произвольный угол и режим **Auto Wire** (соединение двух выбранных точек по оптимальному маршруту). У режимов 90° и 45° есть два подрежима, которые переключаются клавишей **Space**.

При необходимости перемещения изображения документа по экрану возможно применение нескольких приемов:

- Стандартная полоса прокрутки.
- Колесом прокрутки (**Scroll**) изображение перемещается вверх-вниз (при нажатой клавише **Shift** влево-вправо).
 - Перетаскивание изображения ПКМ.
 - С помощью команд меню **View**.

Масштабировать изображение можно с помощью колеса прокрутки (**Scroll**) при нажатой клавише **Ctrl**, а также клавишами **Page Up** и **Page Down**.

Присвоим каждой электрической цепи имя (метку) в соответствии со схемой (см. рисунок) командой **Place > Net Label**, при этом пользуемся клавишей **Tab**.

Цепи электропитания и «земли» можно не рисовать. В этом случае подсоединим к контактам соединителя цепи **VCC** и **GND**. Соответствующие значки возьмем на инструментальной панели вверху рабочего окна схемного редактора. Но при этом нужно проверить, что скрытые выводы цепей питания ИС имеют такие же имена **VCC** и

GND. Для этого двойным щелчком мыши по символу элементов нужно открыть окно параметров элементов.

Следующий шаг – расстановка позиционных обозначений (автоматическая нумерация) компонентов схемы, которая выполняется командой **Tools > Annotate Schematic**. Выполнение команды приводит к появлению окна **Annotate**. В левом верхнем углу окна зададим **Down then Across** – направление нумерации, соответствующее ЕСКД. Далее при наличии неоднородных ИС (т.е. содержащих секции разного типа) зафиксируем номера их секций ПКМ > **Lock Selected Part ID**.

Если нужно исправить нумерацию только повторяющихся компонентов, то установим в окне **Annotate** флажок **Reset Duplicates**. Затем нажмем кнопку **Update Change List**. В таблице **Proposed Change List** будет показана новая нумерация. Если вас устраивает предложенное решение, то нажмите **Accept Change**. Далее в появившемся окне **Engineering Change Order** нажмем последовательно кнопки **Validate Changes, Execute Changes** и **Close**.

Сохраним схему командой **File > Save**.

3.7. Компиляция проекта

В процессе компиляции обнаруживаются нарушения, ошибки в проекте (верификация проекта), создается отчет о корректности проекта, найденные нарушения помечаются на схеме и сопровождаются комментариями об их природе. Результат компиляции – отлаженный файл проекта, готовый к проектированию печатной платы. Процесс компиляции состоит из следующих этапов:

1-й этап. Настройка параметров проекта (схемы), которая заключается в задании правил проверки схемы (**ERC – Electrical Rule Check**).

Командой **Project >Project Options** создается окно **Options for Project**, в котором имеются следующие вкладки:

Вкладка Error Reporting

Во вкладке **Error Reporting** указано большинство возможных ошибок, связанных с построением проекта.

Разработчик может установить один из четырех уровней нарушения:

- **Fatal Error** – фатальная ошибка;
- **Error** – существенная ошибка;
- **Warning** – предупреждение;
- **No Report** – нарушения исключить из отчета.

Все типы нарушений разбиты на следующие группы.

Violations Associated with Buses – нарушения, связанные с шинами. Например, **Bus indices out of range** – номер цепи выходит за пределы установленного диапазона цепей шины.

Violations Associated with Components – нарушения, связанные с компонентами. Например, **Components with duplicate pins** – имеются одноименные обозначения выводов компонентов.

Violations Associated with Configuration Constrains – нарушения ограничений конфигурации. Для нашего проекта можно установить уровень **No Report**, так как эти нарушения относятся в основном к проектам ПЛИС или проектам, содержащим ПЛИС.

Violations Associated with Documents – нарушения, связанные с документами. Например, **Sheet Entry not linked to child sheet** – вывод главного листа схемы не имеет ответной части на одной из дочерних схем.

Violations Associated with Harnesses – нарушения, связанные со жгутами. Наш проект не содержит жгутов, поэтому установим уровень **No Report**.

Violations Associated with Nets – нарушения, связанные с цепями. Например, **Net with only one pin** – цепь имеет только один вывод.

Violations Associated with Others, Violations Associated with Parameters – нарушения, связанные с параметрами. Например, **Object not completely sheet boundaries** – имеются объекты, неполностью попавшие в границы листа.

Вкладка Connection Matrix

Здесь задаются правила проверки электрических соединений: какие соединения допустимы, какие нет. Например на пересечении столбца с именем **Output Pin** и строки с таким же именем следует указать высокий уровень критичности (красный цвет).

Если нужно сигнализировать о присутствии в схеме ненагруженных входных выводов (столбец **Unconnected** и строка **Input Pin**), то

следует установить уровень критичности предупреждения (желтый цвет).

Вкладка Comparator

Вкладка **Comparator** содержит параметры настройки компаратора. Компаратор – программный модуль, реализующий механизм **ECO (Engineering Change Order)** – отслеживание внесенных в проект изменений. Компаратор сравнивает схему и плату и генерирует перечень отличий. Список проверяемых отличий содержится на данной вкладке.

Вкладка ECO Generation

Эта вкладка предназначена для настройки отчета о перечне изменений. Здесь можно указать, какие изменения следует включать в отчет. По умолчанию в отчет включены все виды изменений.

Для проекта, содержащего только схему, достаточно установить настройки первых двух вкладок.

2-й этап. Выполним компиляцию проекта командой **Project > Compile PCB Project.**

Результаты компиляции будут показаны на панели **Compiled**, где будут описаны компоненты, цепи, выводы и др. Обнаруженные нарушения будут указаны на панели **Messages**. Двойным щелчком мыши на строке с ошибкой компиляции можно вызвать панель **Compile Errors** с подробным описанием ошибки.

Двойной щелчок на значке (например, вывода) приведет к появлению наглядного изображения этого элемента на схеме, остальная часть схемы будет маскирована. Уровень маскирования можно регулировать с помощью движка в правом нижнем углу окна редактора схем.

Щелчок в любой точке схемы приводит к переходу в режим редактирования схемы.

Для нашего проекта (сумматора) после компиляции в окне **Messages** появятся сообщения:

Adding items to hidden net GND – добавлены соединения к скрытой цепи **GND**;

Component U2 SN74F32D has unused sub-part (1) – компонент **U2** имеет неиспользованный логический элемент;

Net C0 has no driving source – у цепи **C0** отсутствует источник сигнала.

Примем к сведению эти сообщения компилятора.

3-й этап - один из наиболее сложных: отладка схемы.

Необходимо добиться, чтобы в списке нарушений в окне **Messages** не осталось ни одной ошибки (**Fatal Error** и **Error**). Рекомендуется отладку выполнять постепенно: исправить ошибку и снова провести компиляцию. Затем следует исправить следующую ошибку и т.д.

Отладив наш учебный проект, сохраним схему трижды в папки **Sum2Sim**, **Sum2SIA1** и **Sum2SIA2** под именами, совпадающими с именами папок.

4. СХЕМОТЕХНИЧЕСКОЕ МОДЕЛИРОВАНИЕ

4.1. Подготовка проекта к схемотехническому моделированию

САПР **Altium Designer** содержит в своём составе широко известную, ставшую классикой систему схемотехнического моделирования (симулятор) **SPICE** (точнее, одну из его модификаций), который может обрабатывать схемы, содержащие как аналоговые компоненты, так и цифровые.

Симулятор может выполнить следующие виды анализа.

Operating Point Analysis – расчет режима работы компонента по постоянному току (расчет «рабочей точки»). Этот вид анализа выполняется автоматически совместно с частотным анализом и анализом переходных процессов.

Transient Analysis – анализ переходных процессов. Результат анализа выводится в виде временных диаграмм.

Fourier Analysis – спектральный анализ проводится совместно с анализом переходных процессов. Расчет производится для последнего такта входных сигналов. Результаты спектрального анализа выводятся в виде спектра сигналов, а также в текстовом виде (файл **.Sim**), где указываются для каждой гармоники её номер (**Harmonic**), частота (**Fre-**

quency), амплитуда (**Magnitude**) и фаза (**Phase**), а также значение коэффициента нелинейных искажений.

AC Small Signal Analysis – частотный анализ в режиме малого сигнала. Для моделирования используют независимые источники гармонического сигнала (генераторы синусоидального напряжения). Результаты AC-анализа выводятся на экран в виде амплитудно-частотной характеристики (АЧХ).

DC Sweep Analysis – анализ схемы при изменяющемся постоянном напряжении. В процессе анализа производится последовательный расчет серии рабочих точек при изменении значения напряжения выбранного (**Primary**) источника постоянного напряжения с заданным шагом и строится соответствующая характеристика. Имеется также возможность изменять одновременно второй (**Secondary**) источник – в этом случае строится семейство характеристик.

Noise Analysis – расчет спектральной плотности внутреннего шума. Рассчитанный общий выходной шум равен сумме шумов резисторов и полупроводниковых устройств с учетом коэффициента усиления. Конденсаторы и катушки индуктивности считаются идеальными.

Transfer Function Analysis – анализ передаточных функций. В процессе анализа рассчитываются коэффициент усиления по постоянному току, входные и выходные сопротивления.

Parameter Sweep – параметрический анализ (анализ чувствительности). Применяется для оценки влияния изменения того или иного параметра на работу схемы. В данном режиме можно изменять (с заданным шагом и в заданных пределах) параметры только базовых компонентов схемы (но не параметры подсхем). Программа анализа позволяет варьировать независимо два параметра.

Temperature Sweep – свипирование температуры. Это специальный вид параметрического анализа, когда схема анализируется в заданном диапазоне температур. Этот режим может использоваться в сочетании с анализом переходных процессов и частотным анализом.

Monte Carlo Analysis – статистический анализ методом Монте-Карло. Этот вид анализа позволяет оценить влияние разброса параметров

компонентов на работу схемы. При проведении анализа выполняются статистические испытания, в процессе которых заданные параметры компонентов принимают случайные значения в заданных пределах. Статистический анализ может использоваться в сочетании с анализом переходных процессов и частотным анализом.

При подготовке схемы к моделированию следует проверить, подключены ли нужные библиотеки компонентов, содержат ли библиотечные компоненты схемы математические **SIM**-модели, и в случае отсутствия подключить их.

Для проведения моделирования необходимо задать напряжение питания и нужные источники сигналов из следующего перечня:

VSRC и **ISRC** – источники постоянного напряжения и тока;

VPULSE и **IPULSE** – источники периодического импульсного напряжения и тока;

VSIN и **ISIN** – источники напряжения и тока синусоидальной формы;

VPWL и **IPWL** – источники напряжения и тока произвольной формы.

Кроме того, имеется возможность задать сигналы сложной формы, такие как пачки импульсов, модулированные сигналы треугольной и пилообразной форм и др. [8].

Источники сигналов находятся в стандартных библиотеках, поставляемых с системой **Altium Designer**, по адресу: ...**Altium Designer** **Library** **Simulation** **Simulation Source.IntLib**. Некоторые из них можно взять из панели в верхней части рабочего окна.

Выбрав нужный сигнал, следует задать числовые значения его параметров (амплитуду, частоту и т.д.).

Внимание! При задании числовых значений параметров сигнала (так же, как и числовых значений параметров компонентов) недопустимо наличие пробелов между цифровой частью и буквенным множителем, например 20mA или 100K.

Кроме того, следует также учесть следующие рекомендации:

- Исключите из схемы компоненты, не имеющие математических **SIM**-моделей, такие как соединители, элементы коммутации и т.п.
- Исключите из схемы функциональные узлы, которые не влияют

на результаты моделирования или которые можно заменить источником сигналов или постоянных напряжений, например генераторы тактовых частот, источники и стабилизаторы напряжений питания и, т.п.

- При необходимости добавьте цепи внешней коммутации схемы, например цепи, подключаемые к разъему для проверки схемы и т.п.

- Цепям питания присвойте стандартные имена (обычно **VCC**, **GND**) и проверьте соответствие их именам на скрытых выводах микросхем.

- Присвойте уникальные и понятные имена электрическим цепям (метки целей), сигналы в которых вы хотите увидеть и оценить в процессе моделирования.

Подготовка к моделированию схемы проекта Sum2Sim

Прежде всего проверим, содержат ли **Sim**-модели компоненты (микросхемы) электрической схемы проекта **Sum2Sim** (двойным щелчком ЛКМ по схемному символу каждого компонента). Присвоим цепям питания стандартные имена **VCC** и **GND** (если это не было сделано раньше). Проверим, что именно эти имена присвоены скрытым выводам питания микросхемы (двойной щелчок ЛКМ на схемном символе каждой микросхемы, затем нажмем кнопку **Edit Pins**).

Подсоединим к цепям питания соответствующие символы **VCC** и **GND**, взяв их из панели в верхней части рабочего окна.

Имена остальным электрическим цепям (метки цепей) схемы проекта **Sum2Sim** были присвоены ранее при формировании схемы (п. 3.6).

Удалим соединитель (разъем) и ненужные фрагменты электрических цепей щелчком ЛКМ и нажатием клавиши **DEL**.

Для электропитания схемы возьмём источник напряжения **VSRC** из панели в верхней части рабочего окна. Нажмем клавишу **TAB** и установим величину напряжения **+5В** в свойствах компонента **Component Properties** для значения параметра **Value**. Остальные значения параметров источника оставим такими, какие были заданы по умолчанию.

Установим символ источника напряжения в удобном месте и подсоединим к нему символы **VCC** и **GND**.

В результате электрическая схема примет вид, показанный на рис. 4.1.

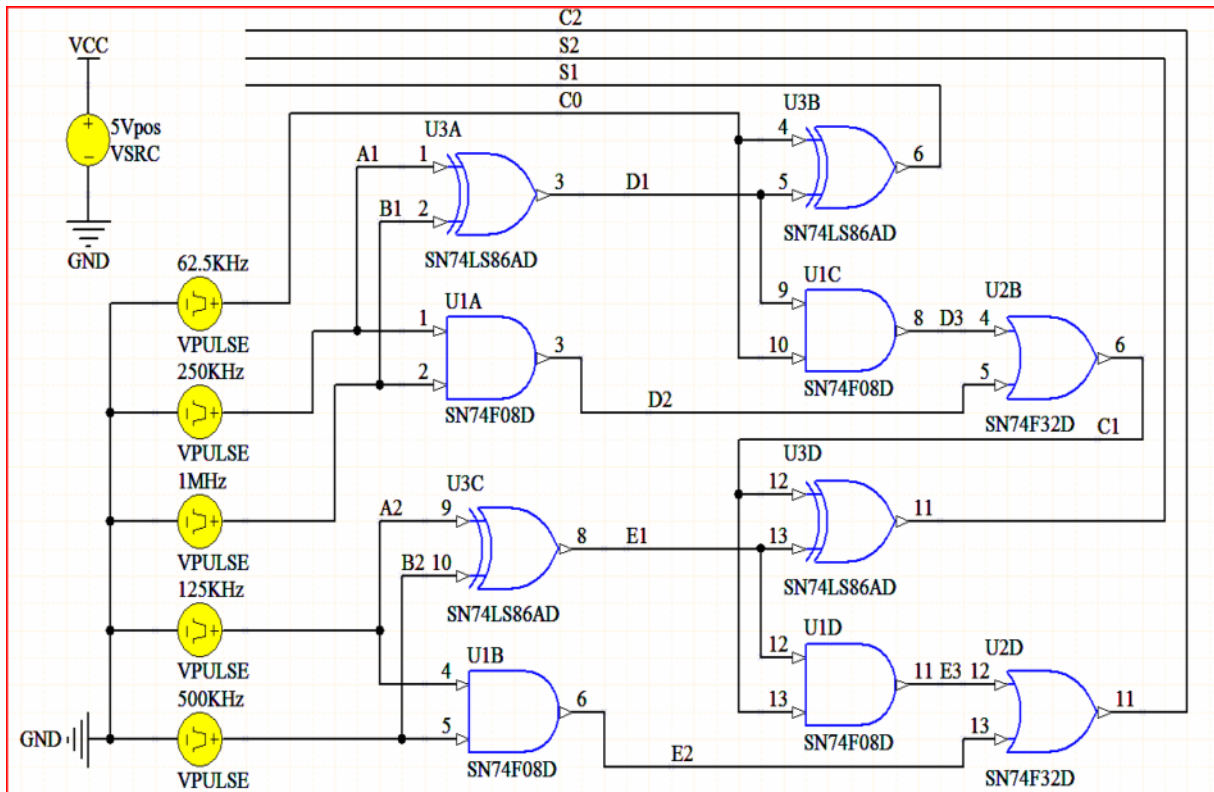


Рис. 4.1. Подготовленная к моделированию электрическая схема

4.2. Выполнение схемотехнического моделирования

При подготовке к моделированию (п. 4.1) на схеме не были установлены источники сигналов, так как вид этих источников зависит от вида и целей анализа схемы.

Пусть для схемы проекта **Sum2Sim** были поставлены следующие цели моделирования:

- Верификация схемы, т.е. проверка правильности функционирования проектируемого устройства.
- Спектральный анализ сигналов.
- Влияние изменения температурного режима на работу устройства.

Соответственно будем использовать следующие виды анализа:

Transient Analysis – анализ переходных процессов;

Fourier Analysis – спектральный анализ;

Temperature Sweep – свипирование температуры.

Одновременно с этими видами анализа симулятор обязательно будет выполнять расчет режима по постоянному току: **Operating Point Analysis**.

Проект **Sum2Sim** (двухразрядный сумматор) – является цифровым устройством, поэтому будет подавать ему на входы тестовые сигналы прямоугольной формы. Для того чтобы проверить различные возможные ситуации на входе (разные значения складываемых 2-разрядных чисел), частоты этих сигналов зададим следующим образом: если, например, частота старшего разряда одного из чисел равна f , то на других входах сигналы будут иметь значения $2f, 4f, \dots$.

Начнем с сигнала **B1**. На панели в верхней части рабочего окна возьмём символ источника периодического импульсного напряжения **VPULSE**, нажмем клавишу **TAB**, в результате появится окно **Component Properties**. Если символ источника сигнала был ранее установлен в схему, то окно **Component Properties** вызываем двойным щелчком ЛКМ по символу источника сигнала. В окне **Component Properties** вводим имя сигнала **1 МГц**. Затем вызываем окно **Sim Model** двойным щелчком ЛКМ по слову **Simulation**, в котором на вкладке **Parameters** устанавливаем нижеперечисленные значения параметров сигнала **B1**:

Value = 5 – амплитуда сигнала;

Initial Value = 0 – начальная величина напряжения;

Pulsed Value = 5 – максимальная величина напряжения в вольтах;

Time Delay = 0 – начало переднего фронта импульса;

Rise Time = 1n – длительность переднего фронта импульса в наносекундах;

Fail Time = 1n – длительность заднего фронта импульса;

Pulse Width = 0.5u – длительность импульса в микросекундах;

Period = 1u – период повторения импульса.

Аналогично установим параметры остальных сигналов.

Для цепи **B2** установим имя сигнала – **500 кГц**;

Rise Time = 1n;

Fail Time = 1n;

Pulse Width = 1u;

Period = 2u.

Для цепи **A1** установим имя сигнала – **250 кГц**;
Rise Time = 1n; **Fail Time = 1n;**
Pulse Width = 2u; **Period = 4u.**

Для цепи **A2** установим имя сигнала – **125 кГц**;
Rise Time = 1n; **Fail Time = 1n;**
Pulse Width = 4u; **Period = 8u.**

Для цепи **C0** установим имя сигнала – **62.5 кГц**;
Rise Time = 1n; **Fail Time = 1n;**
Pulse Width = 8u; **Period = 16u.**

Следующий шаг – настройка симулятора. Для настроек и запуска программы моделирования используется панель **Mixed Sim**, которая по умолчанию скрыта.

Для вызова этой панели щелкаем ЛКМ в любом месте меню и выбираем **Mixed Sim** из списка.

Панель **Mixed Sim** содержит 3 кнопки:

- **Run Mixed-Signal Simulation** – запуск процесса моделирования (можно использовать “горячую” клавишу **F9**);
- **Setup Mixed Signal Simulation** – настройка программы моделирования;
- **Generate XSpice Netlist** – формирование списка цепей схемы, которое сопровождается проверкой схемы.

Начнем с команды **Generate XSpice Netlist**, после запуска которой в окне **Messages** появятся сообщения об ошибках в схеме, таких как отсутствие **Sim**-моделей у компонентов, не подключены источники питания и т.п.

После исправления ошибок нажмем кнопку **Setup Mixed Signal Simulation**, после чего появится диалоговое окно **Analysis Setup**. Это же окно можно вызвать через меню командой **Design > Simulate > Mixed Sim**.

В диалоговом окне **Analysis Setup** укажем необходимые виды анализа:

- **Operating Point Analysis** – расчет режима по постоянному току;
- **Transient/Fourier Analysis** – анализ переходных процессов и спектральный анализ.

Сви́пирование температуры выполним позже после успешного завершения анализа переходных процессов.

Поле **Collect Data For** определяет вариант сохранения данных о схемных переменных. Для получения минимального размера файла результатов моделирования выбираем вариант **Active Signals**, т.е. сохранить информацию только о сигналах, которые мы внесем в панель **Active Signals**.

Полный перечень всех доступных сигналов приведен в окне **Available Signals**, где используются следующие обозначения:

branch – ток через источник напряжения;

[**i**] – ток через двухполюсной компонент;

[**p**] – рассеиваемая мощность;

[**z**] – модуль комплексного сопротивления.

Путем нажатия кнопок “>”, “<” перенесем в окно **Active Signals** сигналы, которые мы хотим увидеть на временных диаграммах, полученных в результатах анализа.

В поле **Sheet to Netlist** установим **Active project**.

В поле **Sim View Setup** выберем **Show active signals**.

Кнопка **Preferences** предназначена для настройки параметров алгоритмов программы моделирования. Изменять эти параметры рекомендуется только опытным пользователям.

Следующий шаг – задание параметров режима **Transient Analysis**. Для этого щёлкнем ЛКМ по имени этого анализа в окне **Analysis Options**. В результате появится окно **Transient Analysis Setup**, в котором установим следующие параметры анализа переходных процессов:

- **Start Time = 0** – начальное время отображения результатов моделирования;

- **Stop Time = 15u** – конечное время моделирования;

- **Step Time = 1n** – величина начального шага по времени. В процессе моделирования величина текущего шага выбирается автоматически, но не более чем **Maximum Step**;

- **Maximum Step = 1n** – максимальный шаг по времени. По умолчанию он выбирается равным меньшей из величин: **Step Time** и $(\text{Stop Time} - \text{Start Time})/50$;

- **Use Initial Conditions** – использовать начальные условия не будем.

Заметим, что симулятор имеет возможность автоматической настройки перечисленных выше параметров. Для такого режима сле-

дует включить опцию **Use Transient Defaults**. Затем нужно задать параметры:

Cycles Displayed – число отображаемых периодов имеющегося источника сигнала с наименьшей частотой;

Points per Cycle – минимальное число расчетных точек на одном периоде сигнала с наивысшей частотой.

Далее для утверждения введенных параметров следует нажать кнопки **Set Default** и **Ok**.

В режиме **Advanced Options** (опция находится внизу списка видов анализа в окне **Analysis Setup**) можно установить метод численного интегрирования дифференциальных уравнений, описывающих электрическую схему. По умолчанию задан метод трапеций (**Trapezoidal**). Можно установить также метод Гира порядка 2 - 6 (**Gear 2...6**), предназначенный для анализа широкополосных устройств, имеющих значительно отличающиеся граничные частоты, а также для генераторов и для схем, имеющих обратные связи.

После установки параметров моделирования запустим процесс моделирования командой **Run Mixed Signal Simulating**. В результате (при отсутствии ошибок) получим временные диаграммы, приведённые на рис. 4.2.

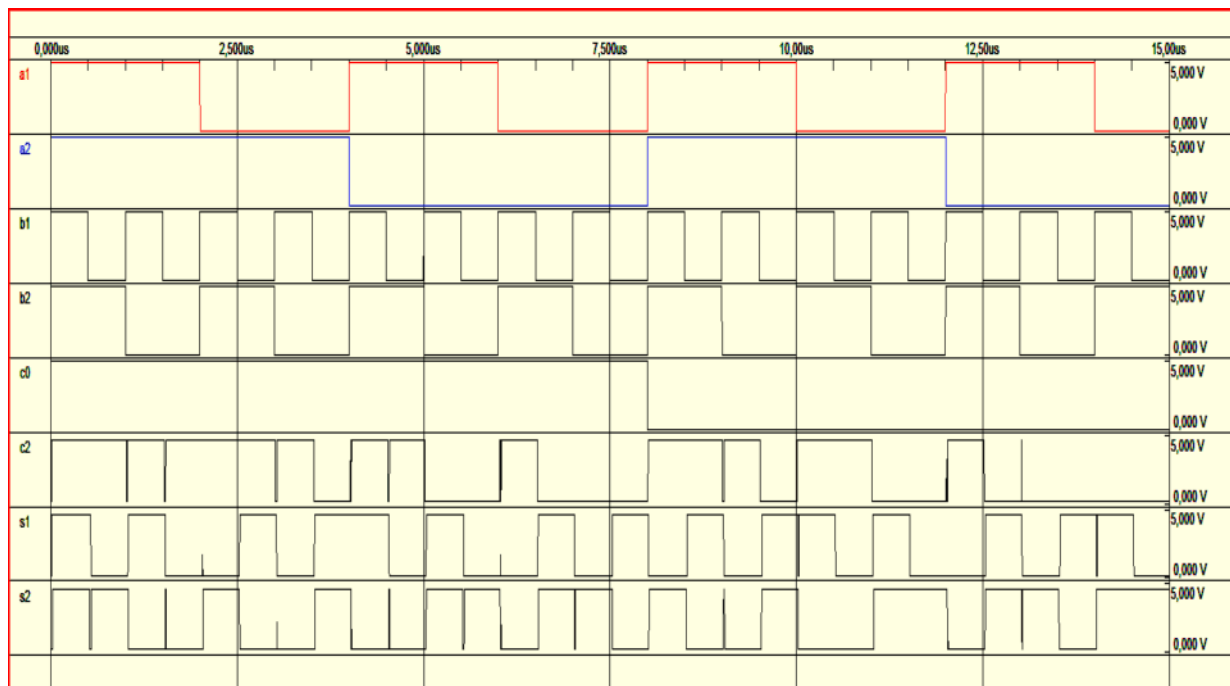


Рис. 4.2. Результаты схемотехнического моделирования

По временным диаграммам можно проверить правильность работы сумматора, выбирая различные временные точки. Например, выбрав точку $t=0.5 \text{ us}$, определим, что при значении первого слагаемого $A=(1 \ 0)$, второго $B=(1 \ 1)$ получим сумму $S=(1 \ 0)$ и единицу в цепи переноса $C2$. Таким образом, сложение двоичных чисел A и B выполнено правильно.

При визуальном анализе результатов моделирования можно оценить также отличие формы сигналов от идеальной, ложные срабатывания логических элементов в результате гонок сигналов (риски сбоя) и др. Для обработки результатов моделирования симулятор имеет богатый набор инструментов.

Обработка результатов моделирования

Если одновременно выполняются несколько видов анализа, то результаты каждого из них отображаются в отдельном окне. Для выбора нужного окна следует щёлкнуть ЛКМ по соответствующей вкладке, расположенной в нижней части окна.

Для управления окном можно использовать следующие способы:

- команды главного меню симулятора;
- манипуляция мышью с определёнными областями окна;
- контекстное меню (ПКМ);
- панель **Sim Data** (включается кнопкой **Sim Data** в правом нижнем углу окна симулятора).

Например, для масштабирования графиков можно курсором выделить рамкой нужную область, которая будет растянута на все окно.

Восстановить масштаб на оси X можно следующими способами:

- нажать ЛКМ соответствующую пиктограмму в главном меню симулятора;

- ввести команду **View > Fit Document**;

- выбрать команду **Fit Document** в контекстном меню.

На панели **Sim Data** после щелчка ЛКМ по имени нужного сигнала появится информация о верхнем уровне импульса, времени нарастания переднего фронта и др.

Более подробно обработка результатов моделирования (в том числе и математическая) рассмотрена в [7, 8].

Спектральный анализ

Спектральный анализ выполняется совместно с анализом переходных процессов, если включена опция **Transient Analysis** в окне **Analysis Setup**. В этом же окне необходимо включить опцию **Enable Fourier** и указать параметры спектрального анализа:

Fourier Fundamental Frequency – частота первой гармоники;

Harmonics – количество рассчитываемых гармоник.

Заметим, что эти результаты выводятся также и в текстовом виде в файле **.SIM**, где указываются номер (**Harmonic**), частота (**Frequency**), амплитуда (**Magnitude**) и фаза (**Phase**) каждой гармоники, а также значение коэффициента нелинейных искажений (**EPB**).

Сви́пирование температуры

Это вид анализа выполняется одновременно с анализом переходных процессов, но необходимо включить в окне **Analysis Setup** дополнительную опцию **Temperature Sweep** и задать параметры этого вида анализа:

- диапазон температур **Start Temperature** и **Stop Temperature**;
- шаг **Step Temperature**.

5. ТОПОЛОГИЧЕСКОЕ ПРОЕКТИРОВАНИЕ

5.1. Работа в среде редактора печатных плат

Редактор печатных плат предназначен для создания, редактирования и тестирования печатных плат, генерации файлов для изготовления фотошаблонов. Все эти проектные задачи решаются при высокой точности размеров: абсолютное разрешение на чертеже составляет **0,001 mil (0,000025 мм)** при максимально допустимом размере чертежа **100×100 дюймов (2,54×2,54 м)**.

Для перемещения по чертежу можно использовать браузер **Mini Viewer** (прямоугольник из пунктирных линий **Zoom Box** показывает поле просмотра) путем его перетаскивания с помощью ЛКМ. Щелчком ЛКМ по кнопке **Magnifier** возможно осуществить перемещение курсора в вид лупы с изменением степени увеличения клавишей **Space Bar** (три возможных значения).

Панорамирование чертежа возможно выполнять с помощью четырех стрелок клавиатуры (дискретность перемещения – 1 шаг сетки **Snap**). Дискретность можно увеличить в 10 раз, если применять стрелки совместно с клавишей **Shift**.

Когда указатель мыши (в виде перекрестия) уходит за границы платы, происходит автоматическое панорамирование.

Другой способ выполнять панорамирование – применить инструмент **Slider Hand**, который активизируется, если нажать и не отпускать ПКМ, после чего изображение в окне можно передвинуть.

Просмотреть чертеж можно с помощью команд меню **View**:

View > Fit document;

View > Fit Board – в окно выводится плата;

View > Area – новая область просмотра задается окном охвата;

View > Around Point – окно вокруг заданной точки;

View > Zoom In (или клавиша **Page Up**) – увеличение масштаба;

View > Zoom Out (или клавиша **Page Down**) – уменьшение масштаба;

View > Pan (Home) – центровка изображения относительно указателя мыши.

Чтобы использовать более мелкий шаг для приближения или удаления изображения, применяйте клавиши **Page Up** и **Page Down** совместно с клавишей **Shift**.

Для перемещения в заданную точку чертежа выберете команду **Edit > Jump** (горячая клавиша **J**). Затем укажите нужный объект из следующего списка:

- **Component** – нужный компонент (выбираем из списка; при выборе компонента информация о нем появляется в строке состояния);
- **Net** – электрическая цепь;
- **Pad** – контактная площадка;
- **String** – текстовая строка;
- **Absolute origin** – абсолютная точка отсчета координат;
- **Current origin** – текущая точка отсчета координат;
- **Error marker** – маркер ошибки.

Объекты, обрабатываемые редактором плат

Объекты, которые может обрабатывать редактор плат, делятся на примитивы и составные объекты, т.е. наборы примитивов, обрабатываемые как единый объект. Под обработкой понимаются такие операции, как размещение объектов, выделение, копирование, перемещение, изменение, удаление и др.

Разновидности объектов редактора плат следующие:

- Примитивы–графические объекты: линии, дуги, текстовые строки.
- Примитивы–электрические объекты: проводники, контактные площадки, переходные отверстия, области металлизации.
- Составные объекты, создаваемые пользователем: компоненты, полигоны.
- Составные объекты, создаваемые системой: размеры, координатные метки.

Примитивы – графические объекты

Примитивы – графические объекты применяют для описания вспомогательных неэлектрических данных на плате. Для размещения этих объектов применяют команды:

Place > Line – размещение объектов – прямых линий; параметры линий задаются в окне **Preferences >** вкладка **Default Primitive**;

Place > Arc (Center) – размещение дуги с первой точкой в центре;

Place > Arc (Edge) – дуга с первой точкой в начале дуги;

Place > Arc (Any Angle) – дуга, имеющая произвольный угол (первая точка в начале дуги);

Place > Full Circle – окружность.

Примеры использования этих команд для редактирования УГО компонентов приведен в [7, урок 2].

Для ввода текстовой строки применяют команду.

Place > String > Tab > окно **Change String >** ввести текст > установить высоту букв, толщину, шрифт, (**Default, Sans Serif, Serif**).

Первый из трех указанных шрифтов – самый быстрый для формата **Gerber**.

Редактирование строки возможно после двойного щелчка ЛКМ. Сместить строки можно командой **Edit > Move**.

Условное обозначение размеров

Нанести на чертеже размеры можно с помощью следующей команды:

Place > Dimension > Tab > установить параметры размера > ЛКМ – задать начальную точку размера > ЛКМ – задать конечную точку размера.

Разгруппировать размер на отдельные графические примитивы можно командой **Tools > Convert > Explode Dimension To Free Primitives**.

Редактирование размера:

Edit > Change > щелчок ЛКМ на размере > редактирование.

Перетаскивание размера:

Щелчок ЛКМ на размере > щелчок на одном из манипуляторов > перетаскивание.

Посмотреть или установить параметры размера можно в окне **Preference > Default**.

Координатные метки

Координатные метки нужны для отображения определенных точек чертежа. Они представляют собой два отрезка линий в виде креста и соответствующую текстовую строку. Координатные метки можно задавать на любом слое печатной платы командой

Place > Coordinate > Tab > задать параметры >...

Электрические цепи

Электрическая цепь (**Net**) в редакторе плат представляется в виде совокупности соединений между выводами компонентов этой цепи. Соединение - это пара контактов данной цепи, которые нужно соединить в дальнейшем при трассировке. Соединения цепи в редакторе представляются в виде совокупности прямолинейных отрезков, которые названы [7, 8] маршрутами (**From-To**). В САПР **Altium Designer** схема расположения маршрутов названа топологией цепи. В теории графов различные виды топологии электрической цепи сводят к соответствующим типам деревьев минимальной длины [2].

Топология цепи задается двумя способами:

- автоматическая генерация топологии путем установления соответствующих правил проектирования. Более подробно виды то-

пологий и соответствующие правила проектирования рассмотрены в п. 5.9;

- использование собственного редактора **From-To Editor**, который вызывается командой **Design > From-To Editor**. В появившемся окне редактора **From-To Editor** следует выбрать цепь, с которой предстоит работать. Все принадлежащие ей выводы компонентов отображаются в графическом окне справа. Уже существующие соединения видны как тонкие прямые линии и отображаются также в списке **From-To**, расположенном слева под названием цепи. Создавать последующие соединения можно путем выбора ЛКМ.

Разработчик может задать вручную одно или несколько соединений (маршрутов) в цепи. Если задать соединения, образующие только часть цепи, то остальные соединения будут сгенерированы автоматически так, что длина их будет минимальной.

Маршруты **From-To** могут служить объектами для применения правил проектирования, то есть можно применять специфические правила проектирования не только ко всей цепи, носящей определенное имя, но и к ее части. Например, можно задать разную ширину трасс для разных соединений одной и той же цепи.

Чтобы работа конструктора при разработке топологии была более продуктивной, редактор печатных плат обладает возможностью выборочно показывать или прятать соединительные линии между выводами. Из меню следует выбрать команду (**View Connections**), которая имеет следующий набор опций:

- **Цепь (Net)**. Для выбранной цепи скрываются или отображаются все маршруты. При выборе этой опции курсор принимает вид перекрестия. Если известно расположение контактной площадки цепи, то для активизации действия опции следует щелкнуть на ней левой кнопкой мыши. В противном случае можно щелкнуть по свободному месту и прочесть в появившемся окне название цепи. Если разработчик не уверен или не знает название цепи, то ему следует нажать клавишу **?**, затем нажать кнопку **ОК**. На экран будет выведен список загруженных цепей.

- **Цепи компонента (Net Components)**. Эта опция скрывает или отображает маршруты всех цепей, принадлежащих выбранному компоненту.

- **Все линии связанности (ALL).** Эта опция скрывает или отображает маршруты всех загруженных неразведенных цепей.

Для больших цепей с множеством узлов или большим количеством примитивов (проводников, переходных отверстий и так далее), принадлежащих цепи, автоматический анализ связности цепи может оказаться слишком медленным. Чтобы отключить анализ связности для отдельно взятой цепи, ее необходимо скрыть. После того как пользователь с помощью команды **View > Connection > Hide Net** сделал цепь невидимой, она перестает быть видимой и для программы проверки связности.

Области металлизации

Области металлизации (полигоны) задаются командой **Place > Poligon Place >** ввести параметры полигона в окне.

Более подробно работа с полигонами описана в п. 5.11.

Идентификация и выделение объектов в редакторе печатных плат

Для идентификации объекта (компонента, цепи, ...) в окне редактора плат достаточно навести на него указатель мыши. Информация появится в виде текстовой строки, а также в строке состояния.

Строку состояния можно выключить командой **Tools > Preference** окно **Preference > Display > ...**

Для выделения объектов применяют два подхода: выделение фокусом и комплексное выделение.

Выделение фокусом осуществляется щелчком ЛКМ по объекту, в результате объект становится активным. Пусть, например, это компонент. В этом случае на изображении компонента появится подсвеченный прямоугольник.

После щелчка ЛКМ по прямоугольнику в его углах появятся 5 меток манипуляторов: в углах – метки для изменения размеров объекта, в центре – метка вращения. Выделенный объект можно удалить, нажав на клавиатуре клавишу **Del**.

Удаление можно выполнить и с помощью меню командой **Edit > Delete**, затем указать удаляемые объекты.

Если объекты накладываются друг на друга или расположены близко, то следует выполнить двойной щелчок ЛКМ, после чего на

экране появится табличка со списком объектов. Щелчком ЛКМ выбирается нужный объект.

При выделении сегмента проводника появляются три элемента редактирования: два для перемещения его концов, один для разделения его на части.

Заметим, что при выделении объектов фокусом невозможны операции с буфером обмена (копирование и др.). Эти операции возможны только при комплексном выделении.

Комплексное выделение применяется к группе объектов (или к одному объекту) и имеет 2 режима:

– расширяемый, когда к текущему выделению можно добавлять новые объекты;

– нерасширяемый, когда при выделении очередного объекта происходит сброс предыдущего выделения.

Выбор режима осуществляется командой **Tools > Preference > Options > Extend Selection**.

Варианты комплексного выделения следующие:

- Непосредственное выделение щелчком ЛКМ при нажатой клавише **Shift**.
- С помощью окна охвата.
- Командой **Edit > Select (Edit > Deselect)**.
- Путем использования флага **Selection** в окне редактирования атрибутов объекта.

При использовании меню можно выделять объекты, находящиеся внутри окна, вне окна, физически связанные, находящиеся в заданном слое, свободные, заблокированные и др. [8].

На основе текущего выделения можно создать класс объектов командой **Design > Classes >...**(см. п. 5.9).

В редактор печатных плат встроен мастер запросов, с помощью которого можно вводить сложные условия выделения графических примитивов.

Чтобы увидеть компонент, который невидим на экране (на экране видна только часть чертежа), нужно выполнить следующие действия:

Edit > Move > Move Component > щелчок ЛКМ в свободном месте **>** появляется окно **Component Designator >** ввести позиционное обозначение компонента **> ОК**.

Если забыто позиционное обозначение компонента, то вместо не-

го можно ввести символ-заменитель «?» и выбрать нужный компонент из появившегося списка.

Перемещение и перетаскивание объектов

Переносить (**Move**) объект можно нажав и удерживая ЛКМ. Так можно перенести, например, компонент без его цепей. Если мы хотим перенести компонент вместе с цепями, то следует выполнять щелчок ЛКМ по компоненту, затем еще один щелчок ЛКМ, затем выполнить перетаскивание (**Drag**).

Этот же результат можно получить с помощью меню

Edit > Move > Drag > перетаскивай.

Поведение проводников, которые соединены с компонентом или проходят под ним, зависит от состояния опции **Component Drag**, находящейся в диалоговом окне **Preferences**, вызываемом командой меню **Tools > Preferences**. Команда **Edit > Move > Drag** также может быть использована для перетаскивания любого графического примитива.

Для перемещения группы выделенных объектов применяют команды

Edit > Move > Selection > перетаскивай;

Edit > Move > Flip Selection > перетаскивай (с зеркальным отображением);

Edit > Move > Rotate Selection > перетаскивай (с вращением).

Другие команды **Edit > Move** работают только с невыделенными объектами.

Перемещение или удаление одного элемента или более может привести к образованию "дыр" на чертеже под этими элементами. Это происходит по той причине, что редактор печатных плат не выполняет постоянную перерисовку содержимого экрана во время перемещения или удаления, так как это значительно ухудшало бы производительность системы. Для обновления экрана применяется кнопка **Redraw**, расположенная на панели инструментов **Tool**, или клавиша **END**.

Для отмены перерисовки экрана используем клавиши **Spacebar**.

Для ускорения обновления экрана можно сделать следующее:

- отключить опцию **Transparent Layers** на вкладке **Display** окна **Preference**;
- включить режим **Draft** для всех графических примитивов на вкладке **Show/ Hide** этого окна.

Вращение объектов против часовой стрелки осуществляется с помощью клавиши **Spacebar**, а по часовой - посредством сочетания клавиш **Shift + Spacebar**. Угловой шаг вращения устанавливается в диалоговом окне **Preferences**.

Break track (излом проводника)

Команда **Break track** преобразует один сегмент проводника в два сегмента с точкой излома с помощью следующих действий.

- Выбрать команду **Edit > Move > Break track** (горячие клавиши **M, B**). Появится запрос на выбор проводника **Choose a Track**.

- Расположить указатель мыши над сегментом проводника и нажать клавишу **Enter** или левую кнопку мыши. Проводник будет отображен в режиме рисования.

- Переместить указатель мыши на место нового излома.

- Повторно нажать клавишу **Enter** или левую кнопку мыши для завершения операции. Снова появится запрос на выбор проводника **Choose a Track**. В процессе перетаскивания можно прервать перемещение с помощью нажатия клавиши **Esc**. Заметим, что запрос **Select Track** все еще остается на экране.

- Выбрать другой проводник. Можно также нажать клавишу **Esc** второй раз или щелкнуть правой кнопкой мыши для выхода из текущего режима.

Непосредственное удаление объектов

Команда меню **Edit > Delete** используется для непосредственного удаления объектов из активного чертежа печатной платы. Такой вид удаления отличается от описанных выше простых команд вырезания (**Cut**) и удаления (**Clear**), при работе с которыми сначала объекты выделяются, а затем уже выбирается само действие (**Cut** или **Clear**). При непосредственном удалении сначала выбирается действие (**Delete**), а затем выполняется щелчок левой кнопкой по нужному объекту.

Если при удалении под указателем мыши оказываются несколько объектов, появляется список, из которого нужно выбрать удаляемый объект.

Операция непосредственного удаления не зависит от текущего выделения. Например, при удалении одиночных проводников те из них, которые являются частью текущего выделения, будут оставлены нетронутыми.

Все выполненные удаления могут быть восстановлены с помощью команды меню **Edit > Undo** или комбинации горячих клавиш **Alt + Backspace**. Если производилось последовательное удаление нескольких объектов, то они будут восстанавливаться по одному, начиная с элемента, удаленного последним. Команда меню **Edit > Redo** является обратной к команде **Undo** и функционирует аналогичным образом.

Для удаления объекта, выделенного фокусом, используется клавиша **Delete**.

Для удаления комплексного выделения объектов используется комбинация клавиш **Ctrl + Delete**.

Редактирование объектов

Наиболее простой способ редактирования объектов на чертежах печатной платы – это изменение атрибутов объекта в диалоговом окне редактирования **Change** во время размещения объекта. Если, например, при размещении компонента нажать клавишу **Tab**, то появится окно редактирования. Все изменения в этом окне относятся только к этому объекту, если в меню **Tools > Preference** установлен флаг **Permanent**. В противном случае изменения атрибутов будут относиться по умолчанию ко всем объектам данного типа. Объекты, имеющие числовые идентификаторы, например обозначения контактных площадок, автоматически увеличиваются на единицу. В результате отпадает необходимость в редактировании объекта после его размещения, что ускоряет процесс проектирования.

Если объект уже размещен на чертеже, то редактировать его атрибуты можно командой **Edit > Change**. Тот же результат будет получен с помощью двойного щелчка ЛКМ на объекте.

Если под указателем располагаются несколько объектов, то появится их список, из которого требуется выбрать нужный.

Более серьезное редактирование выполняется при графическом модифицировании объекта.

Редактор печатных плат имеет многоуровневый механизм отмены и возврата к состоянию, предшествующему операции отмены. Каждое действие сохраняется в специальной области памяти по стековому принципу. При выполнении команды из стека выбирается последняя операция.

Редактор печатных плат оптимизирован таким образом, чтобы операции **Undo** и **Redo** обеспечивали минимальный расход памяти, однако существует возможность очистить стек этих команд, временно присвоив в диалоговом окне **Preferences** параметру **Stack Size** (размер стека) значение, равное нулю.

Быстрый просмотр чертежа печатной платы

Для быстрого просмотра содержимого активного чертежа печатной платы может быть использована панель управления редактора печатных плат. Существуют шесть режимов просмотра: **Nets** (цепи), **Components** (компоненты), **Net Classes** (классы цепей), **Component Classes** (классы компонентов), **Rules** (правила проектирования) и **Violations** (предупреждения об их нарушении).

Если выполняется просмотр в режимах **Nets** или **Components** браузер **Mini Viewer** отображает на панели выбранную цепь или компонент.

Для быстрого поиска и идентификации выбранной цепи или компонента в окне главного документа рекомендуется использовать кнопку **Zoom**.

При выборе элемента из списка информация о нем появляется в строке состояния.

Перемещение в заданную точку чертежа печатной платы

Команда меню **Edit > Jump** (горячая клавиша **J**) позволяет быстро найти и показать нужные компоненты, цепи, контактные площадки компонента, текстовые строки или всю печатную плату без выполнения операций изменения масштаба изображения, панорамирования или прокрутки.

С помощью каждой из этих функций редактор печатных плат переместит указатель мыши на объект и обновит изображение только

в том случае, если искомый объект находится за пределами текущей области просмотра. Когда возникает необходимость обновления, объект помещается в центр активного окна.

Для перемещения используются следующие опции:

- **Absolute Origin** (абсолютная точка начала координат).

Переход в абсолютное начало координат, т. е. в левый нижний угол рабочего пространства (горячие клавиши **J, A** или **Ctrl + Home**).

- **Current Origin** (текущая точка начала координат).

Переход в текущую (относительную) точку начала координат **0, 0** (горячие клавиши **J, O** или **Ctrl + End**). Эта точка устанавливается с помощью команды меню **Edit > Origin > Set**.

- **New Location** (заданная точка).

Переход к определенной точке чертежа печатной платы. Команда меню **Edit > Jump New Location** вызывает диалоговое окно **Jump to Location**, в котором текстовые поля **X-Location** и **Y-Location** содержат текущие координаты указателя мыши. При их изменении происходит перемещение в указанное место чертежа (горячие клавиши **J, L**).

- **Component** (компонент).

Переход к указанному компоненту на печатной плате. Команда меню **Edit > Jump > Component** вызывает диалоговое окно **Component Designator**. Необходимо ввести нужное позиционное обозначение и нажать кнопку **OK**. Если название неизвестно, можно набрать символ "?" и нажать клавишу **Enter** или щелкнуть левой кнопкой мыши, что приведет к сканированию платы и поиску всех размещенных на ней компонентов. Далее нужно выбрать интересующий компонент в диалоговом окне **Components Placed** и нажать кнопку **OK**. Указатель мыши переместится к точке привязки (**referents point**) выбранного компонента (горячие клавиши **J, C**).

- **Net** (цепь).

Переход к ближайшему выводу указанной цепи. Необходимо ввести имя цепи в диалоговом окне **Net Name** и нажать кнопку **OK**. Если название неизвестно, можно набрать символ "?" и нажать клавишу **Enter** или щелкнуть левой кнопкой мыши, что приведет к сканированию платы и поиску всех цепей. Далее нужно выбрать интересующую цепь в диалоговом окне **Net Loaded** и нажать кнопку

OK. Указатель мыши переместится к ближайшему выводу, который принадлежит выбранной цепи (горячие клавиши **J, N**).

- **Pad** (контактная площадка).

Переход к заданной контактной площадке указанного компонента. Необходимо ввести имя компонента и номер вывода в диалоговом окне **Jump to Pin Number** (например, **U1-6**) и нажать клавишу **Enter**. Указатель мыши переместится в центр вывода (горячие клавиши **J, P**). **String** (текстовая строка).

- **Перемещение указателя к поименованной строке**

Система выполняет три поисковые операции:

First – поиск строки, которая совпадает с указанной строкой в обоих регистрах, по всем символам и по длине;

Then – поиск строки с такими же символами, но которая, возможно, имеет большую длину;

Finally – поиск строки с такими же символами, но без учета регистра букв.

Например, при поиске строки "**Component**" сначала будет произведен поиск строки "**Component**". Если такая строка не найдена, то будет произведен поиск более длинных строк, например, "**Components**", а на последнем этапе – таких, как "**CompONENT**". При нахождении строки указатель мыши перемещается к этой строке (горячие клавиши **J, S**).

- **Error marker** (маркер ошибки)

Выбор этой команды меню приведет к переходу к первому маркеру ошибки, повторное выполнение – ко второму маркеру ошибки и так далее. Исправленные ошибки удаляются из списка перебора. В противном случае повтор этой команды ведет к круговому перебору по всем маркерам ошибок в окне активного документа.

- **Selection** (выделение)

Выбор этой команды меню приведет к переходу к первому выбранному объекту, повторное выполнение – ко второму объекту и так далее. Повтор данной команды ведет к круговому перебору всех выбранных объектов в окне активного документа.

Переходы в рабочем пространстве могут быть очень эффективны при работе в редакторе печатных плат, так как это позволяет менять обзор рабочего пространства, не выполняя операции изменения масштаба. Для увеличения скорости все операции перехода можно

выполнять с использованием горячих клавиш. Например, для перехода в координаты **1000, 1000** нужно нажать клавиши **J, L**. Появится диалоговое окно **Jump to Location**, в котором будет подсвечено поле **X- Location**. Подсвеченный текст будет заменен на введенный, т. е. на **1000**. Для перемещения к полю **Y-Location** достаточно нажать клавишу **TAB**. Далее необходимо ввести вторую координату (**1000**) и нажать клавишу **Enter**. Диалоговое окно закроется, а указатель мыши переместится в точку с координатами **1000, 1000**.

Если потребуется измерить расстояние между двумя точками на плате, то следует применить команду **Reports > Measure Distance >** щелчком ЛКМ на первой точке, затем щелчком ЛКМ на второй точке. При этом, может быть, потребуется временно выключить электрическую сетку, может быть, изменить шаг сетки **Snap**.

Наикратчайшее расстояние между границами графических примитивов можно определить командой **Reports > Measure Primitives >...**

Стек слоев

В редакторе плат системы **Altium Designer** проектируемая конструкция представляется в виде совокупности (стека) слоев, среди которых есть реальные слои платы, как, например, сигнальные, так и служебные, например **Keep-Out Layers**.

Все слои разбиты на следующие группы: **Signal Layers, Internal, Mechanical, Mask, Silkscreen** и **Other Layers**.

Signal Layers – сигнальные слои. Их может быть до 32 в многослойной печатной плате. Из них:

Top – слой компонентов;

Mid – внутренние сигнальные слои;

Bottom – слой пайки.

Internal Layers – экранные слои. Это могут быть внутренние слои питания и земли, металлизированные полигоны. Отображение форм на экранных слоях инверсное. Количество таких слоев может достигать до 16.

Если электрическим цепям назначить имена слоев, то они могут быть автоматически присоединены к этим слоям, к которым в момент работы над проектом могут быть также присоединены любые выводы компонентов. На данных слоях могут быть образованы при необхо-

димости контактные площадки с тепловым барьером. Внутренние слои питания и заземления для удобства просмотра на чертежах, выведенных на принтере или плоттере, отображаются в негативе. Иными словами, размещение любого графического примитива на этих плоскостях приведет к образованию там незалитых медью участков (пустот). Разработчик имеет возможность разбивать такие слои на несколько отдельных частей и подключать к ним разные цепи.

Mechanical Layers – механические слои, предназначенные для прорисовки вспомогательных элементов чертежа печатной платы, которые не должны быть на самой плате (например, форматка чертежа, размеры контура печатной платы, инструкции по монтажу и сборке). Количество таких слоев может достигать до 16. Все графические примитивы, расположенные на этих слоях, могут выводиться одновременно с сигнальными слоями.

Mask Layers – слои паяных паст и защитных масок. Слои **Top Solder** и **Bottom Solder** предназначены для прорисовки масок, используемых при нанесении припоя на верхнюю и нижнюю стороны печатной платы. Эти автоматически генерируемые маски используются при создании трафаретов для пайки волной припоя, обыкновенно прикрывающих всю поверхность платы за исключением выводов компонентов и переходных отверстий. Слои **Top Solder** и **Bottom Solder** отображаются в негативе для удобства просмотра на чертежах, выведенных на принтере или плоттере.

Слои **Top Paste** и **Bottom Paste** предназначены для прорисовки масок, используемых при нанесении паяльной пасты на верхнюю и нижнюю стороны печатной платы. Эти автоматически генерируемые маски используются при создании трафаретов для пайки компонентов, использующих технологию поверхностного монтажа.

Silkscreen Layers – слои шелкографии. Слои **Top Overlay** и **Bottom Overlay** предназначены для нанесения рисунков и надписей, выполненных методом шелкографии, на верхнюю и нижнюю стороны печатной платы. Здесь обычно отображаются контуры корпусов компонентов и их позиционные обозначения, которые автоматически добавляются к ним при вызове из библиотеки. Как правило, контур корпуса компонента создается в редакторе топологических посадочных мест на слое **Top Solder**. Если компонент размещается на нижнем слое, то чертеж топологического посадочного места со всеми

надписями и элементами автоматически зеркально отражается, причем все содержимое слоя **Top Overlay** переносится на слой **Bottom Overlay**.

Other Layers – дополнительные слои, к которым относятся:

Drill Guide – слой сверления. Здесь создается чертеж расположения центров всех отверстий на печатной плате. Если на плате присутствуют глухие переходные отверстия, то генерируются отдельные чертежи сверления отверстий для пар соответствующих им слоев. На этих слоях отображаются все контактные площадки и переходные отверстия с размерами, отличными от нуля.

Для производства печатной платы обычно используются кодированные чертежи расположения отверстий на печатной плате в слое **Drill Drawing**. На месте расположения каждого отверстия наносятся позиционирующие символы, сами отверстия обозначаются специальным кодом, рядом проставляется размер. К чертежу можно добавить информацию о количестве отверстий, их размерах в метрической или дюймовой системах измерения, таблицу символов.

Multi-Layers – слой для размещения контактных площадок и переходных отверстий многослойных печатных плат.

Keep Out – слой для задания областей, где разрешено размещение компонентов и проводников. На слое **Keep Out** с помощью линий можно создать контур, ограничивающий область размещения компонентов и трассировки. Области **Keep Out** могут быть заданы для отдельных слоев. Для этого нужный контур необходимо разместить командой **Place > Keep Out**. Чтобы выбрать вкладку слоя **Keep Out** в окне редактора плат, необходимо передвинуть влево линейку слоев внизу окна и найти слой **Keep Out**.

Активизация слоев осуществляется командой **Design > Options > окно Document Options > вкладка Layers > включить переключатели отображения нужных слоев**. В результате вкладка с именем слоя появится в нижней части окна редактора плат.

Управление слоями может выполняться также непосредственно в редакторе плат.

В любой момент времени редактор работает с одним из активных слоев чертежа. Такой слой называется текущим, а вкладка с его названием располагается поверх остальных. Некоторые элементы (например, проводники, текстовые надписи, области металлизации и

однослойные контактные площадки) могут быть размещены только на текущем слое. Другие элементы, такие как компоненты, многослойные контактные площадки и переходные отверстия могут быть размещены на чертеже независимо от выбранного текущего слоя. Операция выделения объектов для последующего перемещения, удаления и так далее не зависит от выбора текущего слоя: пользователь может выполнять эти операции над любыми графическими примитивами без изменения текущего слоя.

Чтобы сделать слой текущим, достаточно щелкнуть левой кнопкой мыши на соответствующей вкладке. Клавиши + и – на цифровой клавиатуре используются для последовательного перебора всех активных слоев. Нажатием клавиши на цифровой клавиатуре производится последовательный выбор активных сигнальных слоев.

Для создания группы слоев используется кнопка **LS**, расположенная слева от вкладок слоев.

После нажатия ПКМ на вкладке слоя становятся доступными команды работы со слоями.

5.2. Создание заготовки чертежа печатной платы

Первый шаг конструкторского проектирования печатной платы – создание заготовки чертежа платы, в которой заданы её границы и набор слоёв. Параметры этой заготовки в дальнейшем будут уточняться, а проект будет наполняться новой информацией.

Возможны следующие варианты получения заготовки чертежа платы:

1. Заготовка чертежа платы формируется вручную разработчиком с использованием инструментов редактора плат.

2. Описание заготовки чертежа выполняет разработчик с помощью специализированного мастера **PCB Wizard**.

3. С помощью мастера **PCB Wizard** можно в качестве заготовки использовать один из готовых шаблонов плат промышленных стандартов или ранее подготовленных разработчиком шаблонов.

4. Заготовка чертежа может быть импортирована из другой САПР. Например, если заготовка чертежа была разработана в системе **AutoCAD (Компас)**, то её можно импортировать в редактор печатных плат с помощью функции **Import DXF**.

Далее применим к учебному проекту **Sum2Sim.PrjPCB** второй вариант.

Создание заготовки чертежа печатной платы для учебного проекта Sum2SIA2 с помощью мастера PCB Wizard

Самый простой способ получения заготовки чертежа печатной платы – применение мастера **PCB Wizard**, который дает возможность конструктору создать плату нужных размеров и формы, задать текстовые строки основной надписи, количество сигнальных слоёв, слоёв питания, технологии прорисовки проводников и переходных отверстий.

С помощью мастера можно также выбрать подходящий шаблон платы из большого числа готовых шаблонов плат промышленных стандартов.

Мастер имеет средства для сохранения введенных параметров платы в качестве шаблона. После сохранения при следующих запусках мастера вновь созданный шаблон появится в списке ранее определенных шаблонов.

Если разработчик включил опцию **Save the Board as a Template**, то существующий проект будет сохранен в специальной базе данных проекта **System\Templates.Dbd**. При необходимости добавления дополнительной информации в этот файл его можно редактировать.

Запустим мастер **PCB Wizard** выбором опции **PCB Wizard** в самом низу панели **Files** (если этой опции не видно, сверните некоторые опции панели **Files**). Появится диалоговое окно мастера. Следующие окна вызываются кнопкой **Next**. При необходимости вернуться в предыдущее окно используем кнопки **Back**.

Поскольку в **PCB Wizard** внутренняя система единиц дюймовая, то при переходе из одного поля в другое происходит автоматический пересчет размеров в **mil**.

Для проекта **Sum2SIA2.PrjPCB** зададим следующие параметры печатной платы, переходя из одного окна в другое:

Система мер метрическая.

Печатная плата нестандартная – **Custom**.

Печатная плата прямоугольная – **Rectangle**.

Размеры платы: ширина (**Width**) – 70 мм;

высота (**Height**) – 30 мм.

Толщина линий для прорисовки границы платы (**Boundary Line Width**) **0,4 мм**.

Толщина размерных линий (**Dimension Line Width**) – **0,1 мм**.

Краевые поля (**Keep out Distance From Board Edge**) – **2 мм**.

Включим опции **Title Block & Scale, Legend String and Dimension Lines**.

Число сигнальных слоёв (**Signal Layers**) – **2**.

Число слоёв питания (**Power Planes**) – **0**.

Переходные отверстия – сквозные (**True-hole Vias**).

Преобладающая технология – поверхностный монтаж (**Surface**).

Минимальная ширина проводника (**Trade Size**) – **0,25 мм**.

Диаметр переходного отверстия (**Via Hole Size**) – **0,4 мм**.

Диаметр площадки переходного отверстия (**Via Width**) – **0,8 мм**.

Минимальный зазор между проводниками (**Clearance**) – **0,25 мм**.

Завершим ввод данных нажатием кнопки **Finish**.

Мастер **PCB Wizard** передаст все сделанные установки в редактор печатных плат, в окне которого откроется новый документ **PCB1.PcbDoc** с заготовкой платы.

Скроем белый лист чертежа путём выключения опций **Display Sheet** в диалоговом окне **Board Options**, которое вызовем командой **Design > Options**. Развернём плату в окне редактора командой **View > Fit Board**. Новый документ (плата) будет добавлен в проект. Если документ открыт как свободный (**Free Document**), то перетащим его имя на имя проекта в окне **Projects**.

В заключении переименуем и сохраним документ командой **File > Save As > Sum2SIA2.PcbDoc**.

5.3. Начальная настройка проекта печатной платы

Предварительно следует установить начало системы координат, которое по умолчанию – абсолютное, т.е. находится в левом нижнем углу чертежа. Если требуется установить начало координат в другую точку, то следует применить команду **Edit > Origin > Set**, по которой начало координат устанавливается в текущую позицию курсора. При этом координаты курсора, отображенные в строке состояния, сбросятся в **0: X:0 мм, Y:0 мм**.

Если нужно вернуть начало системы координат к абсолютно-му, то следует применить команду: **Edit > Origin > Reset**.

Далее следует выбрать нужную систему единиц командой **View > Toggle Units**.

Заметим, что в дюймовой системе используется единица измерения **mil**: **1 mil = 0,001 дюйма**. Таким образом, **1 мм ≈ 40 mil**.

Быстрое переключение системы единиц выполняется горячей клавишей **Q**.

Установка параметров сеток

Шаг сетки **Snap Grid** определяет дискретность перемещения указателя мыши: при выполнении любой функции редактирования указатель мыши превращается в перекрестие и “прыгает” только по точкам координатной сетки.

Перемещать курсор можно также с помощью клавиш-стрелок на клавиатуре. Если при этом нажата клавиша **Shift**, то шаг перемещения увеличивается в 10 раз.

Следовательно, все объекты на чертеже платы прорисовываются в узлы сетки. Поэтому шаг сетки выбирается, во-первых, кратным шагу выводов компонентов (например, ИС), во-вторых, его величина должна позволить проложить заданное число проводников между выводами, если это допускают технологические возможности предприятия (класс точности печатной платы). Например, если шаг выводов микросхем составляет **2,5 мм**, то при установке шага сетки **Snap Grid** равным **0,625 мм** между соседними выводами возможна прокладка одного проводника.

Шаг сетки можно изменить в любой момент проектирования командой

Design > Options > окно Document Options > вкладка Options > ...
или комбинацией горячих клавиш **Ctrl + G**.

Но если в проекте используются технологические посадочные места, у которых шаг выводов задан в разных системах измерений – метрической и дюймовой, то вписать эти посадочные места в сетку **Snap Grid** проблематично.

Эта проблема в редакторе печатных плат САПР **Altium Designer** эффективно решена путем введения электрической сетки **Electrical Grid**. Величина шага этой сетки задает некоторую окрестность вокруг электрического объекта (например, проводника, контактной площад-

ки, переходного отверстия), в которой отменяется действие сетки **Snap Grid**. Если указатель мыши оказался в этой окрестности, то он будет захвачен и притянут к центру электрического объекта.

Признак захвата – превращение курсора в восьмиугольник. Шаг электрической сетки можно взять, например, немного меньше, чем шаг сетки **Snap Grid**.

Задать величину шага сетки **Electrical Grid** можно командой **Design > Options > окно Document Options > вкладка Options**.

Включить или выключить электрическую сетку в процессе проектирования можно комбинацией горячих клавиш **Shift + E**.

Сетка **Component Grid** помогает разработчику ориентироваться при размещении компонентов и ее действие аналогично сетке **Snap Grid**.

Сетки **Visible Grid** (видимые сетки) облегчают ориентацию в чертеже. Удобно задать сразу две такие сетки с разными шагами: мелкую и крупную. Обычно шаг мелкой видимой сетки выбирают равным шагу сетки **Snap Grid**, шаг крупной – в 10 раз больше. Сетка **Visible Grid** может оказаться невидимой на чертеже, если ее шаг задан слишком большим или слишком малым.

В диалоговом окне **Board Options**, которое открывается командой **Design > Board Options**, зададим для проекта **Sum2.SIA2** следующие параметры:

Шаги сеток **Snap X = 0.625 мм;**
Snap Y = 0.625 мм;
Component X = 1.25 мм;
Component Y = 1.25 мм.

Шаг электрической сетки установим **0,6 мм**.

Шаги двух видимых сеток установим **0,625** и **6,25 мм**.

Установим начало координат в левом нижнем углу чертежа командой **Edit > Origin > Set**, предварительно увеличив масштаб изображения платы.

5.4. Настройка редактора печатных плат

Глобальная настройка редактора печатных плат выполняется в окне, которое вызывается командой **DXP > Preferences > PCB Editor**. Это окно имеет следующие вкладки:

- **General** – содержит несколько групп настроек.

Группа **Editing Options** содержит такие опции, как варианты выделения объектов и снятия выделения, точки захвата объектов указателем мыши.

Группа **Autopan Options** содержит опции управления параметрами автопанорамирования.

В группе **Other** содержится опция **Undo/Redo** – количество команд отката. Не устанавливайте здесь большое значение при работе с полигонами.

- **Display** – настройки отображения, такие как режимы подсветки выделенных объектов, а также конфигурации просмотра платы и посадочных мест в **2D**- и **3D**-режимах.

- **Board Insight Display** – дополнительные настройки отображения.

- **Board Insight Modes** – настройки параметров информационного окна, которое привязано по умолчанию к левому верхнему углу редактора плат.

- **Board Insight Lens** – настройки параметров линзы, предназначенной для увеличения фрагмента платы под курсором.

- **Interactive Routing** – настройки интерактивной трассировки. Рассмотрены в п. 5.11.

- **True Type Font** – назначает шрифт, на который следует заменить не-распознанный шрифт.

- **Reports** – определяет формат файлов отчетов, а также то, какие из них следует выводить на экран сразу после их формирования.

Настройка отображения слоев выполняется в окне **View Configurations**, которое вызывается командой главного меню **Design > Board Layers & Colors** (или нажатием клавиши **L** в редакторе плат).

В этом окне каждую группу слоёв и каждый слой можно включить или выключить (показывать или не показывать), изменить цвет слоя. Выбор опции **Used On** предписывает включить только те слои группы, в которых содержится информация. В окне имеются также опции управления видимостью и цветом сеток, линиями электрических соединений (**Connections**), маркеров ошибок (**DRC Error Marker**), отверстий контактных площадок (**Via Holes**) и др. Эти объекты не принадлежат каким-либо слоям, но входят в описание проекта.

На вкладке **Show/Hide** задаётся режим отображения примитивов:

Final – полное отображение;

Draft – отображение в виде контура;

Hidden – скрытые примитивы.

На вкладке **View Options** устанавливаются дополнительные настройки отображения, в том числе опция **Origin Marker**, которая включает отображение начала координат.

Для проекта **Sum2SIA2.PrjPCB** установим режим отображения слоёв **Used On**, выключив все неиспользуемые слои.

Выключим также режим автопанорамирования командой **DXP > Preferences > PCB Editor > General > AutopanOptions > Desable**.

Остальные настройки оставим заданными по умолчанию.

5.5. Формирование контура печатной платы

При создании заготовки печатной платы был сформирован прямоугольный контур платы. Для формирования более сложного контура применяют два способа:

- рисование контура средствами редактора плат;
- импорт контура, созданного в механической САПР.

При первом способе применяют группу команд меню **Design > Board Shape**, например **Redefine Board Shape** (рисование контура вручную), **Define Board Cutout** (формирование вырезов в плате). Применяя первую команду с помощью комбинаций клавиш **Shift+Space** можно переключить режимы ортогональности для формирования дуг и острых углов. Радиус дуги можно менять комбинациями **Shift+точка**, **Shift+запятая**. Для более точного ввода координаты углов контура можно вводить не мышкой, а с клавиатуры: нажать клавишу **J**, затем **L** и ввести координаты в появившемся на экране окне.

Второй способ предполагает формирование контура в механической САПР (**AutoCAD**, **Компас**) в формате **DWG (DXF)**. Находясь в редакторе плат, командой **File > Import** (указав в строке тип файла **AutoCAD**) откроем окно **Import from AutoCAD**. В окне задаём мм в качестве единицы измерения, выбираем слой **Mechanical 1**. Для слоя **0** выбрать настройку **Not Imported** (не импортировать). Для **Drawing Space** выбираем **Mode**, для **Block** – **Import as primitives**.

Нажимаем **ОК**, и в рабочей области редактора появляется импортированный контур. Теперь редактору нужно указать, что этот контур является границами платы. Для этого выделяем контур и выполняем команды **Design > Board > Shape > Define from Selected Objects**. В результате область внутри контура становится черной, а снаружи – серой, что свидетельствует о корректном создании платы.

Возможность использования в качестве платы внешней модели в формате **STEP** рассмотрена в [1].

В нашем учебном проекте **Sum2SIA2.PcbDoc** применяется плата прямоугольной формы, поэтому оставим тот вариант контура платы, который сформирован мастером **PCB Wizard**.

5.6. Формирование стека слоев

В п. 5.1. рассмотрены различные группы слоев, обрабатываемые редактором печатных плат. В п. 5.4. описаны постройки видимости и цвета объектов редактора, в том числе и слоев путем применения команды **Design > Board Layers & Colors** (или нажатия клавиши **L**) в окне **View Configurations**.

Однако в этом окне нельзя добавить или удалить слои, изменить их физические параметры. Это возможно сделать командой **Design > Layers Stack Manager**, которая открывает окно с таким же именем (рис. 5.1).

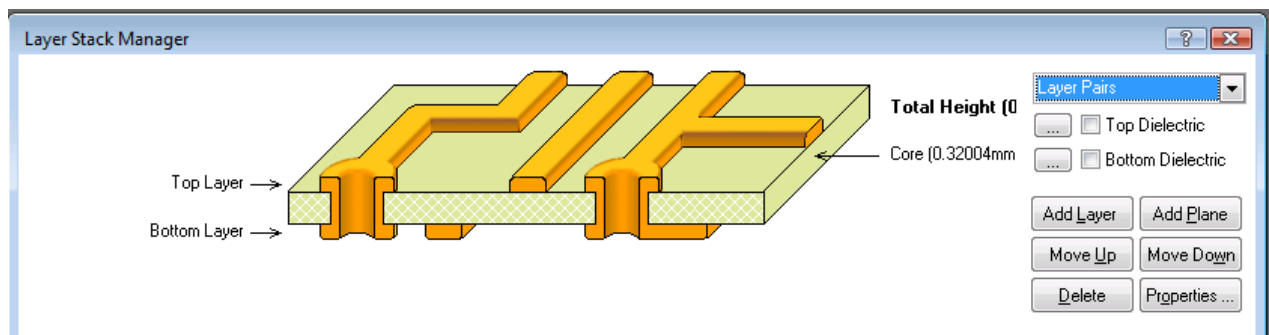


Рис. 5.1. Стек слоев

В окне показана структура печатной платы, где слева указаны имена сигнальных слоев, слоев земли и питания.

Справа указаны имена и толщина диэлектрических слоев:

Core – несущий неэластичный слой;

Prepreg – препреговый слой, эластичный, заполняющий зазоры до прилегающего слоя металлизации.

Кнопками **Add Layer** и **Add Plane** можно добавить сигнальный и экранный слой соответственно.

Кнопки **Move Up** и **Move Down** перемещают выбранный слой вверх и вниз. Верхний слой всегда является слоем № 1, нижний – слоем № 2, который находится в нижней строке списка слоев.

Если проектируется многослойная плата, то конструктор должен определить пары слоев для сверления отверстий, которые задаются кнопкой **Drill Pair**.

Для выполнения анализа целостности сигналов необходимо предварительно задать следующие параметры слоев:

Для сигнальных слоев и для внутренних слоев питания и заземления:

Name – задаваемое пользователем имя слоя;

Cooper thickness – толщина слоя металлизации (**0,035** мм по умолчанию):

Для изолирующих слоев:

Material – тип используемого диэлектрика;

Thickness – толщина слоя диэлектрика (**0,32** мм по умолчанию);

Dielectric constant – относительная диэлектрическая проницаемость материала (**4,8** по умолчанию).

Для изменения параметров слоя применяем двойной щелчок ЛКМ по названию слоя (или нажмем кнопку **Properties**).

Для нашего проекта **Sum2SIA2.PcbDoc** применим двустороннюю печатную плату. Значения параметров слоев оставим по умолчанию.

5.7. Установка крепежных отверстий и запрещенных зон

Крепежные отверстия устанавливаются как обычные контактные площадки командой **Place > Pad**, затем нажмите клавишу **Tab**, в свойствах укажите нулевые значения в параметрах формы контактной площадки (**Size and Shape**) и отключите металлизацию внутри отверстия (**Plated**).

Внешние границы области размещения компонентов и трассировки проводников определяются посредством создания контура на слое **Keep Out**. Обычно эти границы определяются внутри физических границ платы с помощью установки небольшого отступа для того, чтобы проводники и компоненты не располагались слишком близко к краям платы (краевые поля). Сам контур прорисовывают с помощью контурных линий и дуг. Все компоненты и проводники могут быть размещены только в пределах установленных таким образом границ, которые в дальнейшем будут учитываться программами проверки правил проектирования **DRC (Design Rule Checker)**, автоматического размещения компонентов и автотрассировки.

Также имеется возможность зарезервировать любые другие области в механических границах платы, в которых компоненты и/или проводники не должны размещаться. Такие области могут использоваться для установки крепежных деталей и профилирования платы. Описываются они посредством размещения в слое **Keep Out** графических примитивов (линий, дуг и залитых объектов).

Основное правило использования слоя **Keep Out** заключается в том, что при трассировке проводников на сигнальных слоях они никогда не будут пересекать графические объекты, расположенные в слое **Keep Out**.

Области **Keep Out** могут быть заданы и для отдельных слоев. Для этого необходимо разместить рисунок в нужном слое с помощью команды **Place > Keep Out**.

Запрещенные для трассировки области, сформированные с помощью линий, не воспринимаются трассировщиком **SPECCTRA**, поэтому если предполагается использовать этот трассировщик, рекомендуется выполнять их в виде полигона командой **Place > KeepOut > Solid Region**.

В нашем учебном проекте **Sum2SIA2.PcbDoc** при формировании контура платы мы задали величину краевых полей равной **2 мм**, в соответствии с этим мастер **PCB Wizard** создал область прямоугольной формы, разрешенную для трассировки проводников и размещения компонентов. Оставим этот вариант.

5.8. Передача данных о проекте из редактора схем в редактор плат

Проектные данные, которые передаются из редактора схем в редактор плат – это список электрических цепей. При этом извлекается информация о каждом компоненте и параметрах связанности из схемы электрической принципиальной, отыскивается соответствующее компоненту топологическое посадочное место (**Footprint**) в библиотеке элементов. Посадочное место размещается на чертеже платы с добавлением линий соединений.

Целостность проекта контролируется посредством механизма отслеживания внесённых изменений **Engineering Change Order (ECO)**, который реализует специальный программный модуль – компаратор (**Comparator**). Процесс обновления печатной платы выполняется исходя из последних изменений в исходном документе (схеме) и генерирует отчёт о внесённых изменениях. Обновление происходит путём создания набора макросов – процедур, устраняющих отличия, и запуска их на выполнение.

Для передачи данных о проекте **Sum2SIA2.PcbDoc** в редактор плат выполним следующие действия в редакторе схем:

1. Проверим подключение необходимых библиотек.
2. Проверим, содержат ли компоненты схемы модели **Footprint** - топологические посадочные места (**ТПМ**).
3. Выполним команду **Design > Import**, откроется диалоговое окно **ECO**.
4. Нажмём кнопку **Validate Change** – проверим возможность внесения изменений. Если появятся значки ошибок, то следует нажать **Close**, посмотреть ошибки в панели **Messages** и устранить их. Одна из частых ошибок на этом этапе – отсутствие **ТПМ** у компонента.
5. Нажмём кнопку **Execute Change** – выполним операцию передачи данных. При необходимости получения полной информации можно сформировать отчёт о внесённых изменениях. Для этого следует нажать кнопку **Report Changes**.
6. Нажмем кнопку **Close**. Произойдёт переход в редактор печатных плат, где к заготовке чертежа платы будут добавлены компоненты проекта, выстроенные в горизонтальный ряд у правого контура платы.

5.9. Настройка правил проектирования

Правила проектирования должны быть согласованы с ограничениями используемой технологии производства печатных плат и конструктивными ограничениями компонентов, применяемых в проекте.

Настройка и редактирование правил проектирования может производиться вручную (команды меню **Design > Rules**) или с помощью мастера **Rule Wizard**. Каждое задаваемое правило имеет область действия (**Scope**) от всей платы до отдельного объекта (цепи, компонента, контактной площадки).

Правила могут быть унарными и бинарными. Бинарные правила действуют между двумя объектами или между объектом из одного набора и объектом из другого. В этом случае задаётся две области действия правила.

Все правила проектирования, доступные в редакторе печатных плат, делятся на 10 категорий.

Категория правил **Electrical** (электрические)

Clearance (зазоры) – правило определяет минимально допустимый зазор между проводящими объектами на сигнальном слое.

Short Circuit (короткозамкнутые цепи) – правило разрешает соединять фрагменты разных цепей по кратчайшему пути при установке флажка в окне **Allow Short Circuit**. Это правило следует применять для объединения, например, аналоговой и цифровой цепей земли.

Un-Routed Nets (неразведённые цепи) – это правило проверяет степень завершённости трассировки цепей. Неоконченные части цепей (**Sub-net**) заносятся в список с указанием коэффициентов завершения трассировки всех цепей.

Un-Connected Pin (неподключённые выводы) – проверка наличия висячих контактов.

Последние 2 правила фиксируются после трассировки при пакетной проверке правил проектирования **DRC (Design Rule Check)**.

Категория правил **Routing** (трассировка)

Width (ширина проводника) – задание минимальной, максимальной и предпочтительной ширины трассы для всех цепей (**All**), вы-

бранной цепи (**Net**), класса цепей (**Net Class**), слоя (**Layer**), цепи и слоя (**Net and Layer**).

Задание минимального значения ширины трассы позволяет производить сужение проводника при трассировке. После активизации правила в появившемся окне можно редактировать установки данного правила. При включении флажка **Characteristic Impedance Driven Width** можно устанавливать минимальное, среднее и максимальное значения импеданса проводника.

В таблице внизу окна указаны атрибуты трасс на слоях (**Attributes on Layer**), стек сигнальных слоев (**Layer Stack Reference**), имена слоев, в которых действует данное правило, и номера слоев (**Index**) по умолчанию.

Предпочтительное значение ширины проводника используется программой трассировки. Минимальное и максимальное значения контролируются программой **DRC** в интерактивном и пакетном режимах.

Routing Topology Rule (топология трассировки) – правило определяет вариант соединения выводов контактных площадок каждой цепи. В теории графов это вариант построения деревьев минимальной длины [2]. По умолчанию применяется топология **Shortest**.

Ниже представлены варианты соединения выводов:

- **Shortest** – топология получения кратчайшей суммарной длины всех соединений цепи.
- **Horizontal** – топология, дающая приоритет горизонтальному направлению по отношению к вертикальному в соотношении **5:1**.
- **Vertical** – в этом варианте приоритет вертикального направления в соотношении **5:1**.
- **Daisy-Simple** – простая цепочка: последовательное кратчайшее соединение точек **Load** от заданных пользователем двух точек: начальной (источник **Source**) и конечной (**Terminator**).
- **Daisy-MidDriven** – в этой топологии пользователь выбирает две точки **Source** (соединяемые между собой) в центре цепочки. Выбираются также две оконечные точки, по одной для каждого направления.
- **Daisy Balanced** – сбалансированная цепочка. В этой то-

топологии выбирается источник **Source** (может быть не один) и несколько конечных точек **Terminator**. Остальные точки **Load** распределяются поровну на цепочки, идущие к конечным точкам.

- **Starburst** – топология типа «звезда»: все точки соединяются напрямую с выбранным источником.

Выбор топологии цепи определяется схемотехническими особенностями проектируемого функционального узла, типом печатной платы, плотностью монтажа и др. Например, для высокоскоростных цепей, где искажения сигналов стремятся минимизировать, применяется топология «цепочка». Для цепей заземления может быть использована топология типа «звезда», когда все соединения подводятся к одной общей точке.

Routing Priority (приоритет трассировки) – установка приоритетов (от 1 до 100) трассировки электрических цепей, классов цепей и др.

Routing Layers (слои трассировки) – определение слоев, в которых будет выполняться трассировка.

Routing Corners (углы трассировки) – определение стиля спрямления углов трасс: под прямым углом, под углом 45 ° и по дуге. Это правило для трассировщика **Sites** не работает: этот трассировщик всегда использует диагональный стиль разводки.

Routing Via Style (стиль переходных отверстий) – определение диаметра контактной площадки (пятна металлизации) и диаметра внутреннего металлизированного отверстия.

Правило используется при ручной трассировке при нажатии клавиши * (переход на другой сигнальный слой) или при соединении с внутренним слоем питания или заземления. Программа автотрассировки использует данное правило по умолчанию для всей платы.

Fanout Control – задается стиль отводов (стрингеров) проводника от контактных площадок для поверхностного монтажа. После активизации правила в окне в области **Constraints** можно настроить стили (**Style**) и направления отводов (**Direction**) стрингеров для различных типов посадочных мест (**LCC, SOIC** и др.), а также направления отводов от контактных площадок (**Direction from Pad**) и расположение переходных отверстий для **BGA**-компонентов [8].

Differential Pairs Routing (трассировка дифференциальных пар) – задается величина зазора между двумя проводниками дифференци-

альной пары и величина препятствия, которое проводники пары могут огибать непараллельно. Данное правило работает при интерактивной трассировке.

Категория правил SMT (правило отвода трасс от контактных площадок под поверхностный монтаж)

Эти правила используются только при проверке правил проектирования DRC в пакетном режиме.

Категория правил Mask (маски)

Эти правила устанавливают размеры защитной и паяльной масок контактных площадок.

Категория правил Plane (слои)

В эту категорию входят правила соединений выводов компонентов с экранными слоями и полигонами.

Категория правил Manufacturing (производство)

Эти правила устанавливают ограничения, вытекающие из технологических возможностей оборудования для изготовления печатных плат.

Категория правил Speed (высокоскоростные схемы)

Parallel Sequent Constraint (ограничение на длину параллельных сегментов) – определяет максимальную длину параллельных сегментов двух проводников в зависимости от заданного расстояния между ними.

Length – устанавливает минимальную и максимальную длину проводника.

Matched Net Length (допуск согласования длин цепей) – задает разницу длин цепей, которые желательно выровнять по длине. Данное правило определяет меру разницы длин цепей. Редактор печатных плат определяет самую длинную цепь (в указанной области) и сравнивает ее с другими цепями в этой области.

Диалоговое окно этого правила также позволяет определить, каким образом нужно изменить длину тех цепей, которые не удовлетворяют требованиям согласований длин цепей, после чего редактор пе-

чатных плат автоматически добавляет дополнительные сегменты к цепям, длины которых нужно выровнять.

Если возникает необходимость в том, чтобы редактор печатных плат сделал попытку согласовать длины цепей с помощью добавления дополнительных сегментов, нужно установить соответствующие настройки в диалоговом окне правила проектирования **Matched Length Rules**, а затем выбрать в меню команду **Tools > Equalize Nets**. К тем цепям, которые не удовлетворяют правилу согласования длин, будут добавлены дополнительные сегменты. Вероятность успешного применения данного правила зависит от количества свободного пространства, доступного для добавления дополнительных сегментов, и от стиля, используемого для их добавления. Наиболее компактным считается стиль добавления сегментов под прямым углом (**90 degree**), а наименее компактным – стиль с округлением углов (**Rounded**).

Daisy Chain Length – определяет ограничение на максимальную длину шлейфа для цепей с топологией в виде цепочки.

Via Under SMD – устанавливает возможность размещения переходных отверстий во время автотрассировки под контактными площадками выводов компонентов, которые используют технологию поверхностного монтажа.

Maximum Via Count – определяет максимально допустимое число переходных отверстий.

Категория Placement (размещение компонентов)

Room Definition – определяет область, в которой разрешено (либо запрещено) размещать некоторый набор компонентов. Области размещения создаются командой **Place > Room**.

Перемещение компонентов в области размещения производится с помощью кнопки **Arrange Components within Room**, расположенной на панели инструментов **Component Placement**. Если включено правило **Room Definition**, то при переносе одного из компонентов класса в такую область все компоненты этого класса также будут перенесены сюда.

Component Clearance Constraint – устанавливает минимально допустимое расстояние между компонентами. В списке **Check Mode** задается один из трех режимов проверки:

- **Quick Check** (быстрая проверка) - для определения формы

компонента используется ограничивающий его прямоугольник, т. е. минимально возможный прямоугольник, который охватывает все примитивы, входящие в данный компонент.

- **Multi Layer Check** (многослойная проверка) - также использует ограничивающий прямоугольник, но рассматривает контактные площадки со сквозными отверстиями с таким расчетом, что допускается расположение компонентов, использующих технологию поверхностного монтажа, друг под другом, но на разных сторонах платы.

- **Full Check** (полная проверка) - использует точную форму компонента, которая включает все примитивы, его составляющие. Рекомендуется применять в случаях, когда проект содержит большое количество компонентов круглой или неправильной формы.

Установленные правила данной категории проверяются в режимах интерактивной и пакетной проверки правил проектирования, а также при автоматическом размещении компонентов программой **Cluster Placer**.

Component Orientation Rule (ориентация компонентов)

Данное правило определяет допустимую ориентацию компонентов. Разрешается назначать одновременно несколько видов ориентации, что позволяет программе автоматического размещения выбрать любую из них. Данное правило учитывается во время автоматического размещения компонентов с помощью программы **Cluster Placer**.

Permitted Layers – определяет слои, где могут быть размещены компоненты программой **Cluster Placer**.

Nets to Ignore – определяет, какие цепи должны быть проигнорированы программой **Cluster Placer** при размещении компонентов. Например, такой цепью может быть цепь питания, и ее выключение из процесса оптимизации размещения компонентов ускорит работу программы и, возможно, улучшит качество размещения.

Height – определяет ограничение на высоту компонентов в указанной области.

Категория правил **Signal Integrity** (целостность сигналов) будет рассмотрена в п. 5.15.

Применение правил проектирования

Обратите внимание, что не все правила проектирования применяются на том или ином этапе проектирования, некоторые – во время работы автоматических процедур, например автотрассировки, генерации выходных файлов для производства и др. Некоторые правила проверяются во время работы в интерактивном режиме (**DRC**). Нарушение правила сразу же сигнализируется, например, изменением цвета соответствующего объекта.

Более полный набор правил применяется в пакетном режиме **online DRC** командой меню **Tools > Design Rule Check**. И наконец, некоторые правила [8] экспортируются вместе с проектом в программу трассировки **SPECSTRA**.

Создание нового правила

Предварительно проверьте, что установлена метрическая система измерений. При необходимости включите её командой **Design > Board Options > Units**. Затем откроем окно **PCB Rules and Constraints Editor** командой **Design > Rules**.

Далее выбираем ПКМ правило нужного типа и команду **New Rules**. В списке правил появится новое правило. В поле **Name** вводим нужное уникальное имя правила.

Затем следует выбрать область действия правила из списка вариантов (**All**, **Net** и т.д.). Затем установим значение правила (например, ширину проводника, зазор и т.д.). Следующий шаг – установка приоритета правила. По умолчанию правило, назначенное последним, имеет высший приоритет. Изменить приоритет можно в диалоговом окне **Edit Rule Priorities**, которое вызывается кнопкой **Priorities**. В любом случае правила выполняются в том порядке, в каком они перечислены в списке окна **Edit Rule Priorities**.

Создание правила заканчивается нажатием кнопки **Apply**. Более сложную область действия правила можно создать с помощью конструктора запросов **Query Builder**, а более тонкие настройки правил выполняются с применением языка запросов **Query Helper** [8].

Любые установленные в проекте правил проектирования могут быть выключены в диалоговом окне **Design Rules**. Это действие аналогично удалению правила, но при этом оно остается в проекте, его параметры не теряются. При необходимости такое правило можно

снова включить. Выключенные правила проектирования отображаются в списке на панели управления, но имена их будут перечеркнуты.

Создание классов объектов

Класс представляет собой набор объектов (цепей, компонентов, соединений (маршрутов), контактных площадок) по какому-либо признаку. Использование классов облегчает формирование областей применения правил проектирования.

Все четыре типа классов создаются одинаково в диалоговом окне **Object Classes**, вызываемом командой меню **Design > Classes**. Далее следует щелкнуть левой кнопкой мыши на вкладке с названием типа создаваемого класса и нажать кнопку **Add** в нижней части диалогового окна. В появившемся после этого окне **Edit Class** следует выбрать нужные объекты из списка **Non-Members** и с помощью кнопок со стрелками перенести их в список **Members**.

Сохранение и загрузка правил

Чтобы использовать разработанные правила в других последующих проектах, их можно записать в отдельный файл. Для этого в окне **PCB Rules and Constraints** нажать ПКМ в списке правил и выбрать **Export Rules**. Далее выбрать нужное правило и нажать кнопку **OK**. Программа предложит вам сохранить файл с расширением **.RUL**.

Настройка правил проектирования для проекта Sum2SIA2.

Настройки правила проектирования для проекта Sum2SIA2 в соответствии с параметрами печатной платы, которые заданы в конце п. 5.2. Для цепей питания и «земли» создадим новое правило, в котором ширину проводников этих цепей установим 0.5 мм. Правила раздела **SI** временно выключим. Для остальных правил сохраним настройки, которые заданы по умолчанию.

5.10. Размещение компонентов на плате

Удачное размещение компонентов на плате в значительной степени определяет успешность последующей трассировки соединений и качества проекта в целом.

САПР **Altium Designer** содержит две программы автоматического

размещения компонентов, работа с которыми подробно описана в [7].

Следует заметить, что автоматическое размещение обычно считается предварительным и требует интерактивной доработки.

В этом пункте рассмотрим интерактивные способы размещения компонентов. Для этого варианта размещения используются в основном инструменты меню **Tools > Component Placement**.

Предварительно следует настроить основные опции размещения (если не подходят настройки, установленные по умолчанию). Рассмотрим некоторые из них.

Tools > Preference > Options > Snap to Center – при включении данной опции при перемещении компонент удерживается за точку привязки, в противоположном случае – за то место, где был выполнен щелчок мыши.

Tools > Preference > Protect Locked Objects – запрещение перемещения компонентов с включенным атрибутом **Locked**.

Tools > Preference > Rotation Step – устанавливается значение угла поворота компонента при перемещении путем нажатия клавиши **Spacebar**. По умолчанию это значение равно **90°**.

Перемещения компонента выполняют командой **Edit > Move > Component** либо перетаскиванием с помощью ЛКМ. В процессе перемещения компонент может быть повернут с помощью клавиши **Spacebar**.

Некоторые компоненты, например краевые соединители, бывает необходимо зафиксировать на нужном месте. Для этого следует выполнить двойной щелчок мыши по компоненту и в появившемся диалоговом окне **Component** на вкладке **Properties** установить флажок **Locked**.

Анализатор длин связей постоянно оценивает качество размещения в процессе перемещения компонента, основываясь на длинах соединений, и отображает зеленый (хороший) или красный (плохой) вектор, показывающий текущее качество размещения. Дальний конец вектора показывает место для компонента (компонентов), размещение в котором минимизирует общую длину линий соединения.

Для выравнивания компонентов следует их выделить (ЛКМ + **Shift**) и воспользоваться командой **Align** на панели инструментов **Component Placement** (или меню **Tools > Interactive Placement**). Там

же имеются инструменты для равномерного размещения выбранных элементов с заданным шагом.

Команда **Move to Grid** перемещает компоненты в ближайшие углы сетки размещения компонентов.

Мощным инструментом размещения компонентов являются так называемые «комнаты» (**Room**) – прямоугольные области размещения компонентов на плате. Комнаты целесообразно применять в тех случаях, когда имеются одинаковые фрагменты схемы, которые реализуются на плате тоже одинаково [7, 8]. При перемещении комнаты автоматически перемещаются все включенные в нее компоненты.

Другой инструмент – размещение компонентов группами (кластерами), которые по схемотехническим соображениям должны быть размещены вместе и определенным образом. Типичный пример кластера – микросхема с элементами «обвязки». В этом случае сначала проверим, включена ли опция **Tools > Cross Select Mode**, которая обеспечивает одновременное выделение объектов в обоих редакторах. Затем выделяем микросхему и элементы «обвязки». Далее выполним команду **Tools > Component Placement > Reposition Selected Components**. Программа будет предлагать устанавливать выбранные компоненты по одному, начиная с первого (с микросхемы). Для разбиения всех существующих групп компонентов используется команда меню **Tools > Convert > Break All Component Unions**.

Интерактивное размещение компонентов в проекте Sum2SIA2

После передачи данных о проекте из редактора схем в редактор плат (п. 5.8) справа от правой границы платы будут расположены линейкой компоненты проекта. Перетащим ЛКМ компоненты по одному, начиная с соединителя, который установим у левой границы платы. В процессе перетаскивания с помощью клавиши **SpaceBar** будем ориентировать оптимально компоненты, наблюдая за их связностью.

Микросхемы установим в горизонтальную линейку, выбрав после экспериментирования также оптимальную последовательность микросхем.

Зафиксируем соединитель. Для этого выполним двойной щелчок ЛКМ по соединителю и в появившемся диалоговом окне **Component**

на вкладке **Properties** установим флажок **Locked**. Затем с помощью команды **Align** и других подобных размещенных на панели инструментов **Component Placement** выровняем компоненты и равномерно их разместим. Командой **Move to Grid** уточним положение компонентов – сместим их в ближайшие узлы сетки размещения компонентов. Результаты этих действий представлены на рис. 5.2.

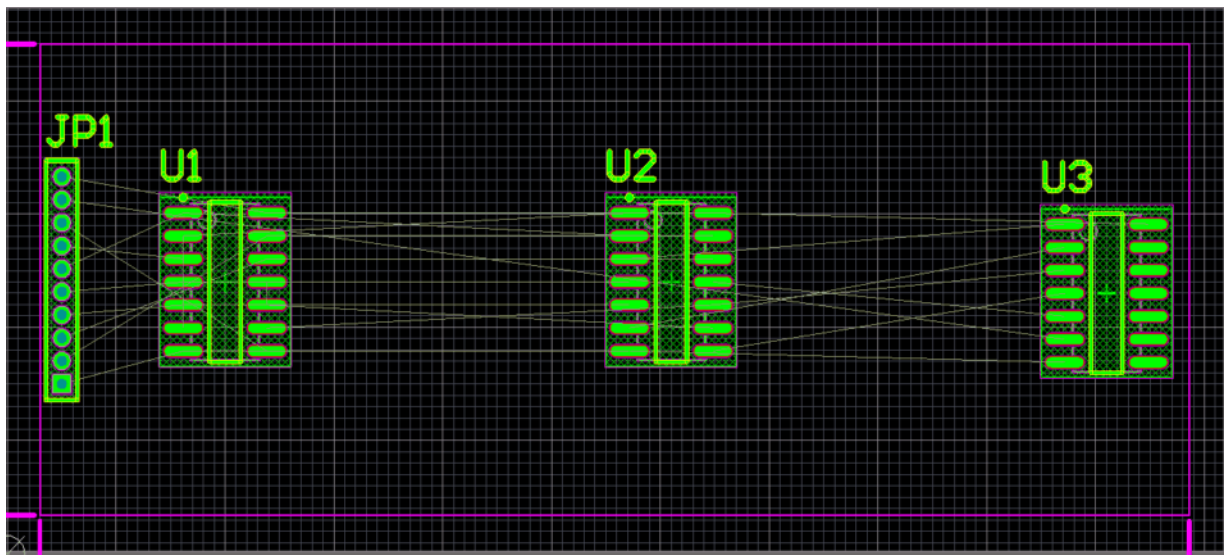


Рис. 5.2. Размещение компонентов на плате

Закончим этот этап проектирования сохранением результатов.

5.11. Интерактивная трассировка и создание областей металлизации

При подготовке к трассировке стоит выключить функцию автопанорамирования командой

DXP > Preferences > PCB Editor > General > Autopan Options > Diable, для того чтобы изображения платы не «убегало» при выходе указателя мыши за пределы рабочего окна.

Основные параметры настройки интерактивной трассировки находятся в окне

DXP > Preferences > PCB Editor > Interactive Routing и соответствуют установленным ранее правилам проектирования. Эти установки могут быть изменены в процессе прокладки трассы при нажатии клавиши **Tab**.

В процессе прокладки трасс редактор печатных плат непрерывно контролирует выполнение правил проектирования (**on-line DRC**) и препятствует их нарушению, если только разработчик не включил специальный режим (**Ignore Obstacle**), описанный ниже.

Для увеличения числа доступных каналов трассировки количество контактных площадок компонентов, попадающих в узлы сетки **Snap Grid**, должно быть как можно большим. Проверить, находятся ли компоненты в сетке, можно с помощью команды меню **Edit > Select > Off Grid Pads** (горячие клавиши **S, G**). Привязку всех компонентов к узлам сетки размещения можно выполнить с помощью команды меню **Tools > Interactive Placement > Move to Grid** (горячие клавиши **I, G**), после чего на экране появится диалоговое окно, позволяющее пользователю установить параметры сетки.

Все неразведенные проводники представляются в слое **Connection** в виде тонких виртуальных линий связи (соединений, или по терминологии разработчиков системы, маршрутов (**From-To**)).

При построении соединений (маршрутов) цепи редактор печатных плат руководствуется топологией цепи, заданной разработчиком в правилах проектирования.

Режим интерактивной трассировки включается командой **Place > Interactive Routine** либо соответствующей пиктограммой на панели инструментов. В результате указатель мыши примет вид крестика. После выбора начального контакта трассы указатель примет вид восьмиугольника. Это признак того, что сработала электрическая сетка – произошел захват электрического объекта. После выбора ЛКМ очередной точки трассы система пунктиром прорисовывает предполагаемый следующий сегмент трассы (работает механизм предсказания). Прокладка трассы завершается нажатием ПКМ.

Всякий раз когда разработчик прекращает процесс прокладки проводника, редактор печатных плат проверяет всю цепь, чтобы определить, какие ее участки разведены, а какие нет. В тех местах цепи, где проводники не проведены, вставляются новые линии связи, обеспечивающие связность цепей на плате.

Если проект состоит из очень больших цепей со множеством узлов или же цепь содержит большое количество примитивов (проводники, переходные отверстия и так далее), то анализ целостности цепи потребует большого времени. Чтобы выключить контроль связности конкретной цепи, ее необходимо скрыть, выполнив команду меню

View > Connections > Hide Net. Скрытая цепь становится недоступной для модуля проверки связности.

Параметры проводников и переходных отверстий могут быть изменены непосредственно во время размещения с помощью клавиши **TAB**. Появится диалоговое окно **Interactive Routing**, где можно изменить ширину проводника, диаметр переходного отверстия и его кольца металлизации. Сделанные здесь изменения отразятся на рекомендуемых значениях (параметр **Preferred**) правил проектирования **Width Constraint** и **Routing Via Style**. Если устанавливаемое значение выходит из заданных ограничений, то оно автоматически ограничивается верхним или нижним значением. Уже существующие на плате проводники можно быстро переразвести. Для этого новый сегмент проводника просто проводится в нужном месте, а избыточные проводники удаляются автоматически. Переход с одного сигнального слоя на другой во время трассировки осуществляется горячими клавишами *, + и - . Переходные отверстия при этом вставляются автоматически.

Редактор печатных плат поддерживает 3 различных режима интерактивной трассировки: игнорирование препятствий, обход препятствий, расталкивание препятствий. Эти режимы определяют поведение проводника во время трассировки по отношению к уже существующим объектам на плате. В каждом из трех режимов работает механизм удаления петель проводников.

Игнорирование препятствий (Ignore Obstacle)

В этом режиме проводник можно прокладывать на плате в любом месте окна редактора печатных плат. При включенном режиме автоматической проверки правил проектирования (**Tools > Design Rule Check** и **Tools > Preferences**), если размещаемый проводник нарушает одно из них, то он и мешающий объект подсвечиваются, сигнализируя об ошибке. Этот режим особенно полезен при повторной разводке платы, когда необходимо создать временное нарушение правил, которое при последующей трассировке будет устранено.

Обход препятствий (Avoid Obstacle)

В режиме обхода препятствий при разводке проводников создать нарушения невозможно.

Когда при прокладке проводника указатель мыши доходит до ме-

ста, где создаются условия для нарушения установленных правил проектирования, сегмент проводника ограничивается позицией, в которой все правила проектирования еще соблюдаются. Режим уклонения от препятствий делает задачу трассировки предельно простой, т.е. разработчику нет необходимости тщательно отслеживать расположение проводников. Редактор печатных плат разрешает размещать проводники только в тех местах, где отсутствуют нарушения правил проектирования. Заметим, что режим обхода препятствий – самый предпочтительный для ручной трассировки.

Если в диалоговом окне **Preferences** включена опция **Flow Through Polygon**, пользователь может прокладывать проводники поверх существующих полигонов в интерактивном режиме **Avoid Obstacle**. После завершения прокладки проводника полигон будет автоматически перезапит, если включена опция **Polygon Repour** в диалоговом окне **Preferences**. Если здесь установлено ограничение на число примитивов в поле **Threshold**, то в случае превышения этого числа будет выдан запрос на подтверждение выполняемых действий.

Расталкивание препятствий (Push Obstacle)

В режиме расталкивания препятствий прокладываемый проводник отталкивает со своего пути мешающие проводники. Сместить нельзя только непереключаемые объекты, например переходные отверстия, контактные площадки и заблокированные проводники. Если возникла ситуация, когда прокладываемый проводник не может двигаться дальше, так как ему мешает непереключаемый объект, система переключается в режим игнорирования препятствий. Режим расталкивания препятствий идеально подходит для повторной трассировки платы. При работе в этом режиме из-за большого количества изменений на экране может возникнуть необходимость обновить его содержимое, что выполняется нажатием клавиши **END**.

Во время интерактивной трассировки режимы размещения проводников можно циклически переключать клавишами **Shift + R**.

Создание областей металлизации

Одними из наиболее часто встречающихся элементов печатных плат являются области металлизации следующих разновидностей:

- заштрихованные заземленные полигоны на печатных платах аналоговых устройств;

- сплошные полигоны на слоях питания, обеспечивающие протекание больших токов;
- сплошные заземленные слои, выполняющие роль электромагнитных экранов.

Внутренние слои питания и заземления

Редактор печатных плат поддерживает до 16 слоев питания. Если проект построен на основе списка цепей, каждому слою можно назначить определенное имя цепи. Слой можно разбить на несколько изолированных друг от друга областей, каждой из них может быть назначена своя цепь.

Выводы компонентов могут соединяться со слоем питания непосредственно либо с использованием теплового барьера. Тепловой барьер используется во время пайки для уменьшения передачи тепла от вывода компонента к области металлизации, с которой он соединен электрически.

Чтобы соединить контактные площадки выводов компонентов, предназначенных для поверхностного монтажа, с внутренними слоями питания, применяются специальные средства. Планарные контактные площадки помечаются как подсоединенные к этому слою автоматически. Для выполнения физического соединения автотрассировщик использует так называемый «стрингер» – короткий проводник с переходным отверстием на соответствующий внутренний слой питания с соединением непосредственно или с помощью теплового барьера.

Чтобы назначить какую-либо цепь внутреннему слою питания, необходимо произвести следующие действия.

Выполним команду меню **Design > Layer Stack Manager**, после чего появится диалоговое окно **Layer Stack Manager**. Добавим новый внутренний слой питания или заземления к существующему стеку слоев (если он не был создан ранее), выполним щелчок левой кнопкой мыши на слое, под которым будет размещаться новый слой, и нажмем кнопку **Add Plane**. Обычно печатные платы имеют четное число слоев металлизации, поэтому при добавлении нового слоя пользователю может потребоваться добавить еще один сигнальный или внутренний слой.

Выполним двойной щелчок левой кнопкой мыши на слое и назначим ему нужную цепь или присвоим новое имя. Затем закроем диало-

говое окно **Layer Stack Manager**. Все линии связи для этой цепи исчезнут. При наведении указателя мыши на контактную площадку, принадлежащую этой цепи, он будет принимать вид небольшого перекрестия, причем для непосредственного соединения он будет иметь вид **X**, а для соединения с тепловым барьером он будет похож на знак **+**.

Выводы, которые не должны присоединяться к внутреннему слою питания, изолируются от него с помощью свободной от меди области. Правило проектирования **Power Plane Clearance** задает размеры этой области.

Аналогично контактными площадкам переходные отверстия автоматически соединяются с внутренним слоем питания, если ему назначена та же цепь. Соединение осуществляется согласно установленному для этой цепи правилу проектирования **Power Plane Connect Style**.

Если разработчик не хочет подсоединять переходные отверстия к внутреннему слою питания, то в соответствующих правилах проектирования **Power Plane Connect Style** необходимо установить стиль **No Connect**.

Структура внутренних слоев питания отображается в негативном изображении. Металлизация под всеми размещенными на слоях питания объектами будет удалена, в то время как незаполненные области на чертеже будут иметь сплошную металлизацию.

Чтобы посмотреть, каким образом выводы компонентов соединяются с внутренним слоем питания, необходимо произвести следующие действия.

Включить только нужный слой питания и слои **Pad holes layer** и **Multi layer**. Щелкнуть на вкладке слоя питания в нижней части окна редактора печатных плат. В случае необходимости обновить содержимое экрана, нажав клавишу **End**.

Разработчик может разделить один внутренний слой между несколькими цепями путем разбиения его на несколько изолированных областей. Создание разделенных цепей питания подробно рассмотрено в [8].

Размещение полигонов

Полигонами называют области металлизации неправильной (как правило, достаточно сложной) формы, которые могут состоять из одной или нескольких частей, соединенных с заданной цепью.

Область металлизации может быть создана на любом сигнальном

слое. Сначала прямыми линиями или дугами задаются границы полигона, который впоследствии автоматически будет залит медью в соответствии с заранее определенными правилами проектирования. Границы заливки можно редактировать в любой момент работы над проектом. После изменения положения отдельных компонентов и проводников на плате можно выполнить повторную заливку полигона.

Размещение полигонов выполняется с помощью команды меню **Place >**

Polygon Pour, после чего появится диалоговое окно **Polygon Pour**, которое позволяет установить нужные параметры полигона.

Сначала переместите указатель мыши в начальную точку полигона и выполните щелчок левой кнопкой мыши. Продолжайте последовательно вводить точки излома границы полигона, пока граница не будет замкнута. Используйте клавишу **SpaceBar** для изменения режима формирования границы полигона.

Как только граница замкнется, заливка полигона будет произведена. Если граница полигона еще не замкнута, то после нажатия клавиши **Esc** или щелчка правой кнопкой мыши произойдет автоматическое замыкание полигона линией, соединяющей начальную и последнюю точки. Обтекание существующих объектов (проводников, контактных площадок, переходных отверстий, областей заливки, надписей) производится в строгом соответствии с назначенными правилами проектирования, которые определяют зазоры между проводящими частями различных цепей.

При назначении полигону некоторой цепи все ее контактные площадки, находящиеся внутри него, будут автоматически соединены с ним в соответствии с установками, заданными в правиле проектирования **Polygon Connect Style**.

Области металлизации могут быть сплошными или иметь сетчатый или штрихованный узор. Штриховка может быть выполнена вертикальными и горизонтальными линиями или линиями под углом 45° .

В дальнейшем границы полигона могут быть изменены, а сами полигоны могут быть обновлены для обтекания новых препятствий.

Изменения границ полигона выполняется командой **Edit > Change > Polygon Vertices** и последующим перемещением его вершин.

В диалоговом окне **Place > Polygon Pour** выбирается вариант заливки полигона:

Поле Fill Mode:

Solid – сплошная заливка;

Hatched – сетка;

None – контур без заливки.

Поле Net Options:

Connect to net – соединить полигон с цепью, которая выбирается в выпадающем списке **Connect to Net**;

Pour Over Same Net – все существующие внутри полигона проводники – части выбранной цепи – будут объединены с полигоном;

Remove Dead Copper – автоматически удалять возникающие участки металлизации, не соединенные ни с какой цепью.

Среднее поле:

Greed Size – шаг прорисовки линий, которыми осуществляется штриховка полигона. Для оптимального расположения этих линий желательно делать шаг кратным шагу выводов компонентов.

Track Width – ширина линий, которыми осуществляется штриховка полигона. В случае если ширина линий меньше шага сетки, поверхность полигона будет заштрихована. Для получения сплошной заливки полигона необходимо установить ширину линий немного превышающей шаг сетки.

Hatching Stile – стиль штриховки:

- **90 Degree Hatch.** Полигон будет заштрихован горизонтальными и вертикальными линиями.
- **45 Degree Hatch.** Полигон будет заштрихован ортогональными линиями под углом в 45°.
- **Vertical Hatch.** Полигон будет заштрихован вертикальными линиями.
- **Horizontal Hatch.** Полигон будет заштрихован горизонтальными линиями.
- **No Hatching.** В этом режиме прорисовываются только внешние границы полигона, штриховка внутри него не выполняется. Данная опция полезна на начальных этапах работы, когда необходимо просто обозначить наличие полигона, чтобы не снижать производительность системы, а заливку полигона можно будет сделать позднее.

Поле Properties:

Layer – слой, на котором будет размещен полигон. Полигоны могут размещаться на сигнальных, механических или любых других слоях.

Surround Pads With – способ обтекания контактных площадок, которое может быть выполнено дугами или восьмиугольниками. В случае использования восьмиугольников выходной файл в формате **Gerber** получается меньшего размера, а также увеличивается скорость вывода чертежа на фотоплоттере.

Min Prim Length – минимальный размер примитивов, используемых в данном полигоне. Поскольку полигоны могут содержать большое количество участков линий и окружностей, используемых для реализации сглаженных кривых вокруг имеющихся объектов печатной платы, ограничение минимальной длины примитивов позволяет ускорить прокладку полигонов, перерисовку экрана, а также генерацию выходных файлов за счет отказа от сглаживания границ полигона.

Для выполнения повторной заливки полигона используются команды подменю **Tools > Polygon Pours** или команды подменю **Polygon Actions**, которое появляется при нажатии ПКМ на полигоне (слой полигона должен быть при этом активен).

Обновление полигона выполняется командой **Repour**.

5.12. Автотрассировка электрических соединений

В редактор печатных плат встроен бессеточный трассировщик **Situs**, основанный на топологическом подходе: вместо дискретного рабочего поля трассировщик работает на топологической модели монтажного пространства (АРП – аналоговое рабочее поле [2]), где учитывается только относительное расположение объектов монтажного поля без использования их координат. Основными элементами топологической модели являются треугольники (триангуляция Делоне), стороны которых играют роль каналов с заданной пропускной способностью. Одно из преимуществ такой модели – возможность проведения неортогональных фрагментов трасс наряду с горизонтальными и вертикальными.

Все алгоритмы трассировки, входящие в систему, являются кон-

фликтными, т.е. алгоритму не запрещается размещать проводник или переходное отверстие там, где уже расположены другие проводники, переходные отверстия или контактные площадки. Такое размещение называется конфликтом, правильное разрешение которого и является главной целью программы.

Другими словами, под конфликтом подразумевается нарушение предварительно установленных правил проектирования, которое может заключаться в пересечении сегментов проводников разных цепей, касании или наложении проводников, контактных площадок и переходных отверстий, относящихся к разным цепям.

Если в некоторой точке платы возникает конфликт, то создается маленькая желтая окружность с центром в точке конфликта (маркер конфликта), которая будет удалена только после окончательного его разрешения. Эта окружность будет служить сигналом для выполняемых процедур трассировки: в этом месте платы требуется переработка топологии. Она сохраняется до конца процесса трассировки лишь в редких случаях, когда на плате недостаточно места для подавления конфликтной ситуации с помощью функции расталкивания.

Общее число конфликтных ситуаций, возникших по ходу процесса трассировки, отображается в строке состояния программы. Число маркеров конфликтов иногда может не совпадать со значением в строке состояния. Это случается потому, что маркеры постоянно добавляются и удаляются в процессе выполнения трассировки, а строки состояния обновляются только по завершению очередной процедуры.

Успешное выполнение трассировки зависит от ряда факторов: оптимальности размещения компонентов, выбранной стратегии трассировки, которая может быть одной из стандартных либо сформирована разработчиком. Может быть, стоит предварительно протрассировать критические цепи и закрепить их. Но следуют иметь в виду, что закрепленные объекты усложняют трассировку последующих соединений.

Управление трассировщиком выполняется с помощью меню **Authoroute**, которое содержит следующие команды:

- All** – трассировать всю плату согласно текущим настройкам;
- Net** – трассировать указанную ЛКМ цепь;
- Net Class** – трассировать класс цепей;

Connection – трассировать цепи, подсоединённые к указанному выводу компонента;

Area – трассировать все соединения, выходы которых попали в выделенную область;

Room – трассировать все проводники, соединяющие выходы компонентов, включенных в «комнату»;

Component – трассировать все соединения, подходящие к выводам указанного компонента;

Component Class – то же для класса компонентов;

Connections on selected components – трассировать все проводники, соединяющие выходы внутри выбранных компонентов;

Connections between selected components – трассировать проводники между выводами выбранных компонентов;

Fanout – трассировать стрингеры для выбранного компонента (цепи, ...).

Удаление одной, нескольких или всех проведенных трасс выполняется командой

Tools > Un-Route > All (Net, Connection, Component, Room).

Перед выполнением автотрассировки разработчик выбирает или создает стратегию трассировки для программы **Situs**.

Сравним два понятия: «правила проектирования» и «стратегия трассировки».

Правила проектирования (в том числе и правила трассировки) определяют, ЧТО можно или нельзя (ограничения) сделать в процессе проектирования (в том числе и в процессе трассировки), а механизм **on-line DRC** контролирует выполнение правил.

Стратегия трассировки определяет, КАК следует выполнять трассировку, и состоит из процедур трассировки, проходов, последовательности действий.

Настройка стратегии трассировки выполняется командой **Auto-route > Setup** в появившемся окне **Situs Routing Strategies**. В верхнюю часть окна выводятся ранее заданные правила проектирования для трассировки, которые при необходимости можно изменить.

В нижней части окна на вкладке **Routing Strategy** указаны имена пяти заранее сформированных эталонных стратегий трассировки:

- **Cleanup** – стратегия с «чисткой» топологии. Под чисткой топологии понимается удаление лишних изломов или спрямление проводников;

- **Default 2Layer Board** – стратегия для простой двухслойной платы;

- **Default 2Layer With Edge Connections** – стратегия для двухслойных плат с торцевым разъемом;

- **Default Multy Layer Board** – стратегия для многослойных плат;

- **General Orthogonal** – преимущественно ортогональная трассировка;

- **Via Miser** – трассировка с «агрессивной» минимизацией числа переходных отверстий.

Зафиксировать все ранее проведенные соединения можно установкой флажка **Lock All Pre-Routing**.

Удаление конфликтных участков топологии после окончания трассировки выполняется при установке флажка **Rip-Up Violations After Routing**.

Собственную стратегию трассировки возможно создать после нажатия кнопки **Add** в окне **Situs Strategy Editor**. В окне **Strategy Name** вписывается имя новой стратегии, в окне **Strategy Description** – краткая аннотация для создаваемой стратегии. Степень минимизации числа переходных отверстий устанавливается перемещением движка. Но следует иметь в виду, что при увеличении степени минимизации числа отверстий время трассировки увеличивается.

При установке флажка в окне **Orthogonal** запрещаются диагональные трассы (трассы только ортогональные).

Файл стратегии трассировки может содержать следующие процедуры (проходы, **pass**):

- **Adjacent Memory** – соединяет соседние выводы компонента U-образными проводниками;

- **Clean Pad Entries** – чистка подходов к контактным площадкам. Соединение трассируется заново из контактной площадки вдоль самой длинной оси контактной площадки;

- **Completion** – разрешение возможных конфликтов и завершение прокладки сложных трасс с использованием методов **Push and Shove** (вставка и расталкивание) и **Rip Up** (разрыв). Первый метод обеспечивает вставку проводника, раздвигая соседние, перескакивание через переходные отверстия и контактные площадки. Если в результате применения метода **Push and Shove** остались конфликты (они обозначены небольшими окружностями желтого цвета), то второй метод

применяется для принудительного разрыва уже проложенных проводников, связанных с конфликтными точками на плате, и их повторной трассировкой;

Fan out Signal – создание стрингеров у контактных площадок для компонентов поверхностного монтажа (SMT) на сигнальных слоях. Сначала оцениваются зазоры, ширина трасс и переходные отверстия, а затем выбирается подходящий вариант стрингеров (в ряд, в шахматном порядке и т.д.) с целью выполнения правил проектирования;

Fan out to Plane – создание стрингеров у планарных контактных площадок с переходом на внутренние слои питания и заземления;

Hug – уплотнение проложенных трасс: каждое соединение трассируется заново с минимально возможными зазорами с учетом ранее проведенных соединений. Эта процедура используется для максимизации свободного пространства и требует значительных затрат машинного времени;

Layer Pattern – трассировка с заданным приоритетным направлением на слое;

Main – главная процедура трассировщика с применением методов разрыва и расталкивания препятствий. Процедура использует топологическую модель монтажного поля;

Globally Optimized Main – глобальная оптимизация процедуры **Main**;

Memory – эта процедура находит все цепи, связанные с устройствами памяти или похожими на таковые, и использует эвристический (**Heuristic**) алгоритм и метод поиска (**Search**). Эту процедуру рекомендуется включать всегда, даже в случаях, когда на плате нет запоминающих устройств.

Если на разрабатываемой вами плате присутствует настоящий блок памяти, и его местоположение, ориентация и привязка строго оговорены, для оценки его разводки рекомендуется включить только эту процедуру, а все остальные выключить.

Multilayer Main – главная процедура трассировщика для многослойных печатных плат;

Recorner – добавление сглаживания прямых углов;

Spread – трассируется заново каждое соединение с целью равномерного расположения трасс при проходе между зафиксированными

объектами (например, контактными площадками посадочного места). Процедура очень медленная;

Straighten – общая чистка топологии, которая заключается в уменьшении числа изломов (углов) трассы. В районе анализируемого угла производится поиск (по вертикали, горизонтали или диагонали) пути до ближайшей точки фрагмента цепи. Если такой путь найден, то проверяется, уменьшает ли новый путь общую длину соединения. Одновременно производятся спрямление и удаление небольших сегментов трасс.

Очередная процедура трассировки добавляется в формируемую стратегию после выделения её в окне **Available Routing Passes** и нажатия на кнопку **Add**. В результате её имя появляется в окне **Passes this Routing Strategy**. Установленная процедура может быть удалена из последнего окна после её выделения и нажатия на кнопку **Remove**. Очередность выполнения процедур (проходов) может регулироваться кнопками **Move Up** и **Move Down**.

Настройка стратегии трассировки завершается нажатием кнопки **ОК**. Для дальнейшего использования сформированной стратегии в других проектах можно сохранить все настройки в виде файла **.htm** нажатием кнопки **Save Report As**.

Запуск трассировщика выполняется кнопкой **Route All** в окне настройки стратегии трассировки. Процесс трассировки можно остановить командой **Tools > StopAutorouter**, сделать паузу командой **Tools > Pause**.

Доработка результатов автотрассировки – обычный этап проектирования печатной платы. Процесс доработки трассировки запускается кнопкой **Place > Interactive Routing**. Это может быть, например, так.

Предварительно включаем мощные функции редактора плат – расталкивание препятствий и удаление петель проводников на вкладке **Options** диалогового окна **Preferences**, которое вызывается командой **Tools>Preferences**.

Затем выделяем щелчком ЛКМ неудачно проложенный проводник и прокладываем его по новому пути с возможным расталкиванием других проводников. После завершения прокладки (клавиша **Esc**) старый проводник будет удален, поскольку образовалась петля.

Трассировка печатной платы проекта Sum2SIA2

Правила проектирования проекта **Sum2SIA2** (в том числе и правила, работающие при трассировке соединений) были заданы ранее (см. п. 5.9). Размещение компонентов также было уже выполнено (см. п. 5.10).

Настроим стратегию трассировки.

Учебный проект весьма простой и выполняется на двухслойной плате, поэтому создавать собственную стратегию трассировки нет необходимости. Воспользуемся подходящей эталонной стратегией трассировки **Default2Layer Board**, рекомендуемой для простых двухслойных плат:

Autoroute > Setup > окно Situs Routing Strategies > Dtfault2LayerBoard > ОК.

Запустим автотрассировщик нажатием кнопки **Route All** в окне **Situs Routing Strategies**.

Результаты представлены на рис. 5.3.

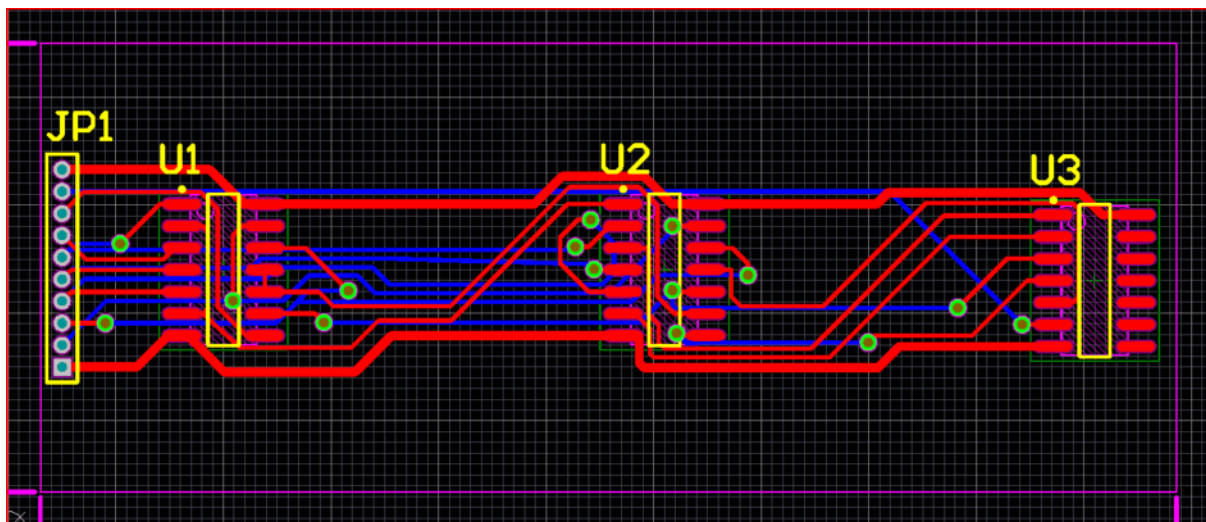


Рис. 5.3. Трассировка печатной платы

Полученный вариант трассировки оставим без редактирования.

5.13. Просмотр и редактирование объектов на печатной плате

Необходимость просмотра и редактирования объектов – компонентов, проводников, контактных площадок – на печатной плате воз-

никает до и после трассировки соединений. Для выполнения этих операций можно воспользоваться стандартным окном свойств объекта, которое появляется после выделения объекта. Заметим, что в случае, когда объекты при выделении расположены близко или наложены друг на друга, то появится список, из которого нужно выбрать нужный объект, после чего появится диалоговое окно просмотра параметров объекта и редактирования некоторых из них. При выборе в контекстном меню (ПКМ-меню) команды **Applicable Unary Rules** появляется возможность просмотра правил, применённых к выделенному объекту. Выделив в таблице имени правила и нажав на кнопку **Design Rules**, можно отредактировать правила. Правила, отмеченные зелёным флажком, применяются в текущий момент, а отмеченные крестом – не применяются.

Кроме проверки применяемых к объекту правил, имеется возможность проверить все объекты, к которым некоторое правило применяется. Это можно выполнить с помощью панели управления редактором печатных плат, где из выпадающего списка нужно выбрать режим **Rules** и выделить или подсветить контролируемые объекты с помощью кнопок **Select** и **Highlight** соответственно.

Заметим, что функции **Select** и **Highlight** никак не влияют на состояние объекта, а только выделяют объект на чертеже платы.

Если необходимо выяснить, почему именно тот или иной объект попал в список нарушений правил проектирования, то следует выполнить на нем щелчок правой кнопкой мыши и выбрать **Violations** из всплывающего меню. Появится диалоговое окно **Violation Inspector**, в котором будет подробно описано, что вызвало нарушение и каких именно правил проектирования.

После выделения сегмента проводника появляются три метки: на концах сегмента и в центре. Перемещением меток можно изменить форму сегмента, положение сегмента изменяется перетаскиванием сегмента за свободную его часть.

Для одновременного редактирования нескольких проводников (например, требуется сместить группу параллельных сегментов трасс) нужно их предварительно выделить, что можно сделать несколькими способами:

- поочередными щелчками ЛКМ при нажатой клавише **Shift**;
- с помощью команд меню **Edit > Select**. Далее САПР предложит

вариант выделения с помощью рамки выбора или с помощью линии выбора, пересекающей нужные объекты. Затем, зацепив ЛКМ за свободную от маркеров часть любого сегмента, передвигаем группу сегментов в нужное место.

Второй вариант редактирования объектов – применение панели **Inspector**, которая вызывается клавишей **F11** после выбора объекта. К достоинствам этого варианта отнесем возможность редактирования сразу группы объектов.

5.14. Верификация печатной платы

Верификация печатной платы заключается в проверке выполнения правил проектирования. Для верификации предназначен высокопроизводительный программный модуль **Design Rule Checker (DRC)**, который может работать в двух режимах:

Online DRC – режим реального времени, когда программа **DRC** контролирует каждый шаг разработчика и не позволяет ему выполнять действия, приводящие к нарушениям установленных правил проектирования (или, по крайней мере, немедленно сигнализирует об обнаруженных нарушениях);

Batch DRC – режим пакетной проверки правил проектирования, когда программа **DRC** обрабатывает печатную плату после выполнения размещения компонентов и трассировки электрических соединений.

Разработчик проекта может указать, какие именно правила в каждом из 2 режимов следует программе **DRC** контролировать. Это можно сделать командой

Tools > Design Rule Check > окно Design Rule Checker > вкладка Rule To Check > установить нужные флаги.

В работе [8] даются следующие рекомендации:

- для **online DRC** включать только проверку зазоров по металлизации (**Clearance**) и зазоров между компонентами (**Component Clearance**);

- для **batch DRC** включать все правила, которые были созданы для данного проекта (**ПКМ > Batch DRC > Used On**).

В режиме **Batch DRC** можно указать опции просмотра соблюде-

ния установленных правил проектирования в окне **Design Rule Checker**, выделив строку **Report Options**:

- **Create Report File** – автоматически создается файл отчета проверки правил проектирования с расширением **.DRC**, который можно открыть в текстовом редакторе;

- **Create Violations** – при включении этой опции места нарушений правил будут подсвечены заданным цветом;

- **Sub-Net Details** – просмотр фрагментов не разведенных полностью цепей. Эта опция работает совместно с правилом проектирования **Unrouted Net Rule** (непротрассированные цепи). **Внимание!** Это правило должно включаться только после трассировки всех соединений;

- **Stop when XXX Violation** – сюда записывается максимальное число нарушений, после достижения которого редактор остановит процесс проверки правил проектирования.

- **Note** – рекомендация сохранить файл **.PCB** перед генерированием файла отчета.

Запуск верификации печатной платы осуществляется нажатием кнопки **Run Design Rule Clock** в окне **Design Rule Checker**. В результате объекты, которые содержат обнаруженную ошибку, будут подсвечены цветом ошибки.

Верификация проекта Sum2SIA2.

Для проекта **Sum2SIA2** верификацию печатной платы выполним в 2 этапа. Предварительно проверим все правила проектирования, установленные для данного проекта, кроме категории **SIA** (описано в п. 5.15.). Для этого с помощью команды **ПКМ > Batch DRC > Used on** включим все правила, а затем снимем флаги с правил категории **SIA**.

Далее в окне **Design Rub Checker** (команда **Tools > Design Rule Checker**) установим:

- **Create Report File** – создать файл отчета;
- **Create Violations** – подсвечивать места нарушения правил;
- **Stop When 30 Violation** – если число нарушений будет более 30, остановить процесс проверки нарушений правил проектирования.

Процесс проверки нарушений запустим нажатием кнопки **Run Design Rule Check** в этом же окне.

Вероятнее всего окажется, что при тех параметрах конструкции, которые мы установили, нарушения правил проектирования отсутствуют.

Если же нарушения правил проектирования будут обнаружены, то следует проанализировать их, внести нужные изменения в проект и повторить процедуру **DRC**.

5.15. SI-анализ при выполнении **DRC**

Возможность проконтролировать отсутствие нарушений для правил категории **SIA** имеется уже на этапе верификации печатной платы (этапе **DRC**). Программа **DRC** использует быстрые приближенные методы **SI**-анализа, поэтому результаты **DRC** носят ориентировочный характер, позволяющий разработчику сосредоточить внимание на наиболее критичных электрических цепях, что позволит быстрее выполнить более тщательный анализ нарушений целостности сигналов, который рассмотрен далее в разд. 6.

В первую очередь следует активизировать (команда ПКМ > **Batch DRC**) и настроить правила проектирования категории **SIA**.

При выполнении **SI**-анализа предполагается, что основными элементами схемы являются цифровые интегральные микросхемы, а тестовый сигнал в анализируемых цепях имеет прямоугольную форму.

Настройка правил проектирования категории SI

Правила проектирования категории **SI** становятся доступны из редактора печатных плат для просмотра и редактирования после выполнения команды **Design > Rules** в диалоговом окне **Design Rules**. Состав этой категории правил следующий:

Min. Impedance, Max. Impedance – минимально и максимально допустимый импеданс (волновое сопротивление) цепи. Импеданс цепи зависит от геометрии проводника и его проводимости, материалов окружающих диэлектриков (основной материал платы, межслойный изоляционный материал, покрытие паяльной маски и др.) и физической геометрии платы (расстояние до других проводников по оси **Z**).

Signal Top Value – максимально допустимое значение напряжения сигнала высокого уровня.

Overshoot (Rising Edge) – максимально допустимый положительный

выброс (затухающие колебания, относительно высокого значения напряжения) на переднем фронте сигнала. Превышение величины допустимого выброса может привести к электрическому пробоем компонентов.

Undershoot (Rising Edge) – максимально допустимое значение отрицательного выброса (затухающие колебания, относительно высокого значения напряжения) на переднем фронте сигнала. Нарушение данного правила может привести к ложным срабатываниям логических элементов.

Base Value (Failing Edge) - максимально допустимое значение напряжения сигнала низкого уровня.

Overshoot (Failing Edge) – максимально допустимый отрицательный выброс (затухающие колебания, относительно низкого значения напряжения) на заднем фронте импульса сигнала.

Undershoot (Failing Edge) – максимально допустимое значение положительного выброса (затухающие колебания, относительно низкого значения напряжения) на заднем фронте сигнала.

Slope (Rising Edge) – максимально допустимое значение крутизны переднего фронта импульса. Под этим значением здесь подразумевается время, затраченное на изменение уровня сигнала от порогового напряжения (V_T) до действительного значения напряжения высокого уровня (V_L).

Slope (Failing Edge) – максимально допустимое значение крутизны заднего фронта импульса. Под этим значением здесь подразумевается время, затраченное на изменение уровня сигнала от порогового напряжения (V_T) до действительного значения напряжения низкого уровня (V_L).

Flight Time (Rising Edge) – максимально допустимое время задержки переднего фронта сигнала, обусловленное внутренней структурой схемы. Оно вычисляется как время, которое затрачивается на то, чтобы напряжение на реальном входе достигло порога, минус время, которое затрачивается на то, чтобы напряжение на нагрузке (подсоединенной непосредственно к выходу ИС) достигло порога.

Flight Time (Failing Edge) – максимально допустимое время задержки заднего фронта сигнала.

Signal Stimulus – данное правило определяет характеристики входных сигналов, которые используются при анализе целостности

сигналов. Эти сигналы подаются на каждый входной вывод тестируемой цепи и формируются на выходных выводах. В процессе проверки правил проектирования возвращается наихудший возможный результат.

Значение параметров сигналов, которые могут привести к нарушению работы устройства, выбираются из следующих соображений.

- Будем считать, что порог срабатывания логического элемента составляет 0,5 от напряжения питания. Следовательно, амплитуда паразитных колебаний не должна достигать этого уровня.

- Паразитные колебания не должны приводить к пробоем компонентов.

- Задержки сигнала не должны превышать заданную величину, определяющую быстродействие схемы, или они определяются исходя из параметров тактовых импульсов.

- Импеданс цепей (волновое сопротивление) должно быть согласовано с нагрузкой, чтобы предотвратить отражения сигналов.

Для проекта **Sum2SIA2** установим следующие значения в правилах проектирования категории **SIA**:

Signal Top Value : 3.0 В.

Overshoot (Rising Edge): 1.0 В.

Undershoot (Rising Edge): 1.0 В.

Base Value (Failing Edge): 1.0 В.

Overshoot (Failing Edge): 1.0 В.

Undershoot (Failing Edge): 1.0 В.

Slope (Rising Edge): 3 нс.

Slope (Failing Edge): 5 нс.

Flight Time (Rising Edge): 5 нс.

Flight Time (Failing Edge): 5 нс.

Установка категорий цепей (правило **Supply Nets**) и подключение тестовых сигналов (правило **Signal Stimulus**) будут рассмотрены далее в п. 6.1.

Правило, определяющее импеданс в электрических цепях, отключим, полагая, что согласование волновых сопротивлений цепей с нагрузкой, мы оценим и, возможно, настроим при более тщательной проверке **SI** на следующем этапе.

Остальные правила категории **DRC** активизируем командой **ПКМ > Batch DRC** и установкой соответствующих флагов.

Запустим процесс **DRC** проверки нарушений правил проектирования командой

Tools > Design Rule Check > окно Design Rule Check > Run Design Rule Check.

В результате проверки были обнаружены нарушения **SIA**-правил проектирования в цепи **C1**. Следовательно, именно эта цепь должна быть в первую очередь проанализирована на следующем этапе пост-топологического анализа.

6. ПОСТТОПОЛОГИЧЕСКИЙ АНАЛИЗ ЦЕЛОСТНОСТИ СИГНАЛОВ

Для выполнения посттопологического анализа целостности сигналов САПР **Altium Designer** содержит мощный программный модуль – симулятор **SI (Signal Integrity)**, запускаемый из редактора плат **PCB Editor**.

С помощью этой программы можно выполнить следующие виды **SI**-анализа для многослойных печатных плат:

- анализ отражений сигналов в проводниках, работающих как “длинная линия” при несогласованной нагрузке;
- анализ искажений сигналов в результате действия перекрёстных помех за счёт электромагнитной связи между прилегающими параллельными сегментами проводников;
- **SI**-анализ “что – если”, в результате которого можно подобрать подходящую согласованную нагрузку для минимизации отражений сигналов в линиях;
- просмотр формы сигналов в электрических цепях с возможностью измерения параметров сигналов;
- генерация спектров сигналов.

При выполнении **SI**-анализа следует учитывать следующие особенности и ограничения программы:

➤ Каждая анализируемая электрическая цепь должна содержать один вывод ИС типа **Output**, остальные выходы – типа **Input**.

➤ **SI**-симулятор не учитывает физические эффекты, связанные с распределением тока в проводниках питания и «земли», т.е. считает-

ся, что эти цепи идеальные и выполнены в виде отдельных слоев металлизации. Точность результатов снижается, если это условие не выполнено.

➤ В этой программе все сегменты проводников представляются в виде отрезков линий передач, для которых имеются соответствующие математические модели.

➤ Электронные компоненты заменяются **IBIS**-моделями (**Input/Output Buffer Information Specification**) по стандарту **EIA/ANSI** для описания входных и выходных буферов (комплексных сопротивлений) цифровых ИС. В этом случае компонент характеризуется кривой переходного процесса, а по постоянному току – вольт-амперной характеристикой. **IBIS**-модели содержат параметры элементов эквивалентных схем буферов: сопротивления, ёмкости, индуктивности, источника напряжения. Прохождение сигналов через ИС не моделируется. Резисторы, конденсаторы и индуктивности согласно этому стандарту считаются идеальными элементами, разъемы заменяются линиями передачи, а диоды и транзисторы – **Spice**-моделями. Все эти модели хранятся во встроенной библиотеке и автоматически подключаются к проекту.

Таким образом, **IBIS** – это формат внешнего описания компонента, как “черного ящика”, т.е. не раскрывается внутренняя структура компонента.

Симулятор **Signal Integrity** выполняет анализ целостности сигналов путём численного интегрирования обыкновенных дифференциальных уравнений на основе данных о компонентах электрической схемы и топологии печатной платы. При моделировании сегменты печатных проводников представляются в виде отрезков линий передач (**2-D** моделирование), а компоненты описываются специальными моделями по стандарту **IBIS2**.

SI-моделирование сводится к анализу переходных процессов при прохождении тестового сигнала (одиночный прямоугольный импульс или последовательность импульсов).

6.1. Подготовка проекта к посттопологическому **SI**-анализу

Подготовка проекта к посттопологическому **SI**-анализу предполагает выполнение следующих операций:

- настроить правила проектирования категории **SI** и активировать их;
- установить категории электрических цепей (**Supply и Data**);
- подключить тестовые сигналы;
- установить слои печатной платы и их параметры;
- проверить наличие **IBIS**-моделей у компонентов и при их некорректности или отсутствии отыскать подходящие и подключить их.

Первый пункт подготовки проекта к посттопологическому **Signal Integrity** рассмотрен в п. 5.15.

Установка категорий электрических цепей

Анализ цепей питания и “земли” симулятор **SI** не выполняет, однако эти цепи нужны для моделирования других цепей. Поэтому необходимо проверить правильность категорий цепей и при необходимости их изменить, если это не было сделано ранее. Эта операция выполняется в редакторе плат командой

Design > Rules > выбрать категорию правил **Signal Integrity**.

Далее выбираем и создаем правила **Supply Nets**, в которых цепям питания и “земли” присваивается категория **Supply**, и для них указывается значение напряжения, например **5V**. Затем нажимаем кнопки **Apply** (применить) и **Ok**.

По умолчанию всем остальным цепям устанавливается категория **Data**.

Подключение тестовых сигналов

Источники тестовых сигналов при **SI**-анализе автоматически подключаются ко всем выходным выводам компонентов. Эти выводы должны иметь признак буфера **Out** в соответствии с выбранной **IBIS**-моделью. В каждой цепи рекомендуется иметь только один источник сигнала. Остальные выводы должны иметь признак **In**, и для этих выводов программа **Signal Integrity** рассчитывает форму сигналов и наихудший результат возвращает во время проверки норм проектирования. При необходимости можно посмотреть, какие признаки имеют выводы, и изменить их в окне **Signal Integrity** (см. ниже в этом разделе).

Тип и параметры тестового сигнала устанавливаем в редакторе как одно из правил проектирования плат командой

Design > Rules > выбрать категорию правил **Signal Integrity**.

Далее выбираем и создаем правило **Signal Stimulus**, в котором устанавливаем один из следующих типов тестового сигнала:

- **Single Pulse** – одиночный прямоугольный импульс. По умолчанию его параметры **Start Level, Start Time, Stop Time**;

- **Periodic Pulse** – периодическая последовательность прямоугольных импульсов. Параметры сигнала – **Start Level, Start Time, Period Time**;

- **Constant Level** – постоянное напряжение. Параметр сигнала – **Start Level** (начальный уровень).

В окне **Start Level** устанавливаем начальное значение напряжения для импульсного источника сигнала (или уровень напряжения для источника **Constant Level**). Доступны следующие значения: **Low** (низкий уровень), **High** (высокий).

В окне **Start Time** устанавливаем начальное время для импульсного источника сигнала (по умолчанию **10 нс**).

В окне **Stop Time** устанавливаем конечное время для импульсного источника сигнала (по умолчанию **60 нс**).

В окне **Period Time** устанавливаем период сигнала **Periodic Pulse**.

Установка слоёв печатной платы

Установка слоёв печатной платы заключается в определении порядка их следования типов материалов, геометрических и электрофизических параметров слоёв платы, которые необходимы для SI-анализа.

Данные о стеке слоёв уже были определены в редакторе печатных плат при разработке платы (разд. 2) с помощью команды **Design > Layer Stack Manager**. Проверить и при необходимости их изменить можно в окне **Edit Layer Stack** (команда **Edit > Layer Stack**), где присутствуют две области: **Layers** – проводящие слои и **Dielectric** – изолирующие слои.

В области окна **Layers** указывают имя и тип слоя (**S** – сигнальный, **P** – слой заливки медью (**Plan**)), номер слоя. Верхний слой (**Top**) всегда имеет номер 1, нижний (**Bottom**) – номер 2 и находится в нижней строке списка слоев. Остальные слои можно перемещать вверх и вниз путем нажатия кнопок соответственно **Move Up** или **Move Down**.

В области **Dielectric** устанавливаются следующие параметры слоев:

Type – тип диэлектрика (**Core** – несущий, не эластичный; **Prepreg** – препреговый, эластичный, заполняющий зазоры до прилегающего слоя металлизации);

Height – толщина слоя диэлектрика, который находится между текущим и расположенным выше слоем (по умолчанию **0.32 мм**);

EpsR – относительная диэлектрическая проницаемость (по умолчанию – **4.8**);

Cooper Height – толщина слоя металлизации, которая выбирается на данном шаге в окне **Layers** (по умолчанию **0.035 мм**).

Стек и все параметры слоёв система автоматически сохраняет в файле с расширением **.tdb**.

Установка моделей компонентов

В идеале следует применять **IBIS**-модели, которые разработаны предприятиями-изготовителями электронных компонентов. При их отсутствии программа попытается подобрать подходящую модель.

Спецификации моделей находятся в базе данных – библиотеке моделей программы **Signal Integrity**. Эта библиотека состоит из 2 частей: базовой библиотеки и пользовательской библиотеки. Пользователь изменить базовую библиотеку не может. Пользовательская библиотека изначально пуста, и разработчик может заносить в неё готовые модели путем их импортирования или разработки.

После запуска симулятор **Signal Integrity** ищет по имени модель сначала в пользовательской библиотеке. Если нужная модель там не обнаружена, то просматривается базовая библиотека. Найденная **IBIS**-модель автоматически подключается к текущему проекту в соответствии со значением **TYPE** атрибута компонента. Если нужная модель не найдена, то симулятор использует резервную модель высокоскоростных КМОП-структур **Fallback Model Technology**.

Простейший способ добавить **IBIS**-модель к проекту – использовать диалоговое окно **Model Assignment** программы **Signal Integrity**.

Итак, запускаем симулятор **Signal Integrity** командой **Tools > Signal Integrity**. Если в проекте имеются компоненты без **SI**-моделей, то появится окно **Error or Warning** с сообщением об этом. В этом же окне имеется кнопка **Model Assignment**, нажав которую, мы откроем

диалоговое окно **Model Assignment**. При этом программа попытается присоединить подходящие **IBIS**-модели к компонентам, у которых эти модели отсутствуют.

В окне будут показаны все компоненты и их статус из следующего списка:

No match – модель не найдена;

Low confidence – модель недостаточно соответствует компоненту;

Medium confidence – модель соответствует компоненту;

High confidence – модель хорошо соответствует компоненту;

Model found – модель найдена из существующих;

User modified – пользователь модифицировал модель;

Model added – пользователь модифицировал модель и сохранил ее в схемном документе.

Для правильного выбора **IBIS**-модели каждый компонент должен иметь одну из следующих категорий:

BJT (Bipolar Junction Transistor) – биполярный плоскостной транзистор;

Capacitor – конденсатор;

Connector – соединитель;

Diode – диод;

Inductor – индуктивность;

Resistor – резистор;

IC – интегральная схема.

Кроме того, для резисторов, конденсаторов и индуктивностей следует задать числовые значения номиналов, а для ИС следует указать одну из доступных технологий, список которых представлен в прил. 2.

Все эти установки выполняются в диалоговом окне **Model Assignment** путем выбора строки с модифицируемым компонентом. Затем после щелчка ПКМ на столбце **Type** в выпадающем списке выбираем одну из приведенных выше семи категорий. Аналогично выбираем номинал для дискретного компонента или тип технологии для ИС в столбце **Value/Type**.

Эти же установки можно сделать с помощью ПКМ-меню.

Если есть необходимость в более детальной модификации данных для **IBIS**-модели, то следует выбрать команду **Advanced** из ПКМ-меню.

Для импортирования **IBIS**-файлов следует выполнить следующие команды: в диалоговом окне **Model Assignment** выбираем строку с компонентом, для которого импортируется модель, затем из ПКМ-меню выбираем команду **Advanced**. В результате появится окно **Signal Integrity Model**. Далее выполняем следующее:

Import IBIS > окно **Open IBIS File** > выбираем **IBIS**-файл > **Open** > окно **IBIS Convertor**. Затем действуем в диалоге с **IBIS**-конвертором.

Когда нужные **IBIS**-модели найдены или модифицированы, их можно сохранить, присоединив их к компонентам электрической схемы командой **Update Model in Schematic** в окне **Model Assignment**, предварительно поставив флажки в столбце **Update Schematic** для компонентов, модели которых обновляются. В дальнейшем электрическую схему следует сохранить.

Заметим, что назначенные категории компонентов в дальнейшем при необходимости можно изменять оперативно в процессе выбора электрических цепей для **SI**-анализа в панели **Signal Integrity**, в которой для каждой анализируемой цепи выводится список компонентов, связанных с этой цепью.

Подготовка проекта **Sum2SIA2** к **SI**-анализу

Правила проектирования категории **SI** для проекта **Sum2SIA2** уже настроены, как описано в п. 5.15.

Установим категорию **Supply** для двух электрических цепей проекта: питающее напряжение **+5V** и “земля” командой **Design > Rules > Правило Supply Nets**. Остальные цепи по умолчанию получают категорию **Data**.

Командой **Design > Rules > Правило Signal Stimulus** зададим тестовый сигнал со следующими параметрами:

Stimulus Kind = Periodic Pulse;

Start Level = High Level;

Start Time = 0;

Stop Time = 100 ns;

Period Time = 200 ns.

Проверим установку стека слоёв на печатной плате командой **Edit > Layer Stack**. Для учебного проекта **Sum2SIA2** в разделе 5 была вы-

брана двухслойная печатная плата. Параметры слоёв и материалы оставим те, которые система предлагает по умолчанию.

Интегральные схемы учебного проекта **Sum2SIA2**, взятые из библиотек, содержат **SI**-модели.

6.2. Предварительный посттопологический **SI**-анализ (**Screening**-анализ)

В программе **SI** имеется режим предварительного анализа целостности сигналов (**Screening**-анализ), в котором используется быстрый **2-D** симулятор, применяющий линейные интерполяции функций изменения напряжений на контактах ИС для достижения высокой скорости моделирования. Этот режим полезен для получения предварительной информации об электрических цепях и выбора наиболее критичных цепей для детального анализа.

Процедура **Screening**-анализа запускается автоматически после запуска программы **Signal Integrity** из редактора печатных плат командой **Tools > Signal Integrity**.

Внимание! Рекомендуется закрывать программу **SI** каждый раз и открывать вновь, если в проект платы были внесены изменения без закрытия модуля **SI**.

Если все компоненты имеют **SI**-модели, то при первом запуске программы **SI** для открытого проекта появится окно **SI Setup Option**, в котором предлагается установить нужный импеданс и среднюю длину трассы. Эти установки нужны только в том случае, когда плата содержит непротрассированные цепи. Запуск процедуры **Screening**-анализа из этого окна выполняется нажатием кнопки **Analyze Design**. В последующих запусках программы **SI** окно **SI Setup Option** появляться не будет.

Результаты **Screening**-анализа выводятся в левой части появившейся панели **Signal Integrity** в табличной форме. Каждой электрической цепи присваивается одна из трех категорий:

- **Passed** – заданные в правилах проектирования допуски не нарушены;
- **Failed** – обнаружены нарушения. Соответствующие параметры цепи в таблице выделены красным цветом;
- **Not Analyzed** – цепь не может быть проанализирована. Посмот-

реть причины можно командой: нажать кнопку **Menu** (или ПКМ) > **Show/Hide Columns** > **Analysis Errors**. В результате в таблице появится столбец **Analysis Errors**, содержащий причины невозможности анализировать цепь. Заметим, что тем не менее такие цепи могут быть проанализированы в дальнейшем при моделировании отражений сигналов и перекрестных помех.

При большом количестве цепей для облегчения поиска критических цепей можно регулировать число столбцов с нужными параметрами командой **Menu** (или ПКМ) > **Show/Hide Columns** и установить нужные флажки перед именами соответствующих параметров.

Для просмотра причин нарушений правил проектирования следует выбрать интересующую цепь, затем выбрать **Show Errors** в ПКМ-меню. Сообщение будет добавлено в **Message**-панель.

Результаты расчетов **SI**-параметров любой цепи, выполненных процедурой **Screening**-анализа, можно посмотреть командой **Menu** (или ПКМ) > **Details**.

Поскольку **Screening**-анализ дает приближенные результаты, может оказаться, что при моделировании отражений сигналов и перекрестных помех в некоторых **Failed**-цепях нарушений не окажется.

Результаты **Screening**-анализа для проекта **Sum2SIA2** представлены на рис. 6.1.

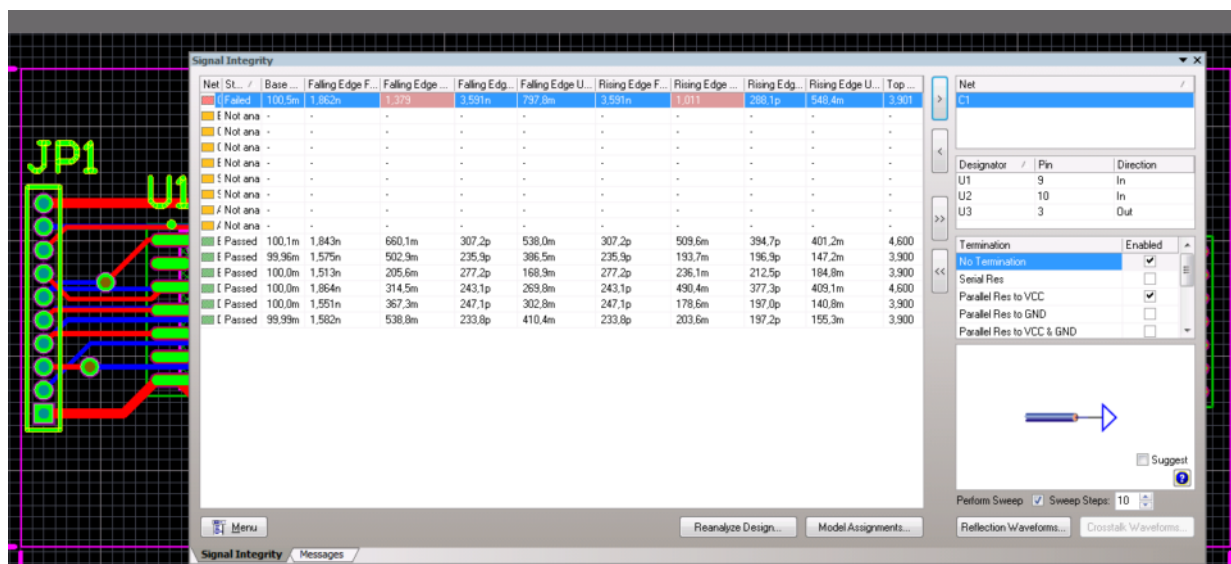


Рис. 6.1. Результаты **Screening**-анализа

Анализируя таблицу, определим наиболее критичные цепи, которые далее проанализируем подробно. Как и при выполнении **DRC**, в

результате **Screening**-анализа были обнаружены нарушения **SI**-правил проектирования в цепи **C1**, что вполне естественно, поскольку в обоих случаях применялась одна и та же процедура **Screening**-анализа.

Следовательно, цепь **C1** должна быть проанализирована в первую очередь на следующем этапе посттопологического анализа.

Результаты **Screening**-анализа можно вывести в текстовом виде. Генерация отчёта запускается командой **Menu > Display Report**.

6.3. Моделирование отражений сигналов

SI-симулятор выполняет расчет формы сигнала на выводах выбранной цепи при возможных отражениях сигнала от нагрузки. Направление распространения сигнала – от источника тестового сигнала (вывод компонента типа **Out**) к приёмникам сигнала (вывод типа **In**). Симулятор пренебрегает потерями по постоянному току при моделировании, эти потери считаются достаточно малыми. Результаты представляются в виде временных диаграмм (по типу осциллограмм).

Запустим **SI**-симулятор командой **Tools > Signal Integrity**.

В левой части появившейся панели **Signal Integrity** будут выведены результаты **Screening**-анализа. Далее можно уточнить пользовательские установки для **SI**-симулятора командой **Menu > Preferences**.

Появившееся окно **Signal Integrity Preferences** содержит 5 вкладок.

- Вкладка **General** содержит следующие опции:
 - Units** задает систему единиц (установим **мм**);
 - Show Warning** активизирует вывод сообщений в диалоговом окне;
 - Display FFT Charts** предназначена для вывода спектра сигнала.
- Вкладка **Configuration** содержит следующие опции:
 - Total Time** задает общее время моделирования. Установим **600n**;
 - Time Step** задает шаг моделирования. Установим **600p**;
 - Ignore Stubs** задает минимальную длину отрезков цепей, ко-

торые не учитываются программой моделирования. Установим **3m**;

Min Length – минимальная длина проводника, который принимается во внимание при расчёте взаимных наводок. Установим **10m**;

Max Dist – максимальное расстояние между параллельными проводниками на печатной плате, для которых рассчитываются взаимные наводки. Установим **3m**.

Установка последних трех опций нужна для сокращения времени моделирования.

- Вкладка **Integration** предназначена для выбора одного из методов численного интегрирования (метод трапеции и методы Гира). Методы Гира потенциально более точные, но требуют большего времени моделирования и при определенных условиях неустойчивы.

- Вкладка **Accuracy** определяет параметры алгоритмов численного интегрирования.

- Вкладка **DC Analysis** определяет параметры алгоритма расчета по постоянному току.

Описание параметров алгоритмов и их значения по умолчанию приведены в [9, с. 452 - 453].

С помощью команды **Menu > Set Tolerances** можно активизировать или деактивизировать установленные ранее правила проектирования категории **Signal Integrity**, изменить их параметры. Для этого в появившемся окне **Set Screening Analysis Tolerances** выбираем ЛКМ нужное правило и нажимаем кнопку **PCB Signal Integrity Rules**. В появившемся окне **PCB Rules and Constraints Editor** выполняем модификацию этого правила.

Следующий шаг – выбор электрических цепей для **SI**-анализа.

Анализировать все цепи проекта нецелесообразно ввиду значительного возрастания времени моделирования. Поэтому разработчик должен выбрать наиболее критичные с точки зрения **SI** цепи. Выбранную для **SI**-анализа цепь предварительно выделим в левой части окна панели **Signal Integrity**, затем щелкнем по стрелке. Цепь отобразится в правой части окна вместе с позиционными именами **Designator** компонентов, номерами **Pin** выводов компонентов, связанных с выбранной цепью, и направлением **Direction** распространения сигналов.

Перед подключением тестовых сигналов проверим свойства вы-

водов компонентов (**In**, **Out**) (в каждой цепи должен быть только один источник сигнала (**Out**), остальные **In**), их **SI**-модели и технологию изготовления компонентов. Если требуется внести изменения, то щелкаем ПКМ по имени компонента и выбираем **Edit Buffer**. В появившемся окне вносим необходимые изменения. Если вывод двунаправленный (**In/ Out**), то следует перед анализом установить одно из направлений. Другое направление проверяется при повторном анализе.

Разработчик может просмотреть анализируемую цепь на схеме или на плате щелчком ПКМ по имени цепи, затем выбрать **Cross Probe to Schematic** (или **PCB**).

Для проекта **Sum2SIA2** выделим имя **C1** электрической цепи, в которой в результате **Screening**-анализа были обнаружены нарушения правил проектирования, и перенесем ее в правую часть окна панели **Signal Integrity**.

Запустим процесс моделирования отражений сигналов командой **Reflection Waveforms**. Результат моделирования представлен временными диаграммами в окне **Waveform Analyses** сигнального анализатора и приведен на рис. 6.2.

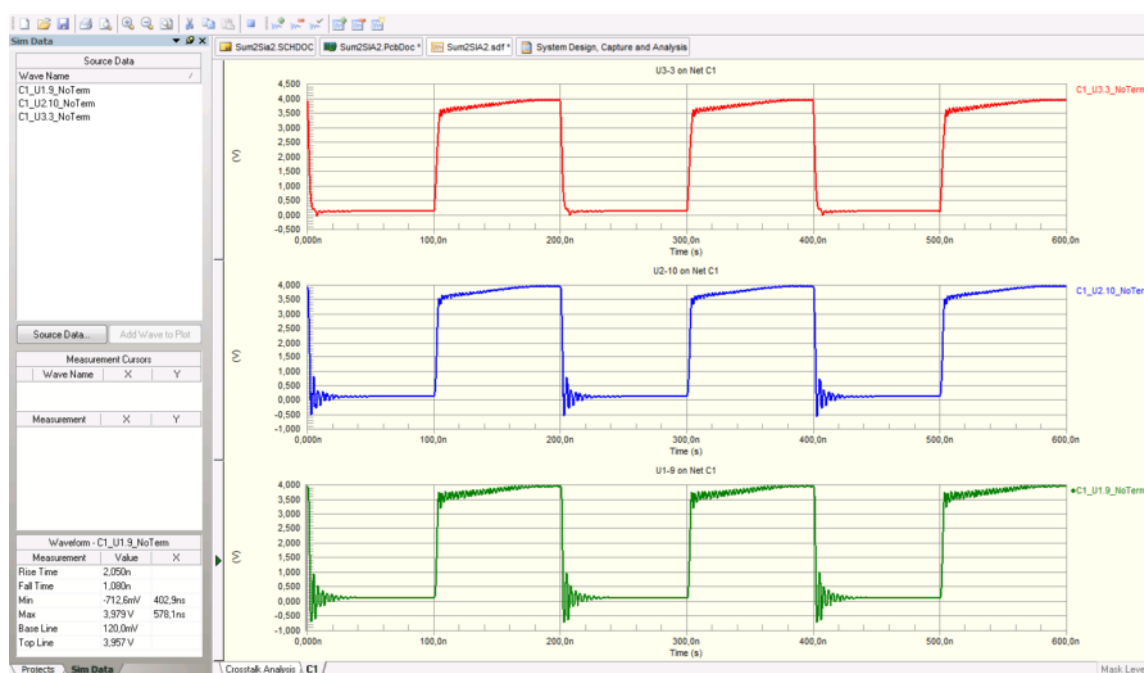


Рис. 6.2. Моделирование отражений сигналов

Файлы временных диаграмм и комментариев появятся на панели **Project** в папке **Generated \ Simulation Documents**.

На временных диаграммах видны значительные выбросы сигнала **C1_U1.9** на заднем фронте импульсов. Числовые значения SI-параметров сигнала получим в виде таблицы (рис. 6.3) щелчком ПКМ по строке сигнала **C1** в правой части окна панели **Signal Integrity** и последующим выбором команды **Details**.

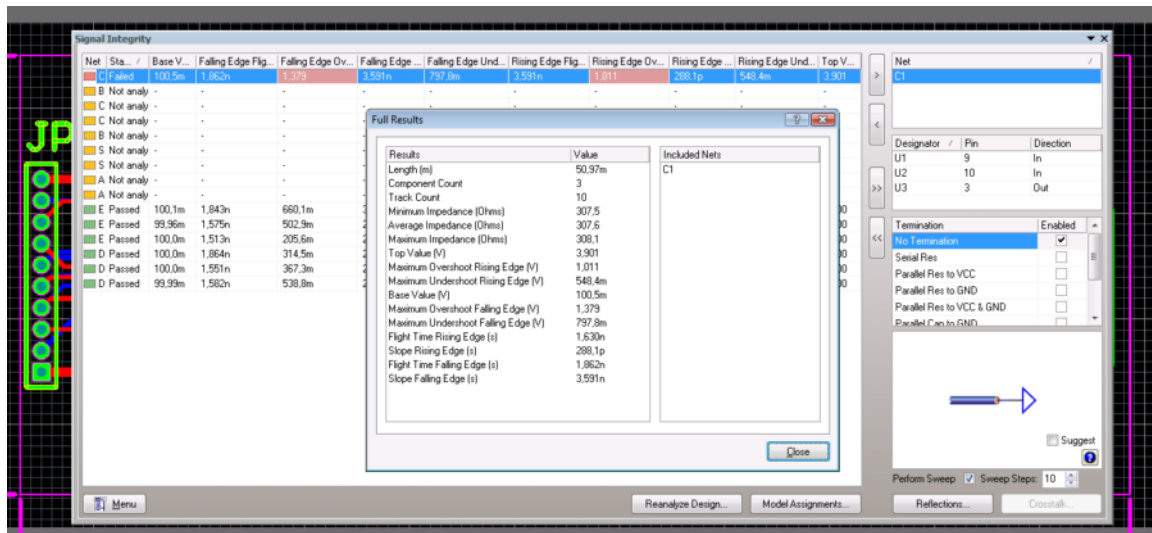


Рис. 6.3. Числовые значения SI-параметров сигнала

В заключении отметим, что выбор критических электрических цепей для SI-анализа определяет только разработчик проекта.

6.4. Моделирование перекрёстных помех

Программа **Signal Integrity** содержит процедуру анализа перекрёстных наводок между прилегающими друг к другу параллельными сегментами проводников за счёт электромагнитной связи между ними.

Для анализа перекрёстных наводок в правом окне панели **Signal Integrity** должно быть две цепи или более.

При расчёте перекрёстных помех используются два варианта моделирования:

- Источник тестового сигнала подключается к цепи, выбранной в качестве “агрессора” и рассчитываются формы сигнала в остальных выводах данной цепи и выводах остальных цепей, выбранных для анализа. К остальным цепям источники сигнала подключаются даже при наличии признака вывода **Out**.

- Источник тестового сигнала подключается ко всем контактам типа **Out** всех цепей (“агрессоры”), кроме цепи, выбранной для анализа (“жертва”).

Посредством команды **Menu > Find Coupled Nets** выполняется поиск цепей, индуктивно связанных с выделенными в описке цепями. Эти параллельные цепи выявляются в соответствии с параметрами, заданными в окне **Signal Integrity Preferences** во вкладке **Configuration** (см. п. 6.3).

Выберем для анализа цепь **C1** как имеющую наихудшие результаты **Screening**-анализа. Найдем связанные с ней цепи командой **Menu > Find Coupled**.

В левой части окна панели **Signal Integrity** появится информация о связанных цепях. Проанализируем степень влияния цепи **C1** на связанные с ней цепи.

Для этого перебросим эти цепи в правую часть окна. Далее выделим цепь **C1** и командой ПКМ > **Set Aggressor** назначим цепь **C1** “агрессором”. Остальные цепи получают статус “жертвы” (рис. 6.4).

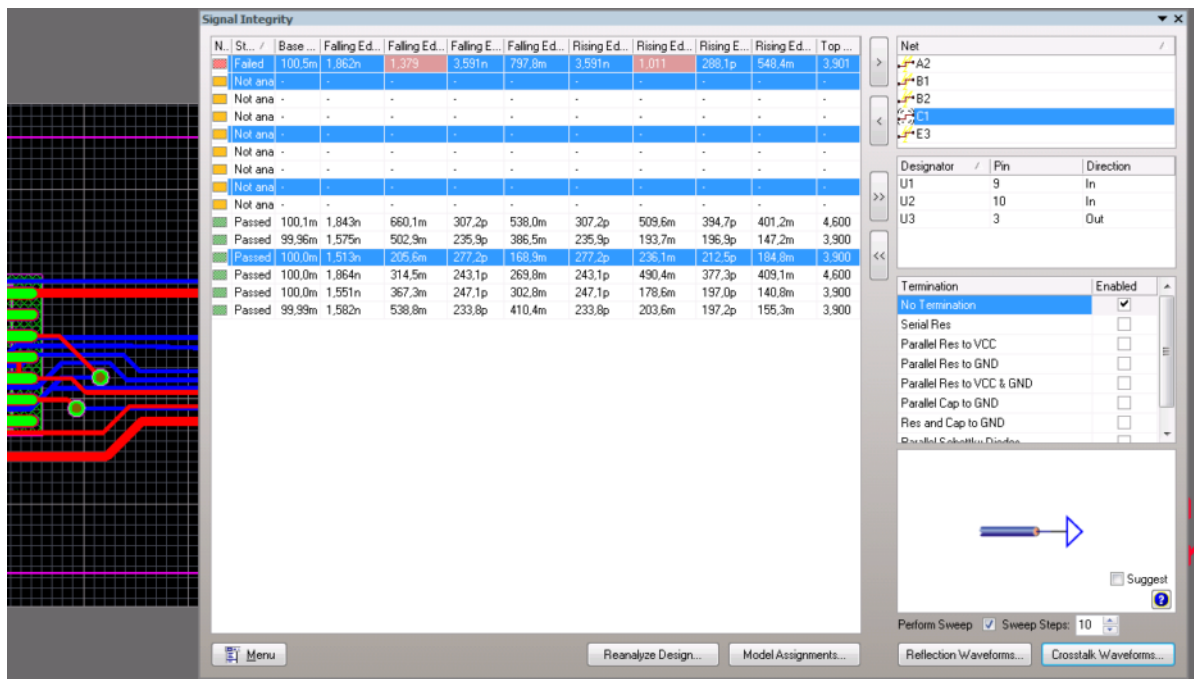


Рис. 6.4. Моделирование перекрёстных помех

В этом случае для цепи **C1** устанавливается периодический импульсный сигнал, параметры которого были заданы ранее в п. 6.2. Для

всех остальных цепей будет установлен сигнал постоянного низкого уровня (логический ноль).

Запустим процедуру анализа перекрёстных помех нажатием на кнопку **Crosstalk Waveforms**. Временные диаграммы появляются в окне графического анализатора. В результате анализа временных диаграмм выясняется, что максимальную наводку с амплитудой **2,1 В** получила цепь **E3** у 4-го вывода компонента **U3** (рис. 6.5).

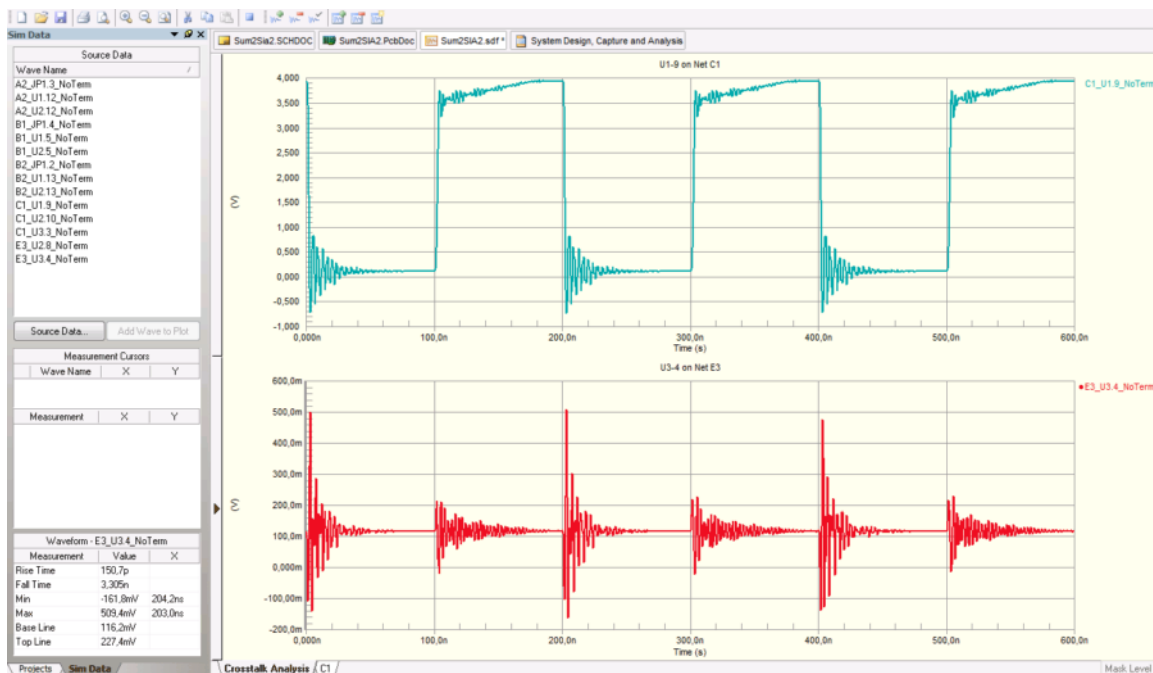


Рис. 6.5. Временная диаграмма наводки на цепь **E3**

Наводка с наибольшей амплитудой является следствием “звона” в цепи **C1** при скачке сигнала от высокого уровня к низкому.

6.5. Обработка результатов SI-анализа

Результаты SI-анализа выводятся в окне анализа сигналов **Waveform Analysis** в виде временных диаграмм. Это окно предназначено для двух целей:

- просмотра результатов моделирования;
- измерения количественных характеристик анализируемого сигнала.

Обработку результатов SI-анализа удобно производить с подклю-

ченной панелью **Sim Data**, которая выводится на экран кнопкой, находящейся в правом нижнем углу окна.

Панель **Sim Data** содержит три области:

- **Wave Name** – список доступных сигналов;
- **Measurement Cursors** – результаты измерения количественных характеристик сигнала в области, которую задает разработчик измерительными маркерами.

- **Waveform Measurements** – некоторые количественные характеристики сигнала, которые симулятор выводит по умолчанию.

Для управления параметрами отображения используются следующие понятия:

- **Chart** – вкладка с результатами анализа определенного вида, например **Reflection** или **Crosstalk Waveforms**.

- **Plot** – график. На вкладке может содержаться несколько графиков с собственными **X** и **Y** осями. Можно создать новый график и поместить в него нужные временные диаграммы сигналов.

- **Wave** – сигнал. На одном графике может быть несколько временных диаграмм сигналов. Сигналы можно перемещать из одного графика в другой.

Выбор графика для обработки выполняется щелчком ЛКМ в левой области этого графика.

Выбор сигнала выполняется щелчком ЛКМ по его имени в правой области графика. При этом перед именем появляется точка, а временная диаграмма сигнала рисуется утолщенной линией.

Увеличить масштаб интересующего разработчика участка временной диаграммы можно путем выделения этого участка окном охвата. Отмена этой операции выполняется командой **View > Fit Document** главного меню (или ПКМ-меню).

Настройка параметров отображения документа выполняется выбором опций **Tools**, **Chart**, **Plot** или **Wave** главного меню. Рассмотрим некоторые из команд этих меню.

Команды меню Tools:

- **Copy to Clipboard** – сохранить активное окно результатов в буфере операционной системы для последующей вставки в документ Microsoft Word.

- **Brightness...** – яркость отображения сигналов.

- **Store (Recall) Waveform** – сохранить (загрузить) выбранное изображение сигнала.

- **Document Options > Bold Waveforms** – отображать сигналы утолщенными линиями.

- **Document Options > Highlight Similar Waves** – подсветить выбранный сигнал.

Команды меню Chart:

- **Create FFT Chart** – расчет спектра сигнала;

- **Chart Options** – этой командой активизируется диалоговое окно **Chart Options**, которое содержит 3 вкладки:

1. **General** – командами этой вкладки можно добавить или изменить текстовые обозначения на результатах моделирования.

2. **Scale** – в области диалогового окна **Grid Type** можно установить минимальное и максимальное значения времени отсчета и шаг сетки на оси **X**. В области **X-Axis Scale** можно изменить масштаб оси **X** и тип ее сетки (**Linear** – линейный отсчет или **Logarithmic** – логарифмический отсчет).

3. **Cursors** – указать, какую информацию, связанную с измерительными курсорами, следует вывести на экран.

При необходимости можно изменить масштаб оси **Y** в диалоговом окне, которое появится после двойного щелчка ЛКМ по оси **Y**.

Команды меню Plot:

Add Y Axis – добавление вспомогательной оси **Y**. Эта команда полезна для сопоставления сигналов перед добавлением нового сигнала на существующий график.

Остальные команды меню **Plot** в пояснениях не нуждаются.

Команды меню Wave:

Первая группа команд меню **Wave** предназначена для добавления, удаления и редактирования сигналов.

Вторая группа команд – для установки измерительных курсоров (маркеров), с помощью которых можно снимать различные параметры сигналов.

Третья группа команд, начинающихся со слова **Select**, позволяет найти точки экстремумов сигнала. Чтобы использовать эти команды,

необходимо предварительно создать и выбрать один из курсоров (**A** или **B**).

Применение измерительных курсоров и математическая обработка сигналов

Для измерений параметров сигнала непосредственно на графике можно применить два измерительных курсора (маркера). Чтобы установить курсор на графике, следует выбрать нужный сигнал щелчком ЛКМ по его имени. Затем в ПКМ-меню выбрать **Cursor A**, затем **Cursor B**. Результаты измерений отображаются на панели **Sim Data** в окне **Measurement Cursors**.

В верхней области окна указаны значения **X** и **Y** для курсоров **A** и **B**.

В средней области окна приводятся результаты вычислений следующих функций на интервале между курсорами **A** и **B**:

- **B-A** – разность измерений курсоров;
- **Minimum A...B** – минимальное значение **Y**;
- **Maximum A...B** – максимальное значение **Y**;
- **Average A...B** – среднее значение **Y**;
- **RMS A...B** – среднеквадратичное значение **Y**;
- **Frequency A...B** – частота **Y**.

В нижней области окна указаны следующие значения параметров сигналов:

- **Rise Time** – время нарастания переднего фронта импульса;
- **Fall Time** – время спада заднего фронта импульса;
- **Min** – минимальное значение **Y**;
- **Max** – максимальное значение **Y**;
- **Base Line** – уровень впадины между импульсами;
- **Top Line** – уровень плоской вершины импульсного сигнала.

Кроме указанных функций математической обработки сигналов доступны и другие. Более того, разработчик может сформировать собственные математические выражения [8, 9].

Рассмотрим применение измерительных курсоров к полученной ранее временной диаграмме наводки на цепь **E3** (рис. 6.6).

Установим курсоры **A** и **B** так, чтобы в интервал между ними по-

пал наиболее опасный участок наводки (см. рис. 6.6). В окне **Measurement Cursors** увидим, что опасным является положительный выброс величиной **509,4 мВ**. Частота наводки составляет **21,7 МГц**. Рассмотрим, каким образом можно уменьшить величину наводки.

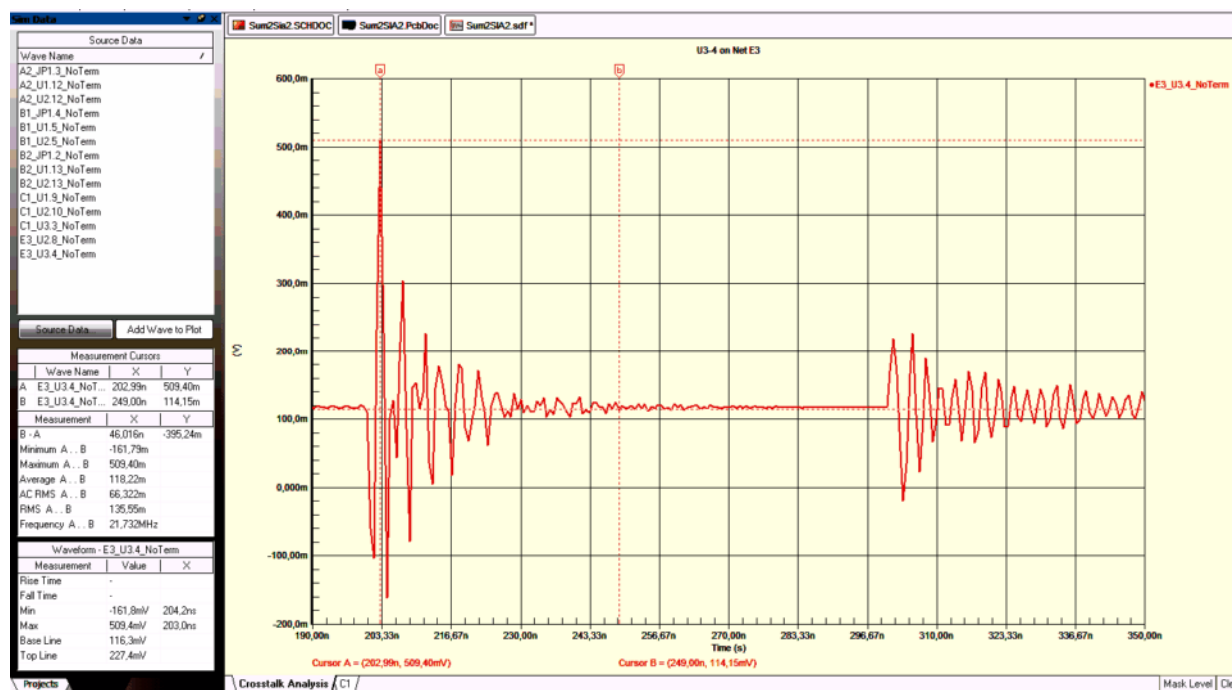


Рис. 6.6. Временная диаграмма наводки на цепь **E3**

6.6. Корректировка проекта и повторный SI-анализ

Согласующие нагрузки

В числе мер, приводящих к снижению искажений сигналов за счет отражений, – применение согласующих нагрузок без изменения конструкции платы.

Эффект применения антизвонных нагрузок поможет определить процедура **Termination Advisor** – “советник по согласующим нагрузкам”.

Выберем в окне **Signal Integrity** проблемную цепь (в учебном проекте это цепь **C1**), запустим **Termination Advisor** нажатием на соответствующую пиктограмму.

В появившемся окне выберем одну согласующую нагрузку из ряда предложенных вариантов. Запустим процесс анализа отражений сигналов еще раз. При малой эффективности выбранной согласующей

нагрузки сделаем попытки согласования с другими вариантами нагрузок, причем каждый раз можно следовать совету программы **Termination Advisor** по выбору номиналов элементов согласующих нагрузок. Для этого следует установить флажок в окошке **Suggest**.

Для цепи **C1** проекта **Sum2 SIA2** хороший эффект с нагрузкой **Parallel R to VCC** (параллельное присоединение резистора на цепь питания) с резистором **R = 200 Ом**. Как видно из рис. 6.7, паразитные колебания значительно уменьшились, а форма импульсов улучшилась.

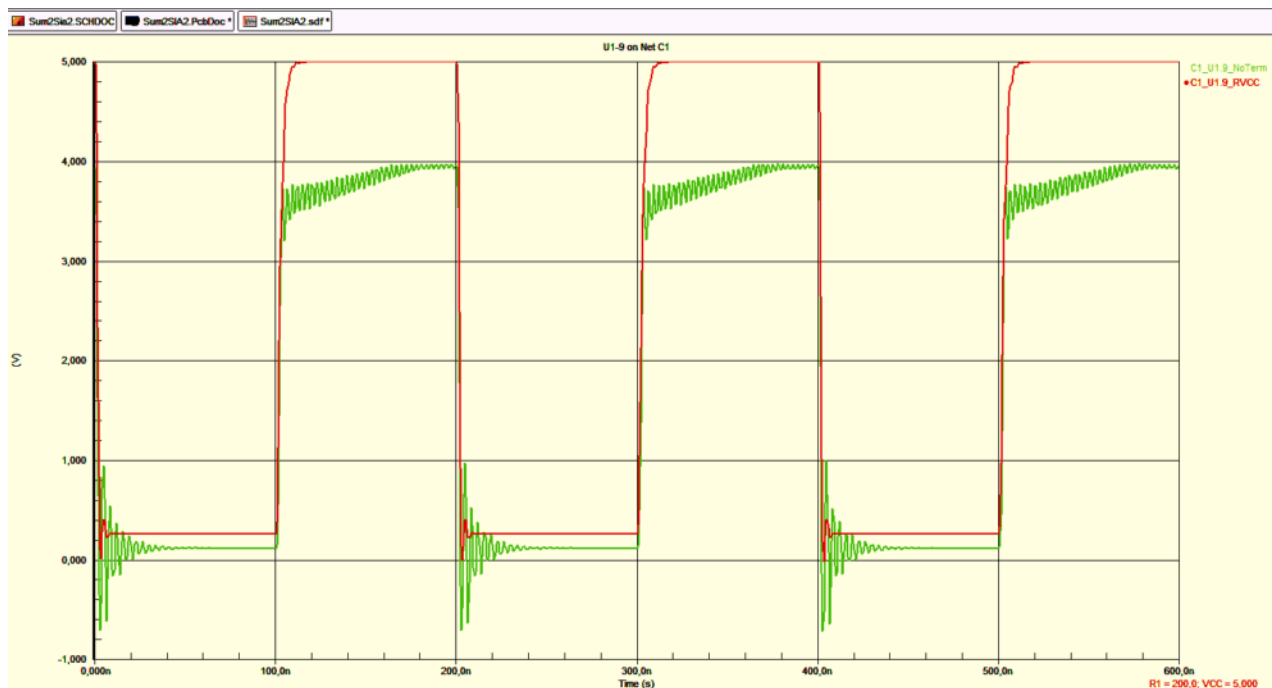


Рис. 6.7. Эффект применения согласующей нагрузки

Для выбора наилучших значений номиналов элементов согласующей нагрузки можно применить процедуру свипирования, инициировать которую можно, если перед запуском процесса моделирования отражений сигналов командой **Reflection Waveforms** установить флажок в окошке **Perform Sweep**. В результате на экран будет выведена серия временных диаграмм для различных значений номиналов элементов согласующих нагрузок. Число шагов свипирования устанавливается в окошке **Sweep Steps**.

После выбора наилучших значений номиналов элементов согласующей нагрузки эти элементы могут быть размещены на электрической схеме проекта следующим образом. Щелкнем ПКМ по секции

Termination панели **Signal Integrity** и выберем команду **Place on Schematic**. В результате появится диалоговое окно **Place Termination**, в котором можно уточнить нужные параметры элементов согласующей нагрузки. Далее нажмем **Ok**, и **SI**-анализатор найдет схему, которой принадлежат анализируемая электрическая цепь и вывод компонента, и установит элементы согласующей нагрузки на свободном месте схемы вблизи этого вывода. Поскольку в схему внесены изменения, необходимо выполнить обновление печатной платы, скорректировать размещение компонентов и повторно трассировать проводники.

7. ПРЕДТОПОЛОГИЧЕСКИЙ АНАЛИЗ ЦЕЛОСТНОСТИ СИГНАЛОВ

Предтопологический анализ целостности сигналов выполняется после завершения формирования электрической схемы проектируемого электронного узла и предшествует посттопологическому анализу. В данном практикуме при изложении эти два вида анализа автор поменял местами из методических соображений.

Проследите, чтобы при выполнении предтопологического анализа электрическая схема была частью проекта, а не свободным документом (**Free document**).

Поскольку размещение компонентов и трассировка электрических цепей еще не выполнены, анализ перекрестных помех невозможен. Однако в этих условиях можно выполнить анализ отражений сигналов, если ввести данные о предполагаемой длине проводника и импедансе. При этом по умолчанию предполагается, что используется печатная плата с двумя внутренними слоями питания и «земли». При необходимости можно создать заготовку платы с нужным стеклом слоев.

SI-правила проектирования могут быть заданы в схемном редакторе, если их вводить как параметры. Для выполнения **SIA**-анализа обязательно должны быть определены правила для цепей питания. Это можно сделать путем добавления директивы в каждую цепь питания следующим образом:

- Выбираем **Place > Directives > PCB Layout**. Знак директивы окажется привязанным к курсору.
- Нажмем клавишу **Tab**. Появится диалоговое окно **Parameters** с

еще неопределенными правилами. Выбираем правило и нажмем **Edit**. Появится окно **Parameter Properties**.

- Выбираем **Edit Rule Values**, в окне **Choose Design Rule Type** находим правило **Supply Nets** и жмем **Ok**. Появится окно **Edit PCB Rule**.

- Вводим напряжение питания +5V и жмем **Ok**. Закрываем все диалоговые окна, нажимая **Ok**.

- Размещаем директиву на схеме, зацепив ее за нужную цепь.

Аналогично размещаем на схеме директиву «земли» (**GND**).

В схемном редакторе можно установить и тестовые сигналы (**Signal Stimulus Design Rule**).

Однако это можно сделать на панели **Signal Integrity**.

Выбираем **Tools > Signal Integrity**. Далее на панели **Signal Integrity** выбираем **Menu > Set Tolerances** и в появившемся окне проверяем **SI**-правила проектирования.

Выбираем **Menu > Preferences > Configuration** и устанавливаем время и шаг моделирования.

Выбираем **Menu > Setup Options**. Появляется окно **SI Setup Options**.

На вкладке **Track Setup** устанавливаем предполагаемую длину проводника и импеданс.

На вкладках **Supply Nets** и **Stimulus** устанавливаем параметры цепей питания и тестовых сигналов.

Кнопкой **Analyze Design** запускаем программу **Screening**-анализа.

Далее аналогично тому, как это делается при посттопологическом анализе, выбираем цепь и запускаем процедуру анализа на отражение сигнала.

Рекомендуется самостоятельно выполнить предтопологический анализ целостности сигналов для проекта **Sum2SIA1**, который содержит схему сумматора, но не содержит печатную плату.

8. УЧЕБНЫЕ ЗАДАНИЯ

8.1. Подготовка к лабораторным работам

При подготовке к лабораторным работам необходимо изучить настоящий практикум и соответствующие разделы из конспекта лекций, ознакомиться с рекомендуемой литературой, составить краткий

план действий в процессе подготовки и выполнения проектирования заданного преподавателем узла ЭС, подготовить входные данные. Необходимо также разобраться с работой этого узла ЭС и определить, какие предполагаемые результаты проектирования будут получены.

8.2. Перечень заданий к лабораторным работам

Приведенные ниже задания имеют различную сложность. На основе опыта использования САПР **Altium Designer** в учебном процессе рекомендуется следующая методика выполнения заданий. Сначала следует выполнить те задания из приведенного ниже перечня, которые предписывают выполнить весь маршрут проектирования для простых цифровой и аналоговой схем, и только затем следует переходить к более сложным заданиям.

8.2.1. Выполнить покрытие функциональной схемы цифрового узла ЭС набором (серией) ИС. Индивидуализация заданий заключается в следующем: каждому студент или бригаде, в составе которой не более двух человек, преподаватель задает свою функциональную или принципиальную схему узла ЭС.

8.2.2. Выполнить логическое моделирование простейшего цифрового узла ЭС, содержащего одну интегральную схему малой степени интеграции (например 555ЛА3) и один соединитель с небольшим числом контактов.

8.2.3. Выполнить схемотехническое моделирование во временной области простейшего аналогового узла ЭС, содержащего следующие компоненты: резистор, конденсатор и соединитель с небольшим числом контактов. Это может быть дифференцирующая или интегрирующая цепочка по указанию преподавателя. Параметры компонентов задает преподаватель.

8.2.4. Выполнить цифровое моделирование заданного преподавателем узла ЭС (например, сумматора, счетчика, дешифратора и т.д.).

8.2.5. Выполнить схемотехническое моделирование заданного преподавателем аналогового узла ЭС (например, усилителя низкой частоты, фильтра, модулятора и т. п.). Виды анализа (во временной или частотной области или др.) задает преподаватель.

8.2.6. Подготовить библиотеку элементов для заданного проекта.

8.2.7. Выполнить конструкторское проектирование, анализ це-

лостности сигналов и подготовку проекта к производству (генерацию **Gerber**-файлов и управляющих файлов для сверлильных станков с ЧПУ) заданного преподавателем узла ЭС.

8.2.8. Выполнить моделирование, конструкторское проектирование, анализ целостности сигналов и подготовку проекта к производству (генерацию **Gerber**-файлов и управляющих файлов для сверлильных станков с ЧПУ) заданного преподавателем фрагмента курсового проекта.

8.3. Перечень заданий на УИРС

8.3.1. Провести исследование узла ЭС путем многовариантного анализа заданного вида.

8.3.2. Выполнить анализ влияния параметров конструкции ЭС на нарушения целостности сигналов для проекта ЭС с помощью программы **Signal Integrity**.

8.3.3. Разработать **3D**-модель ячейки ЭС и конвертировать ее в САПР **SolidWorks**.

8.3.4. Провести сравнительное исследование двух заданных программ анализа целостности сигналов.

8.3.5. Разработать и проверить библиотеку элементов для заданной отечественной серии ИС.

8.3.6. Провести сравнительное исследование симуляторов, которые содержат две заданные САПР ЭС.

8.3.7. По литературным источникам провести сравнительный анализ наиболее известных систем моделирования ЭС и подготовить реферат.

8.3.8. По литературным источникам провести сравнительный анализ наиболее известных САПР ЭС и подготовить реферат.

КОНТРОЛЬНЫЕ ВОПРОСЫ

1. Как определяет САПР ГОСТ 23501.101? Какие структурные единицы содержат САПР? Приведите примеры структурных единиц САПР.

2. Что такое проектная задача, проектное решение, проектная процедура, проектная операция? Приведите примеры. Что такое этапы и уровни проектирования?

3. Опишите указанный преподавателем уровень проектирования ЭС по следующим параметрам:

- примеры объектов проектирования;
- базовые структурные элементы;
- исходное описание проекта (исходные данные для проектирования);
- результаты проектирования;
- проектные задачи структурного синтеза;
- разновидности проектных задач анализа;
- математические модели объекта проектирования и алгоритмы анализа;
- языки описания проекта.

4. Программно-информационное обеспечение САПР: классификация и функциональная структура. Три вида связей между программными модулями САПР.

5. Какие программные модули содержит САПР **Altium Designer**?

6. Что понимается под термином «проект» в системе **Altium Designer**? Назовите 4 типа проектов. Что такое группа проектов? Что такое база данных проекта?

7. Лингвистическое обеспечение САПР: терминология и понятия. Дайте определение формальной порождающей грамматики. Каково применение формальной грамматики в САПР?

8. Какие типы языков проектирования вы знаете? Приведите примеры языков проектирования.

9. Что такое диалог? Каковы формальные условия успешного диалога? Какие психофизические особенности человека следует учитывать при разработке САПР?

10. Каковы особенности диалога в САПР? Каковы задачи интерактивно-алгоритмического проектирования? Что такое баланс диалога?

11. Какие формы диалога применяются в САПР? Какие способы представления структуры диалога вы знаете? Как обеспечивается дружелюбность САПР по отношению к конструктору?

12. Что такое математическая модель (ММ)? Каковы критерии оценки и сравнения ММ? Приведите примеры. Расскажите о классификации и методах получения ММ.

13. Какие ММЭ на системном, регистровом, логическом и схемотехническом уровнях вы знаете? Что такое макромоделли? Каким образом получают ММС? Какие разновидности ММС на каждом уровне вам известны?

14. Какие модели содержат интегрированные библиотеки компонентов САПР **Altium Designer**?

15. Опишите содержание списка электрических цепей в формате **Spice**.

16. Опишите модели аналоговых компонентов для симулятора **PSpice**.

17. Опишите модели цифровых компонентов для симулятора **PSpice**.

18. Опишите три базовых вида анализа ЭС на схемотехническом уровне. Какие еще виды анализа на этом уровне можно выполнить с помощью симулятора **PSpice**?

19. В чем заключается дискретизация и алгебраизация ММС на схемотехническом уровне?

20. Как выполняется моделирование физических полей на математических и физических сетках в конструкциях ЭС?

21. Какие типы сеток в САПР **Altium Designer** вам известны? Из каких соображений в редакторе плат выбирается шаг сетки **Snap Grid**? **Electrical Grid**?

22. В чем заключается настройка параметров проекта? Приведите примеры из разделов **Error Reporting** и **Connection Matrix**.

23. Какие действия выполняет САПР при компиляции проекта?

Куда выводятся сообщения об ошибках? Как посмотреть подробное описание ошибки?

24. Объясните содержание и настройку стека слоев. В каком слое задаются границы области трассировки?

25. Какие категории правил проектирования в САПР **Altium Designer** вы знаете? Приведите примеры по каждому разделу. Чем различаются **on-line DRC** и **batch DRC**?

26. Какие правила проектирования учитываются при трассировке? Как задаются приоритеты правил?

27. В чем заключается посттопологический анализ целостности сигналов? Какие модели структурных примитивов используются в **SIA**?

28. Какие правила проектирования применяются для анализа целостности сигналов (**SIA**) в САПР **Altium Designer**?

29. Каковы особенности предтопологического анализа целостности сигналов (**SIA**) в САПР **Altium Designer**?

30. Как вывести на электрическую схему выводы питания компонента?

31. Как работает механизм **ECO**? Как выполняется настройка компаратора? Как осуществляется горячая связь с редакторами схем и плат?

32. Какие программы авторазмещения имеются в САПР **Altium Designer** и какова стратегия их практического использования?

33. Какие эталонные стратегии трассировки вам известны? Что составляет стратегию трассировки? Приведите примеры.

34. Как сформировать собственную стратегию трассировки в САПР **Altium Designer**? Какие процедуры трассировки применяются в САПР **Altium Designer**? Какие правила («заповеди») рекомендует соблюдать служба технической поддержки компании **Altium**?

35. Какие текстовые документы можно сгенерировать в САПР **Altium Designer**?

36. Какие современные САПР ЭС (**ECAD**) вам известны? Каковы критерии сравнения, функциональные возможности, состав и тенденции развития САПР ЭС?

ЗАКЛЮЧЕНИЕ

Разработка проекта электронного средства – один из основных видов деятельности выпускника университета по направлению 210200. Важнейшая задача при этом – минимизировать вероятность появления ошибки в проекте, которая обнаружится на этапе разработки опытного образца. Верификация проекта начинается с моделирования электрической схемы с помощью программ-симуляторов, которые содержит любая современная электронная САПР. Следующий шаг – синтез конструкции ЭС, который в настоящее время выполняется конструктором в основном вручную. В процессе синтеза конструктор делает расчеты и анализирует конструкцию на правильность теплового режима, вибро-ударозащищенность и другого с помощью компьютерного моделирования. В числе этих проектных задач важное место занимает анализ целостности сигналов (посттопологический анализ проекта). Выполняя лабораторные работы с применением данного практикума, студенты получают навыки решения этой проектной задачи, которые применяют при выполнении курсового проекта.

Одно из перспективных направлений дальнейшего совершенствования компьютерной поддержки процесса проектирования ЭС – разработка баз знаний для структурного синтеза конструкции ЭС и прежде всего для средств защиты ЭС от внешних воздействий.

ПРИЛОЖЕНИЯ

Приложение 1

Системные сообщения программы Signal Integrity

Сообщение	Возможная причина	Способ устранения
Cannot create project directory	Возможно, папка Signal Integrity открыта только для чтения	Убедитесь, что папка не имеет атрибутов read-only
Error reading file: “имя файла”	Ошибка при загрузке SULTAN-файла	Убедитесь, что читаемый файл – SULTAN типа
Cannot load licensing information. Please re-run SETUP EXE	Лицензия не была верно установлена	Переустановите продукт
Cannot locate program “имя”. Please re-run SETUP EXE	Приложение не может найти нужную программу	Переустановите продукт
Cannot initialize library module. Please re-run SETUP EXE	Возможно, библиотека была удалена или папка Signal Integrity открыта только для чтения	Переустановите продукт
DC Operation point not found. Check the nets and the simulator options and again	Несогласованная нагрузка на линии производит много шума	Смените опции симулятора для анализа постоянного тока
Equation for the calculation of the line currents cannot be solved	Линия передачи замкнута на себя	Пересмотрите проект и исключите замкнутые линии
Internal step too small. Check the nets and the simulator options and try again	Численные проблемы в решении уравнений цепей	Уменьшите точность решения
Simulation error. Check the nets and try again	Симулятор генерирует ошибку	Неверное проектирование цепей

Системные сообщения графического анализатора Wave Analyzer

Сообщение	Возможная причина	Способ устранения
Cannot open file “имя” Invalid input file “имя”	Файл не существует Возникла ошибка при загрузке файла	Проверьте наличие файла Проверьте правильность типа входного файла
Value out of bounds	Одно из значений не попадает в промежуток $1.0 \times 10^{-30} \dots 1.0 \times 10^{30}$	Введите корректное значение
Cannot calculate the base line for horizontal wave	Программа не может определить базовую линию для видимой части диаграммы	Измените масштаб, для того чтобы базовая горизонтальная секция диаграммы была видна
Cannot calculate the top line for horizontal wave	Программа не может определить верхний базис для видимой части выбранной диаграммы	Измените масштаб, для того чтобы верхняя горизонтальная секция диаграммы была видна
Cannot find values for top – and baseline	Программа не может вычислить значения для верхнего и нижнего базиса	Выбран неверный способ вычисления
No ascending wave flank in the given range	Нельзя посчитать время нарастания: выбранный график не имеет нарастающего фронта	Выбран неверный способ вычисления
No descending wave flank in the given range	Нельзя посчитать время падения, так как выбран неверный способ вычисления	Выбран неверный способ вычисления
Cannot open file for output “имя”	Система пыталась открыть для записи read-only файл	Убедитесь, что файл не имеет атрибута read-only

Технологии изготовления цифровых интегральных схем

ABT – Advanced Bipolar CMOS Technology

AC – Advanced CMOS

ACT – Advanced CMOS with TTL Inputs

AHC – Advanced High Speed CMOS

AYC_50 – Advanced High Speed CMOS 5.0 V

AHCT – Advanced High Speed CMOS with TTL Inputs

AHCT_50 – Advanced High Speed CMOS 5.0 V with TTL Inputs

ALS – Advanced Low Power Shottky

ALVC – Advanced Low Voltage CMOS

AS – Advanced Shottky

BCT – Bipolar CMOS Technology

BTL – Backplan Transceiver Logic/Futurtbus+

CMOS – CMOS

F – Fast

FCT – Fast CMOS Technology

GTL – Gunning Transceiver Logic

GTL_LVT – Gunning Transceiver Logic Low Voltage

HC – High Speed CMOS

HCT – High Speed CMOS with TTL Inputs

HLL – High Speed Low Power Low Voltage CMOS

LS – Low Power Shottky

LV – Low Voltage High Speed CMOS

LVC – Low Voltage CMOS

LVT – Low Voltage BiCMOS Technology

S – Shottky

STD_TTL – Standard TTL

TTL – TTL

СПИСОК РЕКОМЕНДУЕМОЙ ЛИТЕРАТУРЫ

1. *Мироненко, И. Г.* Автоматизированное проектирование узлов и блоков РЭС средствами современных САПР : учеб. пособие для вузов / И. Г. Мироненко [и др.] ; под ред. И. Г. Мироненко. – М. : Высш. шк., 2002. – 391 с. – ISBN 5-06-004049-6.

2. *Асланянц, В. Р.* Учебная САПР электронных средств : практикум / В. Р. Асланянц. – Владимир : Изд-во Владим. гос. ун-та, 2008. – 72 с. – ISBN 978-5-89368-862-7.

3. *Кечиев, Л. Н.* Проектирование печатных плат для цифровой быстродействующей аппаратуры / Л. Н. Кечиев. – М. : Группа NDT, 2007. – 616 с.

4. Конструкторско-технологическое проектирование электронной аппаратуры : учеб. для вузов / К. Н. Билибин, А. И. Власов, Л. В. Журавлёва [и др.]; под общ. ред. В. А. Шахнова. – М. : Изд-во МГТУ им. Н.Э. Баумана, 2002. – 528 с. – ISBN 5-7038-1765-X.

5. *Норенков, И. П.* Основы автоматизированного проектирования : учеб. для вузов / И. П. Норенков. – 2-е изд. – М. : МГТУ им. Н.Э. Баумана, 2002. – 334 с. – ISBN 5-7038-2090-1.

6. *Панков, Л. Н.* Учебное пособие по дисциплине «Основы проектирования электронных средств» / Л. Н. Панков [и др.]. – Владимир : Изд-во Владим. гос. ун-та, 2007. – 260 с. – ISBN 5-89368-735-3.

7. *Потапов, Ю. В.* Protel / Ю. В. Потапов. – М. : Горячая линия – Телеком, 2006. – 276 с.

8. *Сабунин, А. Е.* Altium Designer. Новые решения в проектировании электронных устройств / А. Е. Сабунин. – М. : Солон-ПРЕСС, 2009. – 432 с. – ISBN 978-5-91359-064-0.

9. *Саврушев, Э. Ц.* P-CAD 2006. Руководство схемотехника, администратора библиотек, конструктора / Э. Ц. Саврушев. – М. : Бинном - Пресс, 2007. – 768 с. - ISBN 978 -5-9518-0195-1.

Оглавление

Введение.....	3
1. ПРОЕКТНАЯ ЗАДАЧА АНАЛИЗА ЦЕЛОСТНОСТИ СИГНАЛОВ.....	3
2. СОЗДАНИЕ ПРОЕКТА.....	6
3. СОЗДАНИЕ ЭЛЕКТРИЧЕСКОЙ СХЕМЫ.....	10
3.1. Создание файла проекта листа схемы	10
3.2. Настройка параметров листа схемы	11
3.3. Настройка редактора принципиальных схем	12
3.4. Создание и подключение форматки	13
3.5. Подключение библиотек компонентов	14
3.6. Формирование электрической схемы.....	16
3.7. Компиляция проекта	19
4. СХЕМОТЕХНИЧЕСКОЕ МОДЕЛИРОВАНИЕ	22
4.1. Подготовка проекта к схемотехническому моделированию.....	22
4.2. Выполнение схемотехнического моделирования	26
5. ТОПОЛОГИЧЕСКОЕ ПРОЕКТИРОВАНИЕ	32
5.1. Работа в среде редактора печатных плат	32
5.2. Создание заготовки чертежа печатных плат.....	48
5.3. Начальная настройка проекта печатной платы	50
5.4. Настройка редактора печатных плат	52
5.5. Формирование контура печатной платы	54
5.6. Формирование стека слоев.....	55
5.7. Установка крепёжных отверстий и запрещённых зон	56
5.8. Передача данных о проекте из редактора схем в редактор плат	58
5.9. Настройка правил проектирования.....	59
5.10. Размещение компонентов на плате.....	66

5.11. Интерактивная трассировка и создание областей металлизации.....	69
5.12. Автотрассировка электрических соединений.....	77
5.13. Просмотр и редактирование объектов на печатной плате.....	83
5.14. Верификация печатной платы	85
5.15. SI-анализ при выполнении DRC	87
6. ПОСТТОПОЛОГИЧЕСКИЙ АНАЛИЗ ЦЕЛОСТНОСТИ СИГНАЛОВ	90
6.1. Подготовка проекта к посттопологическому SI-анализу.....	91
6.2. Предварительный посттопологический SI-анализ (Screening - анализ)	97
6.3. Моделирование отражений сигналов	99
6.4. Моделирование перекрестных помех	102
6.5. Обработка результатов SI-анализа	104
6.6. Корректировка проекта и повторный SI-анализ.....	108
7. ПРЕДТОПОЛОГИЧЕСКИЙ АНАЛИЗ ЦЕЛОСТНОСТИ СИГНАЛОВ	110
8. УЧЕБНЫЕ ЗАДАНИЯ.....	111
8.1. Подготовка к лабораторным работам	111
8.2. Перечень заданий к лабораторным работам	112
8.3. Перечень заданий на УИРС	113
Контрольные вопросы	114
Заключение	117
Приложения.....	118
Список рекомендуемой литературы.....	121

Учебное издание

АСЛАНЯНЦ Виктор Рубенович

АНАЛИЗ ЦЕЛОСТНОСТИ СИГНАЛОВ

Практикум

Подписано в печать 20.04.11.

Формат 60x84/16. Усл. печ. л. 7,21. Тираж 70 экз.

Заказ

Издательство

Владимирского государственного университета.

600000, Владимир, ул. Горького, 87.