

Министерство образования и науки Российской Федерации
Федеральное государственное бюджетное образовательное учреждение
высшего профессионального образования
«Владимирский государственный университет
имени Александра Григорьевича и Николая Григорьевича Столетовых»

Кафедра вычислительной техники

СХЕМОТЕХНИЧЕСКОЕ ПРОЕКТИРОВАНИЕ ЦИФРОВЫХ УСТРОЙСТВ

Методические указания к лабораторным работам

В двух частях

Часть 1

Составитель
В. С. ТУЛЯКОВ



Владимир 2013

УДК 681.3.06

ББК 32.973

С92

Рецензент

Кандидат технических наук, профессор
кафедры информационных систем и информационного менеджмента
Владимирского государственного университета
имени Александра Григорьевича и Николая Григорьевича Столетовых
В. Ф. Романов

Печатается по решению редакционно-издательского совета ВлГУ

Схемотехническое проектирование цифровых устройств:
С92 метод. указания к лаб. работам. В 2 ч. Ч. 1 / Владим. гос. ун-т
им. А. Г. и Н. Г. Столетовых ; сост. В. С. Туляков. – Владимир :
Изд-во ВлГУ, 2013. – 36 с.

Содержат четыре лабораторные работы, посвященные разработке цифровых устройств комбинационного и последовательностного типов. Рассматриваются базовые функциональные блоки вычислительной техники: дешифраторы, шифраторы, сумматоры, счетчики, регистры, схемы памяти и их интегральное исполнение, а также разработка цифровых устройств на их основе на уровне структурной электрической, функциональной электрической и принципиальной электрической схем в заданном или выбранном интегральном базисе.

Предназначены для студентов специальности 230100 – Информатика и вычислительная техника, могут быть полезны студентам других специальностей, изучающим принципы создания цифровых электронных устройств.

Рекомендованы для формирования профессиональных компетенций в соответствии с ФГОС 3-го поколения.

Ил. 30. Табл. 2. Библиогр. : 6 назв.

УДК 681.3.06

ББК 32.973

ВВЕДЕНИЕ

Понятия электротехника, электроника и схемотехника неразрывно связаны с уровнем современного и будущего технологического развития, так как считаются основой для создания цифровых устройств различного назначения и уровня интеграции. Успехи в электронике в значительной мере определяют прогресс промышленности и науки. Современная промышленная продукция, производственные линии, станки, бытовая аппаратура насыщены электроникой. Необходимо отметить, что электротехника, электроника и схемотехника являются основой самой бурно развивающейся области инженерной деятельности в современном мире. Таким образом, приобретение знаний в этой области необходимо для формирования студентов как специалистов, способных решать задачи, связанные с проектированием, созданием и эксплуатацией цифровой техники.

В рамках дисциплины студенты должны освоить базовые цифровые и аналоговые компоненты и структуры электронных систем обработки информации, являющиеся базовой основой для создания разнообразной аппаратуры как в области вычислительной техники, так и в смежных областях: цифровой автоматике, измерительной технике, телекоммуникациях.

Дисциплина предназначена для выработки у студентов навыков практического применения интегральных схем, умения выбирать интегральные схемы по различным критериям, формирования практических навыков в использовании справочников и разработки структурных, функциональных и электрических принципиальных схем устройств по техническому заданию.

Тематически методические указания разделены на четыре лабораторные работы: первая посвящена основам построения дешифраторов и шифраторов и схем на их основе; вторая – основам проектирования сумматоров различного типа с индивидуальным интерфейсом и схем на их основе; третья работа раскрывает основы проектирования

счетчиков самого различного назначения и организационной структуры и схем на их основе; в четвертой работе представлена разработка устройств памяти.

Каждая лабораторная работа содержит индивидуальные задания для студентов. Результатом выполнения каждой работы является разработка структурной, функциональной и электрической принципиальной схемы цифрового устройства в выбранном или заданном интегральном базисе по техническому заданию с применением программных средств.

Выполнение лабораторных работ имеет следующие цели: выработка устойчивых навыков в использовании и поиске справочной литературы; формирование четких представлений о содержании технического задания на разработку электронной цифровой схемы; а также этапов разработки и правил создания чертежных документов.

Лабораторная работа № 1

СХЕМОТЕХНИКА ДЕШИФРАТОРОВ И ШИФРАТОРОВ

Цель работы

Изучение принципа работы и типов дешифраторов и шифраторов. Синтез дешифраторов и шифраторов произвольной разрядности с использованием интегральных микросхем.

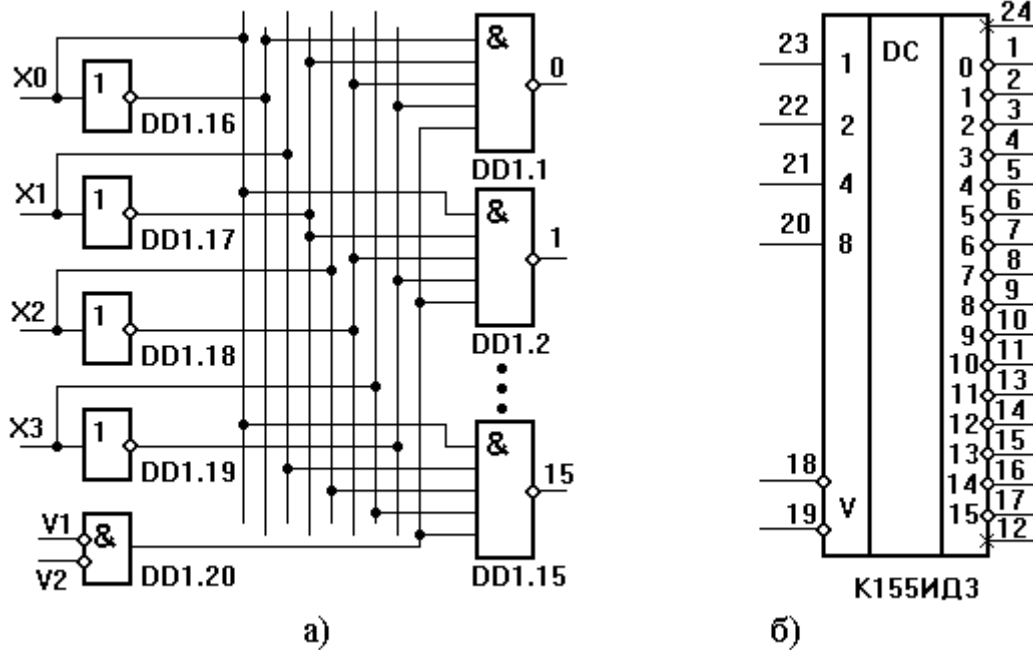
Приобретение навыков применения справочников по интегральным схемам при решении прикладных задач.

Теоретическая часть

Дешифратор – это устройство, преобразующее входной двоичный код в выходной унитарный код, имеющий активный уровень только в одном разряде на выходе, а именно в том, номер которого в двоичном счислении равен входному двоичному числу.

На рис. 1.1 показан пример дешифратора 4 на 16 с инверсными выходами и двумя инверсными входами V , которые разрешают работу дешифратора при установке на $V1$ и $V2$ нулей.

Дешифратор бывает полным и неполным. Полный дешифратор с n входами имеет m выходов, где $m = 2^n$ – число возможных минтермов от n переменных. Число входов и выходов указывается следующим образом: 3-8 (три в восемь), 4-16, 4-10 (неполный дешифратор). Существуют три способа организации дешифратора: линейный, каскадный и пирамидальный.



а) Логика работы

б) Интегральное исполнение

Рис. 1.1. Дешифратор 4 на 16

При линейной организации (на примере дешифратора 3-8, рис. 1.2) каждый минтерм реализуется отдельно на трехвходовом элементе типа И. На входы элементов подаются все возможные комбинации прямых и инверсных значений разрядов входного кода. Для каждого значения входного кода будет активироваться один выход.

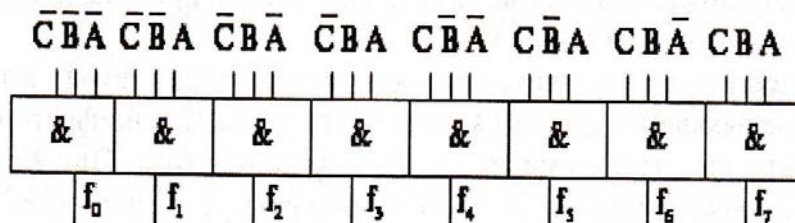


Рис. 1.2. Линейный дешифратор

Пример пирамидальной структуры дешифратора показан на рис. 1.3. При этом первый уровень пирамиды формирует все возмож-

ные конъюнкции двух разрядов, а второй уровень пирамиды формирует возможные конъюнкции выходов первого ряда схем следующего разряда. Уровней пирамиды может быть несколько.

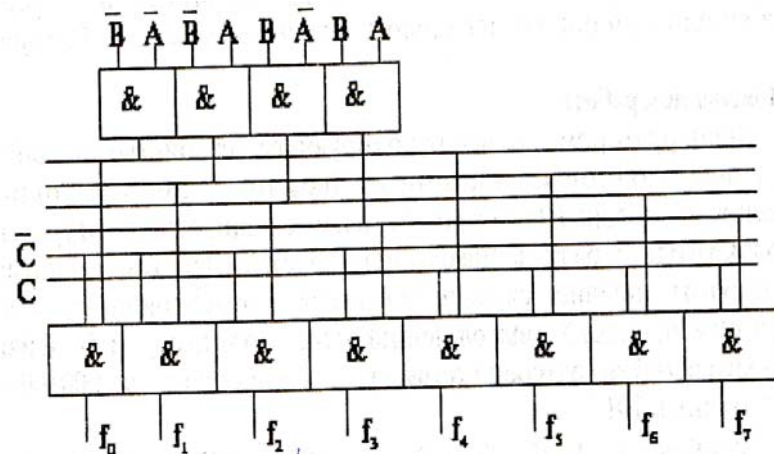


Рис. 1.3. Пирамидальный дешифратор

При каскадном построении дешифратора входное число разбивается на несколько равных по количеству разрядов кодов и для каждого набора строится линейный дешифратор.

А затем выходы линейных дешифраторов соединяются элементами И. Дешифраторы часто имеют разрешающий работу вход, при запрещающем значении которого все выходы дешифратора неактивны независимо от значения входного кода. Этот вход можно использовать в качестве старшего разряда входного кода и наращивать разрядность дешифраторов интегрального исполнения. Пример наращивания разрядности дешифратора приведен на рис. 1.4. Дешифраторы широко применяются в схемах адресации памяти, в схемах подключения нескольких источников данных к ли-

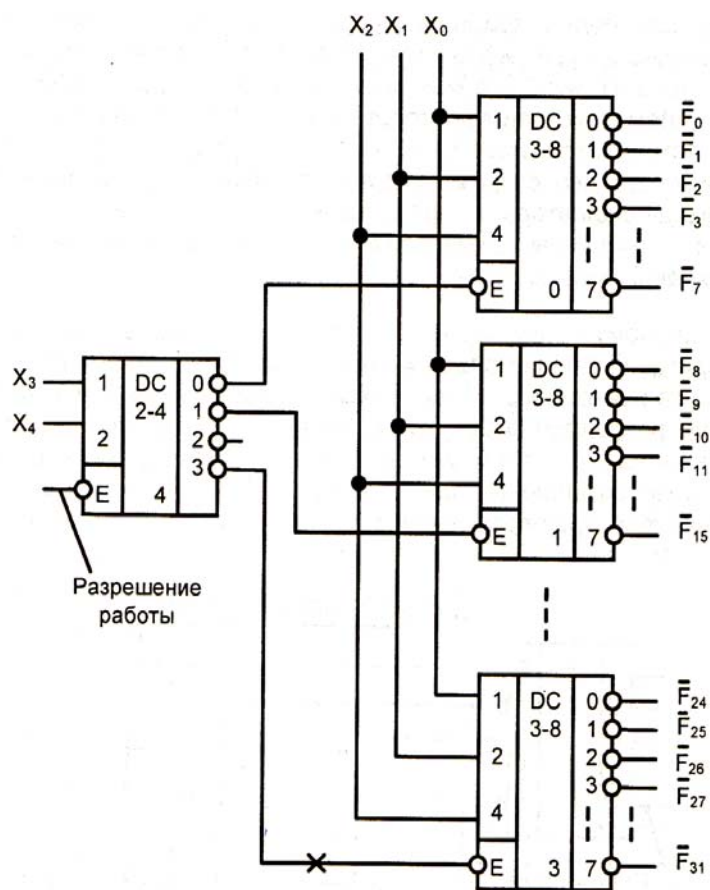


Рис. 1.4. Принцип наращивания разрядности дешифратора

нии связи коллективного пользования, работающей в режиме разделения времени.

Шифраторы выполняют функцию противоположную дешифрации, пример показан на рис. 1.5. Они преобразуют унитарный код 1 из N в цифровой код. Наиболее применяемыми шифраторами являются приоритетные. Значения истинности приоритетного шифратора приведены в таблице. Приоритетный шифратор вырабатывает на выходе двоичный код старшего запроса из всех установленных на входе. Обычный шифратор является частным случаем приоритетного шифратора. Шифраторы, как и дешифраторы, бывают полными и неполными. При разработке шифраторов часто возникает задача увеличения разрядности.

Таблица состояний приоритетного шифратора

EI	R ₇	R ₆	R ₅	R ₄	R ₃	R ₂	R ₁	R ₀	A ₂	a ₁	a ₀	G	EO
1	1	X	X	X	X	X	X	X	1	1	1	1	0
1	0	1	X	X	X	X	X	X	1	1	0	1	0
1	0	0	1	X	X	X	X	X	1	0	1	1	0
1	0	0	0	1	X	X	X	X	1	0	0	1	0
1	0	0	0	0	1	X	X	X	0	1	1	1	0
1	0	0	0	0	0	1	X	X	0	1	0	1	0
1	0	0	0	0	0	0	1	X	0	0	1	1	0
1	0	0	0	0	0	0	0	1	0	0	0	1	0
1	0	0	0	0	0	0	0	0	0	0	0	0	1
0	X	X	X	X	X	X	X	X	0	0	0	0	0

Входами приоритетного шифратора являются (по таблице 1.1) R₀ – R₇, вход разрешения работы EI, выходы A₀ – A₂, выход G – признак наличия комбинации входного кода, выход EO – признак отсутствия комбинации кода на входе. Основной особенностью приоритетного шифратора является соответствие каждой уни-

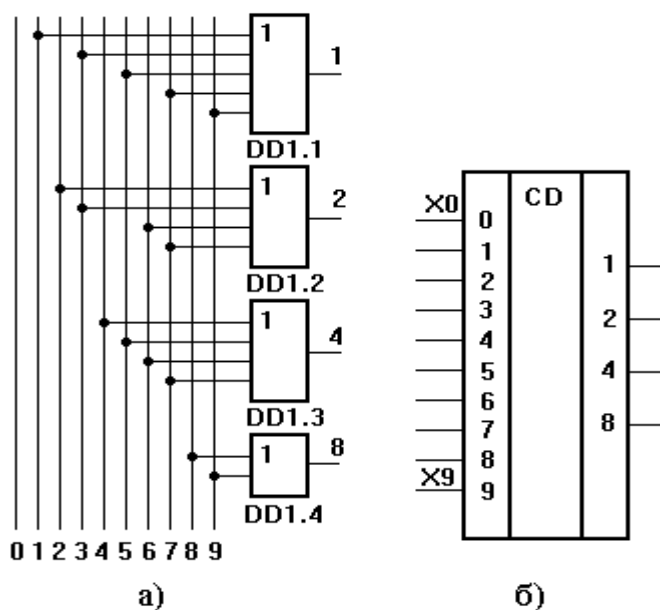


Рис. 1.5. Неполный шифратор: а – на основе ЛЭ; б – в интегральном исполнении

тарной комбинации входа уровню приоритета. На рис. 1.6 показан принцип наращивания разрядности приоритетного шифратора.

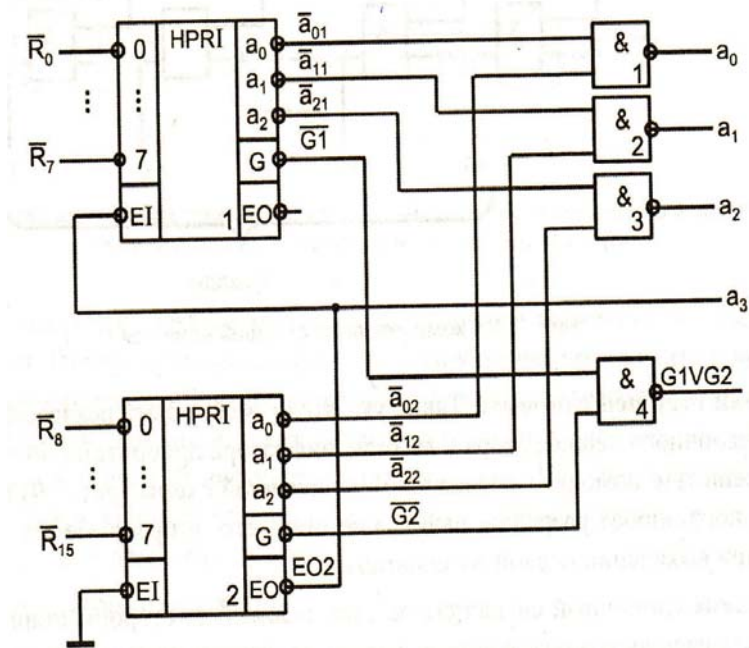


Рис. 1.6. Принцип наращивания разрядности шифратора

Приоритетные шифраторы используются при решении задачи определения приоритетного претендента на использование каким-либо ресурсом, в частности, они используются в контроллерах прерываний в качестве арбитров приоритета запроса.

Варианты заданий на лабораторную работу

№ п/п	Разработать электрическую функциональную и электрическую принципиальную схемы согласно вариантам	Microsoft-Visio схемы	Элементная база
1	Дешифратор линейного типа и дешифратор пирамидального типа 4-14, выходы инверсные	Да	K555ЛА4
2	Приоритетный шифратор на 6 входов и 3 выхода, входы инверсные	Да	K555ЛН1 K555ЛР4 K555ЛИ1
3	Дешифратор пирамидального типа 5-20, выходы инверсные	Да	Выбрать самостоятельно по критерию минимального количества корпусов ИС в схеме
4	Дешифратор 6 на 40	Да	K555ИД6 K555ИД4

№ п/п	Разработать электрическую функциональную и электрическую принципиальную схемы согласно вариантам	Microsoft-Visio схемы	Элементная база
5	Соединенные дешифратор 3-8 и шифратор 8-3, предусмотреть сигнал разрешения работы шифратора	Да	Выбрать самостоятельно по критерию минимума корпусов ИС в схеме
6	Дешифратор 4 на 16 с инверсными входами	Да	K555ИД4
7	Шифратор 4 на 2, входы и выходы инверсные, предусмотреть сигнал разрешения работы схемы	Да	Выбрать самостоятельно, обосновать
8	Соединенная пара (шифратор 5 на 3, дешифратор 3-8) входы шифратора инверсные, выходы дешифратора прямые	Да	K555ЛА3
9	Два шифратора 4 на 2 с инверсными выходами, выходы подключить к схеме сравнения, выполняющую функцию «равно»	Да	K555ЛА3 K555ЛН1
10	Приоритетный шифратор на 14 входов, предусмотреть сигнал разрешения работы, выходы инверсные	Да	Выбрать самостоятельно
11	Дешифратор 4 на 10, входы и выходы инверсные, предусмотреть два входа для сигналов условия разрешения работы	Да	K555ЛА3, K555ЛИ1
12	Два линейных шифратора 8 на 3 с инверсными входами, выходы которых подключены к элементу сравнения «больше»	Да	Выбрать самостоятельно
13.	Дешифратор 4 на 12, входы инверсные, выходы прямые	Да	Выбрать по критерию минимального количества корпусов ИС в схеме
14	Два приоритетных шифратора 6 на 3, работающих на три общие линии с логикой подключения выходов к линии	Да	Выбрать самостоятельно, обосновать выбор
15	Дешифратор 3-8, входы и выходы инверсные, выходы дешифраторов должны с помощью схемы разрешения подключаться к одной линии связи	Да	Выбрать самостоятельно, обосновать выбор
16	На базе дешифраторов разработать схему разрешения работы одного элемента логического элемента 3-И-НЕ из матрицы подобных элементов размером 5 на 5	Да	Выбрать самостоятельно, обосновать выбор
17	Построить из двух приоритетных шифраторов 8 на 3 приоритетный шифратор 16 на 4. Выходы и входы схемы прямые	Да	Выбрать самостоятельно, обосновать выбор

№ п/п	Разработать электрическую функциональную и электрическую принципиальную схемы согласно вариантам	Microsoft-Visio схемы	Элементная база
18	Схема на базе дешифратора 4 на 16, входы инверсные, состояние выходов индицируются светодиодами	Да	Выбрать самостоятельно, обосновать выбор
19	Схема содержит два шифратора 8 на 3 с инверсными входами, выходы шифраторов подключены к логической схеме ИЛИ-НЕ	Да	Выбрать самостоятельно, обосновать выбор

Применение программы схемотехнического моделирования MicroCap 9 по индивидуальному заданию преподавателя.

Содержание отчета

1. Электрическая функциональная схема устройства.
2. Электрическая принципиальная схема устройства в заданном элементном базисе или выбранном элементном базисе. Если микросхемы выбирались по заданию из справочника самостоятельно, обосновать выбор применяемых интегральных схем.
3. Справочная информация о применяемых микросхемах с указанием источника информации.
4. Таблица истинности, справочная информация, временная диаграмма или иная информация, необходимая для пояснения работы разработанных функциональной и принципиальной схем.
5. Для подготовки функциональных и принципиальных схем использовать программу MicroCap9 или Microsoft Visio.

Контрольные вопросы

1. Чем отличается полный дешифратор от неполного.
2. Зачем применяется пирамидальная структура дешифратора.
3. Как решается задача увеличения разрядности дешифратора.
4. Объясните разницу в работе обычного и приоритетного шифратора.
5. Приведите пример функционального обозначения дешифратора и шифратора.
6. Как решается задача увеличения разрядности шифратора.

Лабораторная работа № 2 СХЕМОТЕХНИКА СУММАТОРОВ

Цель работы

Изучение принципа работы и типов сумматоров. Разработка сумматоров произвольной разрядности и типов в реальной интегральной базе. Разработка устройств на основе сумматоров. Выработка навыков применения справочников по интегральным схемам.

Теоретическая часть

Сумматоры выполняют арифметическое сложение чисел. Они являются ядром арифметико-логических устройств, входящих в состав процессоров. В противовес сумматорам могут быть реализованы вычитатели, однако это никогда не делается, так как вычитание удобно реализовать через сложение с применением дополнительных и обратных кодов.

Сумматоры можно разделить на следующие группы:

- одноразрядный полный сумматор как основа всех сумматоров;
- сумматор для последовательных операндов;
- многоразрядный сумматор для параллельных операндов:
 - с последовательным переносом;
 - с параллельным переносом;
 - с групповой структурой;
 - накапливающий или аккумулятор.

Одноразрядный полный сумматор

Одноразрядный сумматор имеет три входа (два слагаемых и перенос из предыдущего разряда) и два выхода – суммы и переноса в следующий разряд. На рис. 2.1 показан пример реализации одноразрядного сумматора, ниже дана таблица состояний представленного сумматора.

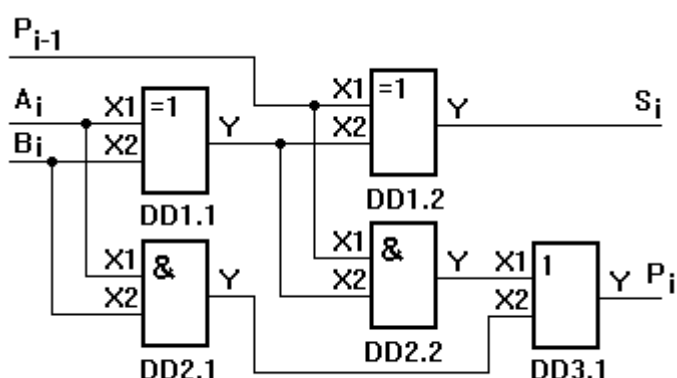


Рис. 2.1. Одноразрядный сумматор

Таблица состояний
одноразрядного сумматора

a_i	b_i	p_{i-1}	S_i	p_i
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

На рис. 2.2 показан пример интегрального исполнения двух полных сумматоров в одном корпусе К555ИМ5. Каждый из сумматоров микросхемы К555ИМ5 работает согласно таблице состояний. При соединении 5 и 11 контактов микросхемы мы получим двухразрядный сумматор. Используя данный пример, можно построить сумматор произвольной разрядности с последовательным принципом переноса.

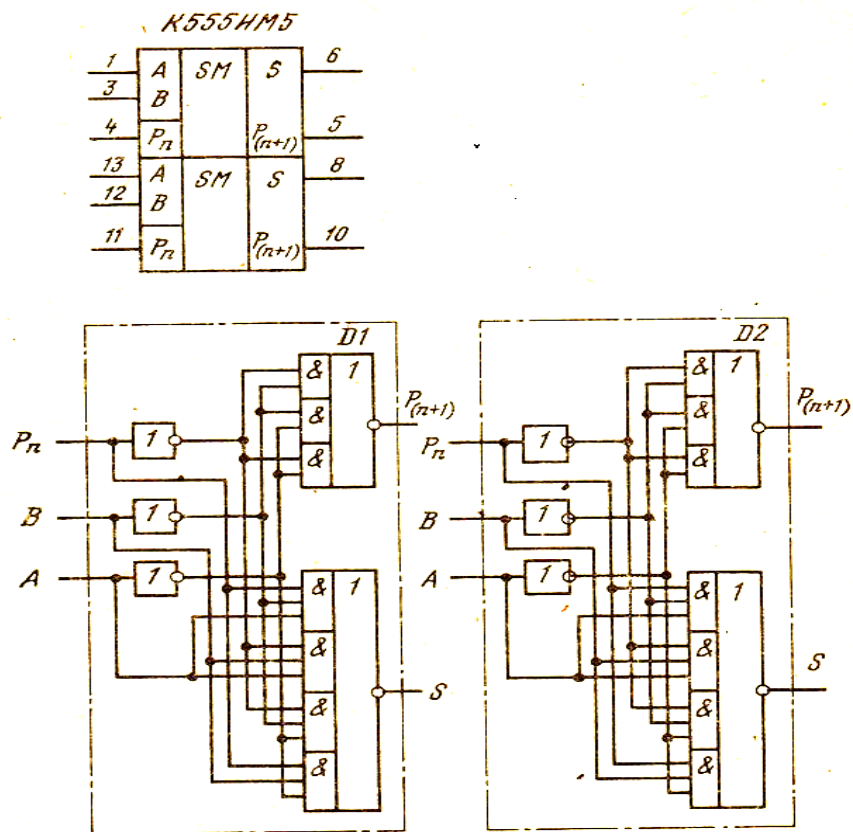


Рис. 2.2. Пример интегрального исполнения сумматора

Сумматор для последовательных операндов

В сумматоре для последовательных операндов, показанном на рис. 2.3 используется одноразрядный сумматор, два n -разрядных сдвиговых регистра на входе для записи входных операндов и аналогичный

сдвиговый регистр S на выходе для хранения результата. Работа схемы начинается с записи в регистры A и B чисел, которые будут суммироваться.

Схема записи на рисунке не показана. Учет переноса в следующий разряд организован с помощью D триггера. Каждый тактовый сигнал выталкивает в сумматор из регистров A и B , начиная с младшего разряда, соответствующие биты, сумма записывается в выходной регистр, а D триггер обеспечивает учет переноса в старший разряд.

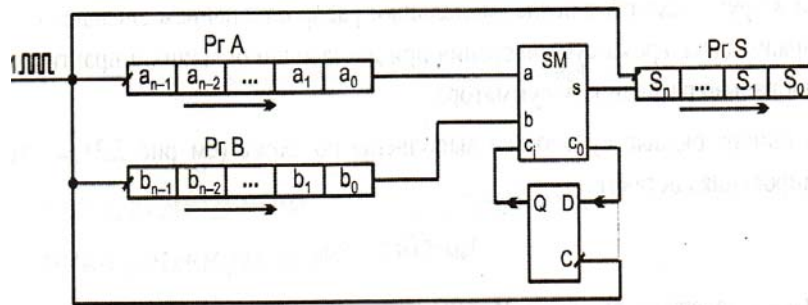


Рис. 2.3. Сумматор последовательных операндов

Очевидно, что сумматор подобного типа очень медленный и применяется ограниченно.

Сумматор параллельных операндов с последовательным переносом

Сумматор подобного класса строится из цепочки полных одно-разрядных сумматоров, соединенных последовательно по линиям переноса. Общая функциональная схема подобного сумматора приведена на рис. 2.4. Почему перенос последовательный? Чтобы учесть значение переноса в старшем разряде, необходимо сначала получить результат вычисления в предыдущем разряде. Даже если на все разряды a и b на рис. 2.4 установлены значения для суммирования, время суммирования будет определяться временем вычисления переносов.

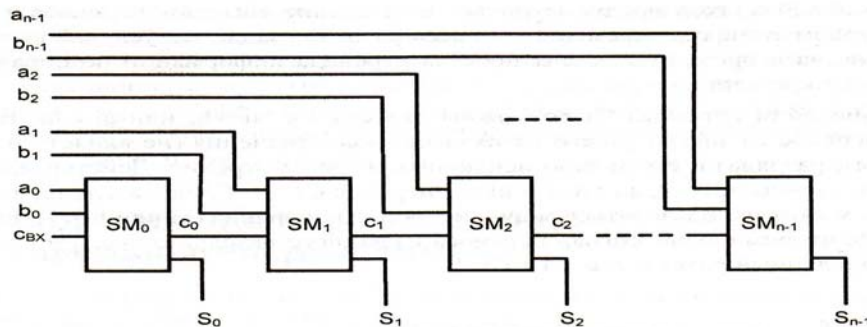


Рис.2.4. Сумматор с последовательным переносом

Сумматор параллельных операндов с параллельным переносом

Данный класс сумматоров не обладает последовательным распространением переноса вдоль всей разрядной сетки. Во всех разрядах вычисление результата переноса производится параллельно во времени. За счет этого достигается максимальная скорость работы. Вариант схемы сумматора подобного типа приведен на рис. 2.5.

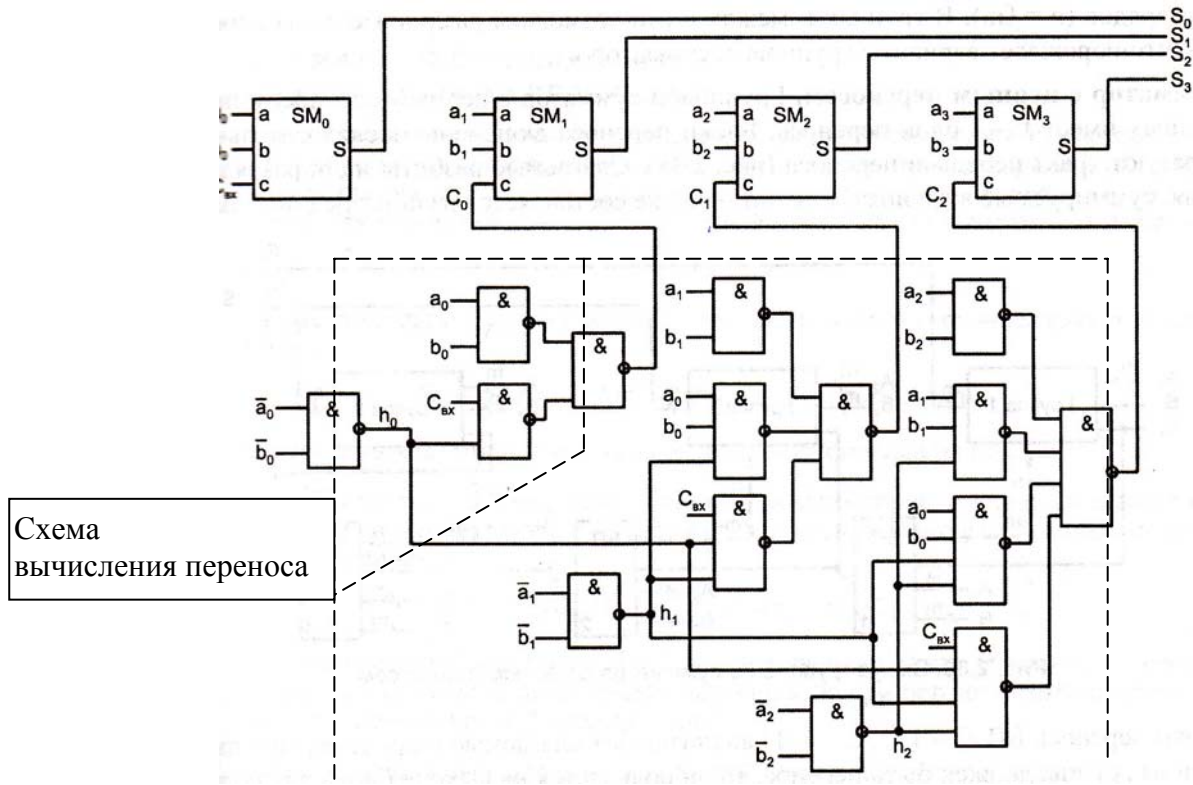


Рис. 2.5. Сумматор с параллельным переносом

Значение переноса вычисляется с помощью комбинационных схем, входами которых являются все переменные, влияющие на вычисление переноса в определенном разряде. Время вычисления переноса будет определяться временем задержки комбинационной схемы.

Использование сумматоров в интегральном исполнении для выполнения различных арифметических операций

Применение инверсных входов дает возможность использовать сумматор для выполнения операций вычитания. В этом случае возможны два варианта, когда A больше B и AA меньше B . В первом

случае, когда результат вычитания положителен, разность определяется по формуле

$$(A-B)_{\text{пр}} = A_{\text{пр}} + (B_{\text{обр}} + 1),$$

то есть вычитаемое В представляется в дополнительном коде. Во втором случае, когда результат вычитания отрицателен, разность определяется по формуле

$$(A-B)_{\text{обр}} = -(A_{\text{пр}} + B_{\text{обр}}).$$

На рис. 2.6 показан пример сумматора для выполнения операции вычитания, а на рис. 2.7 приведен пример для универсального устройства для выполнения операций сложения и вычитания.

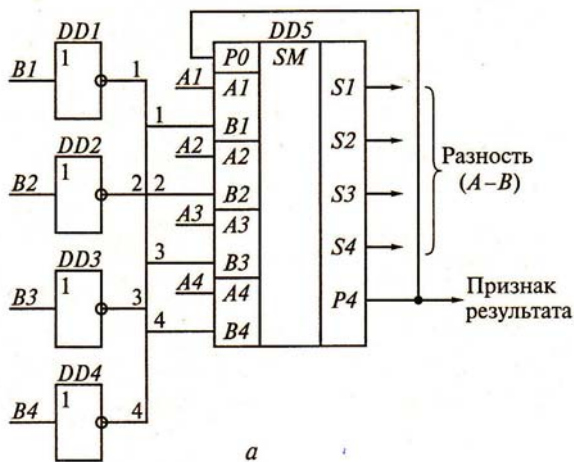


Рис. 2.6. Сумматор для выполнения операции вычитания

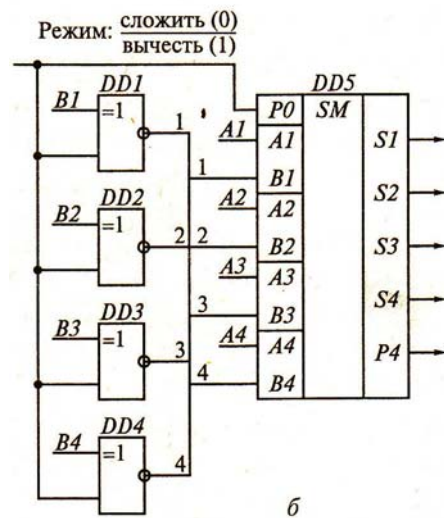


Рис. 2.7. Универсальный сумматор

Варианты заданий на лабораторную работу

№ п/п	Задание	База для решения
1	Разработать сумматор сложения последовательных 4-разрядных операндов, входные сдвиговые регистры должны иметь входы параллельной предварительной записи, выходной последовательный регистр должен иметь линии параллельного считывания информации	К555ИМ5 К555ТМ8
2	9-разрядный сумматор со схемой мажоритарной логики на выходе и схемой управления выдачей результата (суммы и результата мажоритарной логики)	К555ИМ5 Комбинационные ИС выбрать самостоятельно
3	8-разрядный сумматор на J-К триггерах с последовательным переносом. Предусмотреть на выходе сумматора регистр аккумуляторного типа	Элементная база выбирается самостоятельно, обосновать выбор

№ п/п	Задание	База для решения
4	4-разрядный сумматор с параллельным переносом, предусмотреть возможность выдачи результата через схемы с тремя состояниями выхода	База комбинационная логика, базовый критерий минимальная потребляемая мощность
5	4-разрядный вычитатель, на входе и выходе вычитателя предусмотреть регистры для хранения входных и выходных данных. Предусмотреть логику управления записью информации во входной регистр и результата вычитания в выходной	K555ИМ7, K55ИР16
6	4-разрядный сумматор, на входе и выходе сумматора предусмотреть регистры для хранения входных и выходных данных. Предусмотреть логику управления записью информации во входной регистр и результата сложения в выходной	K555ИМ7, K55ИР16
7	Разработать сумматор последовательных 8-разрядных операндов, входные сдвиговые регистры должны иметь входы параллельной предварительной записи, выходной последовательный регистр должен иметь линии параллельного вывода. считывания информации	K555ИР10, сумматор выполнить на комбинационной логике
8	4-разрядный сумматор с параллельным переносом	ИС комбинационной логики выбрать самостоятельно. Обосновать критерии выбора
9	Схема умножения двух 3-разрядных чисел	ИС комбинационной логики выбрать самостоятельно. Критерий – минимальное количество корпусов
10	4-разрядный накапливающий сумматор. Выходы инверсные. Без учета переноса в пятый разряд	K555ИД6
11	3-разрядный накапливающий сумматор. Входы инверсные. На выходе предусмотреть схему подключения к магистральной шине	K555ИД6
12	5-разрядный сумматор для выполнения операции вычитания	K555ИД6, K555ЛН1
13	Универсальный 3-разрядный сумматор для выполнения операций сложения и вычитания	K555ИД6
14	4-разрядный сумматор с параллельным переносом	Использовать интегральные схемы комбинационной логики
15	4-разрядный вычитатель, выходы инверсные	Использовать интегральные схемы комбинационной логики

№ п/п	Задание	База для решения
16	8-разрядный сумматор с последовательным переносом на базе микросхемы 4-разрядных сумматоров	Использовать микросхемы ТТЛ серии
17	Схема универсального 5-разрядного сумматора с инверсными выходами и сигналом разрешения выдачи результата	Микросхемы выбрать самостоятельно. Основным критерий выбора – минимальная потребляемая мощность
18	Схема универсального 5-разрядного сумматора с инверсными выходами и сигналом разрешения выдачи результата	Микросхемы выбрать самостоятельно. Основным критерий выбора – максимальное быстродействие

Содержание отчета

1. Функциональная схема устройства.
2. Принципиальная схема устройства в заданном элементном базисе. Если элементный базис не задан, обосновать выбор и критерии выбора микросхем.
3. Таблица истинности или иная информация, необходимая для пояснения работы схемы.
4. Для подготовки функциональных и принципиальных схем использовать программу MicroCap8 или Microsoft Visio.

Контрольные вопросы

1. Какой тип сумматора является наиболее быстродействующим и почему?
2. Объясните, какие недостатки имеет схема сумматора с параллельным переносом?
3. Каким образом определить время задержки в N-разрядном сумматоре последовательного переноса?
4. Каким достоинством обладает сумматор последовательных операндов?

Лабораторная работа № 3 СЧЕТЧИКИ

Цель работы

Изучение счетчиков различного типа, применение счетчиков интегрального исполнения. Приобретение навыков разработки принципиальных схем с использованием счетчиков.

Теоретическая часть

Счетчиком называется последовательная схема, выполняющая функции подсчета единичных сигналов, поступивших на ее вход, а также функцию запоминания двоичного кода, соответствующего этому количеству входных сигналов. На основе счетчиков создают схемы таймеров, распределителей сигналов, схемы задающие управляющие последовательности сигналов. Основой построения счетчиков являются счетные триггеры.

Основные параметры счетчика следующие:

1. K – коэффициент пересчета, определяющий максимальное число различных внутренних состояний, которые он принимает в процессе подсчета входных сигналов. K – это максимальное число импульсов, которое счетчик способен подсчитать.

2. $t_{\text{регистр.}}$ – время регистрации – интервал времени между моментом поступления входного сигнала и окончанием самого длинного переходного процесса установления кода на выходе.

3. $t_{\text{раз.}}$ – разрешающая способность – минимальный доступный период следования входных сигналов, при котором счетчик работает без сбоев.

Время регистрации определяется типом используемых триггеров и организацией межразрядных связей. Разрешающая способность зависит от динамических свойств триггера в младшем разряде счетчика.

Счетчики можно классифицировать по функциональному признаку и по способу записи информации

По функциональному признаку счетчики делятся на двоичные, не кратные 2^n , простые, реверсивные, прямого счета, обратного счета.

По способу записи информации счетчики делятся на асинхронные, синхронные, с последовательным переносом, с параллельным переносом. Простейшим счетчиком считается двоичный счетчик, построенный на асинхронных Т-триггерах, показан на рис. 3.1. Двоичный n -разрядный счетчик содержит n Т-триггеров. Время регистрации такого счетчика равно nt , где t – время переключения триггера.

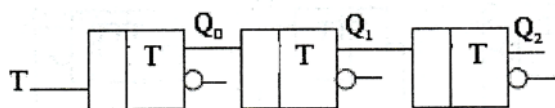


Рис. 3.1. Двоичный счетчик на Т-триггере

Для превращения суммирующего счетчика в счетчик обратного счета нужно вместо прямых выходов триггеров использовать инверсные. Реверсивный счетчик можно построить, если выходы предыдущего триггера подключать к входу последующего через управляемый мультиплексор 2 в 1, который по управляющему сигналу соединяет триггеры прямыми выходами для сложения, инверсными – для вычитания, это показано на рис. 3.2.

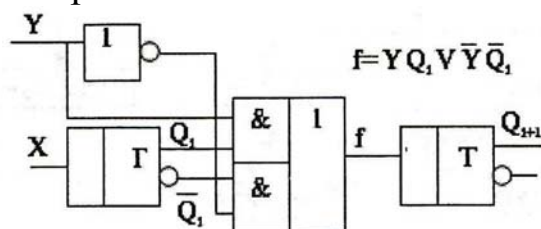


Рис. 3.2. Реверсивный счетчик

Быстродействие счетчика можно увеличить за счет сквозного переноса $P_i = P_{i-1} \times Q_{i-1}$, где P_i – перенос в i -разряд счетчика, показано на рис. 3.3.

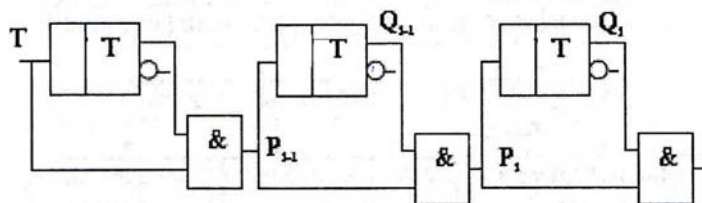


Рис. 3.3. Счетчик со сквозным переносом

В этом случае время регистрации равно $t_i + n t_z$, где t_z – задержка переключения логического элемента И. Наибольшим быстродействием обладают счетчики с параллельным переносом сигнала. В таких счетчиках импульсы на входы регистров формируются одновременно, начиная со второго, что показано на рис. 3.4.

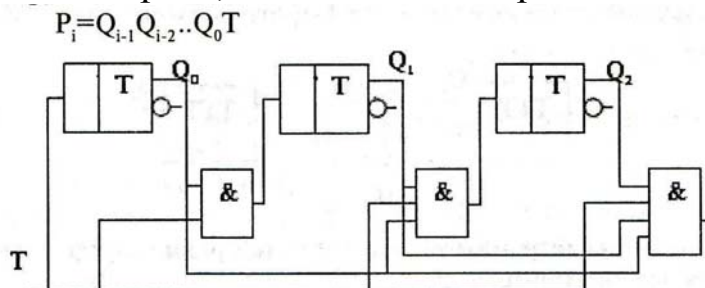


Рис. 3.4. Счетчик с параллельным переносом

В интегральном исполнении выпускается достаточная номенклатура счетчиков с различными характеристиками и функциональными возможностями. Часто в качестве дополнительной функции

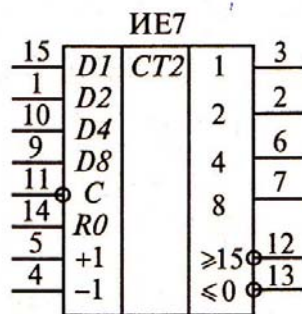


Рис. 3.5. Счетчик в интегральном исполнении серии K555IE7

применяется предварительная установка начального значения счетчика. Не всегда счет надо осуществлять с нулевого значения. Кроме этого для расширения функциональных возможностей в счетчиках интегрального исполнения включается возможность реверсивности счета. В качестве примера на рис. 3.5 показан счетчик K555IE7.

Входы D1, D12, D4, D8 – входы предварительной установки значения счетчика, работают при активном инверсном сигнале C. Вход R0 – вход предварительной установки счетчика в ноль. Входы -1 и +1 – входы счета импульсов в обратном и прямом направлениях. Выходы 1, 2, 4, 8 определяют текущее значение счета. Выходы 15 и 0 – значение переноса при прямом и обратном счете. Диаграмма работы такого счетчика показана на рис. 3.6.



Рис. 3.6. Диаграмма работы счетчика K555IE7

При использовании счетчиков интегрального исполнения часто решается задача построения счетчиков с разным коэффициентом пересчета. Если необходимо реализовать счетчик с коэффициентом пересчета меньшим, чем обеспечивает счетчик, то на выходе счетчика

устанавливается комбинационная схема, входы которой реагируют на заданный коэффициент, а выход соединен с входом обнуления счетчика. Если коэффициент счета больше, чем обеспечивает интегральная схема, то задача решается путем увеличения разрядности счетчика, например как показано на рис. 3.7.

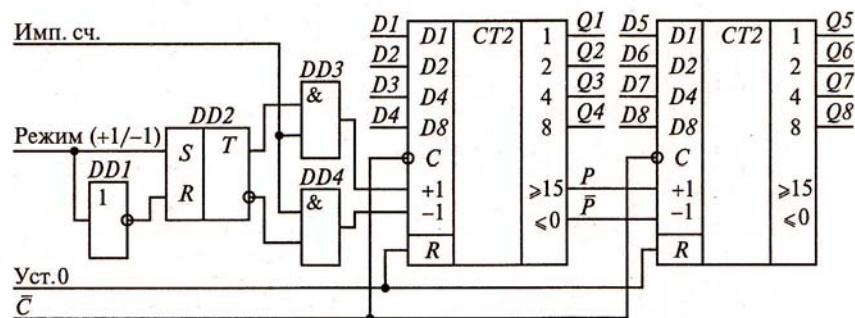


Рис. 3.7. Пример увеличения разрядности счетчика

В микросхемах счетчиков часто применяются дополнительные входы условий разрешения работы входов, как и во всех микросхемах функциональных устройств.

Варианты заданий на лабораторную работу

№ п/п	Задание	База для решения
1	Разработать счетчик с последовательным переносом кода Грея, с коэффициентом пересчета 10. Выходы счетчика с открытым коллектором	K55TM9
2	Разработать счетчик с параллельным переносом кода Грея, коэффициент пересчета 11. Выходы счетчика с тремя состояниями.	Выбрать самостоятельно из микросхем МОП технологии
3	Разработать счетчик двоичного кода, коэффициент пересчета 77, счетчик должен иметь функцию обнуления (сброса), схему разрешения счета (пуск)	K555IE2
4	Разработать реверсивный счетчик, коэффициент пересчета 60, Обеспечить функции управления: сброс, пуск, останов. Фиксация состояний счетчика при достижении $K=10,20,30,40,50,60$ в выходном регистре	Выбрать самостоятельно при условии использования минимального количества корпусов микросхем
5	Разработать счетчик двоичного кода, коэффициент пересчета 20, предусмотреть возможность переключения счетчика на коэффициент пересчета 7,10,13,18. Обеспечить режим принудительного обнуления (сброса)	K555IE2

№ п/п	Задание	База для решения
6	Разработать таймер, считающий секунды, минуты, часы, количество дней в месяце	Выбрать самостоятельно. Критерии выбора обосновать
7	Разработать реверсивный счетчик с коэффициентом пересчета 33, с возможностью предварительной записи начального состояния и режимом принудительного обнуления (сброса)	Выбрать самостоятельно из микросхем технологии ТТЛ
8	Разработать реверсивный двоично-десятичный счетчик с коэффициентом пересчета 100	К555ИЕ6
9	Разработать счетчик обратного отсчета секунд, начальное состояние 60 с. Предусмотреть возможность принудительного останова счета	Выбрать самостоятельно. Критерии выбора обосновать
10	Разработать программируемый таймер с максимальным коэффициентом пересчета 100, предусмотреть возможность установки произвольного коэффициента пересчета с помощью последовательного регистра	Выбрать самостоятельно. Критерии выбора обосновать
11	Разработать сторожевой таймер на базе счетчика с коэффициентом пересчета 50. На счете 50 устройство должно вырабатывать сигнал «Reset». Таймер должен иметь вход «сброса счета», чтобы сигнал «Reset» не вырабатывался	К555ИЕ10
12	Разобрать кольцевой синхронный реверсивный счетчик с коэффициентом пересчета 35	Выбрать самостоятельно. Критерии выбора обосновать
13	Разработать счетчик счета каждого десятого периода тактового сигнала. Коэффициент счета 50	Выбрать самостоятельно. Критерии выбора обосновать

Содержание отчета

1. Функциональная схема устройства.
2. Принципиальная схема устройства в заданном элементном базисе.
Если элементный базис не задан, обосновать выбор и критерии выбора.
3. Проверить выбранную интегральную базу на совместимость.
4. Таблица истинности, временная диаграмма или иная информация, необходимая для пояснения работы схемы.

5. Для подготовки функциональных и принципиальных схем использовать программу MicroCap8 и Microsoft Visio.

Контрольные вопросы

1. Какой способ организации счетчика позволяет достичь максимального быстродействия? Объясните на примере.
2. Какой способ организации счетчика позволяет создавать схемы с минимальной потребляемой мощностью?
3. Чем различаются синхронные и асинхронные счетчики?
4. Как организуется схема кольцевого счетчика?
5. В чем заключается принцип параллельного переноса в счетчиках?
6. Приведите классификацию счетчиков.
7. Объясните, зачем применяется предварительная очистка или установка текущего значения в счетчиках?

Лабораторная работа № 4 СПОСОБЫ ОРГАНИЗАЦИИ СТАТИЧЕСКОЙ ПАМЯТИ И ИСПОЛЬЗОВАНИЕ ИНТЕГРАЛЬНЫХ СХЕМ ДЛЯ ИХ РЕАЛИЗАЦИИ

Цель работы

Изучение способов организации статической памяти. Изучение интегральных схем памяти: параметров; управляющих сигналов; правил подключения; способов расширения разрядности; временных диаграмм работы. Приобретение навыков разработки принципиальных схем с использованием микросхем памяти при заданной схеме организации памяти.

Теоретическая часть

В схемотехнике цифровых устройств элементы полупроводниковой памяти являются важнейшими элементами, которые постоянно совершенствуются по технологии, схемотехнике, способам организации. В настоящее время известны сотни различных типов интегральных схем памяти.

Важнейшие параметры элементов памяти находятся в противоречии. Информационная емкость не сочетается с высоким быстродей-

ствием. Быстродействие находится в противоречии со стоимостью. Поэтому системам памяти свойственна многоступенчатая иерархическая структура, на каждом уровне которой применяется определенный способ организации. В иерархии памяти можно выделить следующие виды памяти:

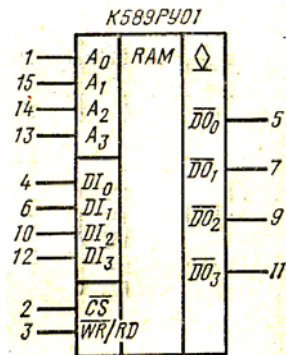
- регистровая память, находящаяся в процессоре;
- кэш-память как промежуточная память между оперативной и регистровой, она недоступна для пользователя;
- оперативная память – основная память для хранения исполняемого кода программы и данных. Является на сегодняшний день самой медленной, но это динамическая память;
- специализированные виды памяти – многопортовые, ассоциативные, видеопамять, FIFO, LIFO, круговые буферы.

Параметры элементов памяти

- Информационная емкость – максимально возможный объем хранимой информации в битах или словах.
- Разрядность – разрядность хранимых слов.
- Организация памяти – произведение числа слов на их разрядность.
- Быстродействие – оценивается длительностью цикла считывания, записи.
- Время считывания – интервал времени между моментом установки сигнала чтения и появлением слова на выходе памяти.
- Время записи – интервал времени между моментом установки сигнала записи и адреса и моментом фиксации ячеек памяти заданного состояния.
- Цикл чтения или записи – минимально допустимый интервал времени между повторными операциями чтения и записи.
- Производительность – способность записать или прочитать определенное количество слов или бит в секунду.

Перечисленные параметры являются эксплуатационными, но существуют еще режимные параметры, обеспечение которых необходимо для нормального функционирования памяти, так как появление входных сигналов должно быть обеспечено по определенной временной диаграмме. Для этих сигналов важна длительность и ограничение по взаимному положению во времени. Для примера рас-

смотрим простейшую микросхему K589PY01 – статическая память на 64 бита ,16 слов на 4 разряда. На рис. 4.1 показаны условное обозначение микросхемы и таблица назначения выводов, а на рис. 4.2 представлена временная диаграмма работы данной микросхемы в режимах хранение; считывание; запись; считывание; хранение; считывание.



Выводы	Назначение	Обозначение
1, 13, 14, 15	Адресные входы	A_0, A_3, A_2, A_1
4, 6, 10, 12	Входы данных	$DI_0 - DI_3$
5, 7, 9, 11	Выходы данных	$\overline{DO}_0 - \overline{DO}_3$
2	Выбор микросхемы	\overline{CS}
3	Сигнал записи — считывания	$\overline{WR/RD}$
16	Напряжение питания	U_{CC}
8	Общий	0 В

Рис. 4.1. Функциональное изображение микросхемы памяти

Временная диаграмма иллюстрирует режимные параметры при выполнении микросхемой конкретных операций – хранения, считывания, записи.

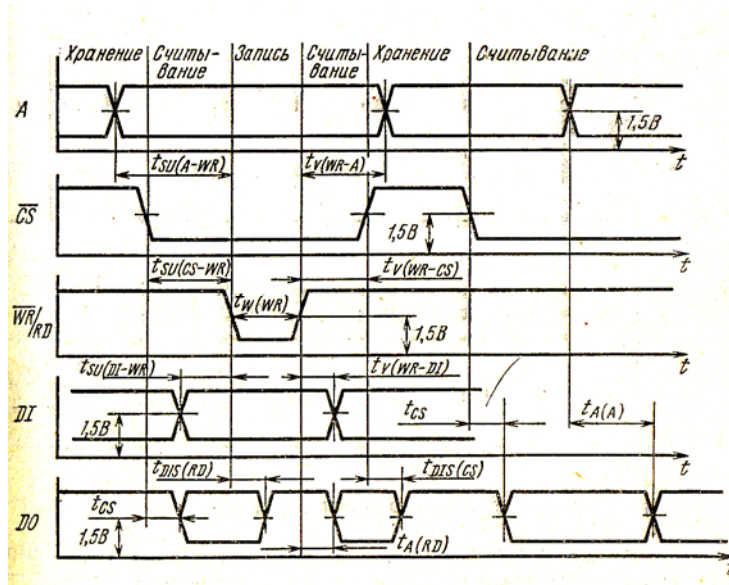


Рис. 4.2. Временная диаграмма режимов работы K589PY01

В предлагаемой работе будут рассмотрены специальные типы организации памяти на базе микросхем статической памяти, а также задача построения статической памяти заданной емкости. Статиче-

ская память, основой построения которой является триггер – это самый быстродействующий вид памяти. На основе статической памяти разрабатывают специализированные устройства, которые называют буферами памяти FIFO (первый пришел - первый вышел), LIFO (последний пришел - первый вышел) – стековая память, кэш-память.

Буфер FIFO

Память, называемая буфером FIFO, предназначена для хранения очередей данных с порядком выборки слов таким же, что и порядок их записи. Основное назначение – согласование работы устройств, работающих с разной скоростью. Моменты записи слова в буфер и считывания из него задаются внешними сигналами управления, не зависящими друг от друга. Это значит, что запись и считывание из устройства можно производить с разной скоростью или частотой. Пример структурной схемы буфера FIFO показан на рис. 4.3.

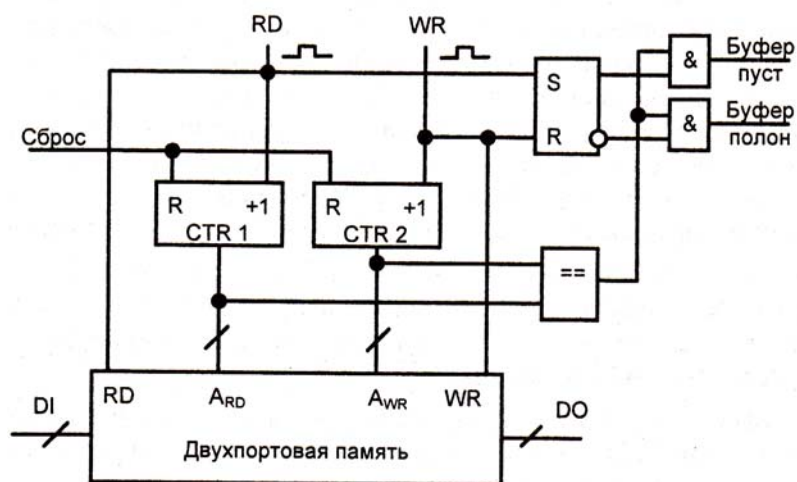


Рис. 4.3. Структурная схема буфера FIFO

Основными элементами схемы являются двухпортовая память и схема логики управления режимами: чтением (RD); записью (WR), – на счетчиках CTR1, CTR2 и RS-триггере. Перед началом работы оба счетчика адресов CTR1 и CTR2 сбрасываются. При записи адреса увеличиваются на единицу при каждом обращении. То же происходит при чтении слов, так что адрес чтения всегда пытается догнать адрес записи. Если адреса сравниваются при записи, то буфер полон. Если адреса сравниваются при чтении, то буфер пуст. Соответственно сигнал буфер пуст прекращает процедуру чтения, а сигнал буфер полон пре-

кращает процедуру записи. Если сигналы управления чтением RD и записью WR подавать на входы схемы с разной частотой, то устройство будет работать с разным темпом входа и выхода данных. Буфера FIFO выпускаются корпорацией IDT в виде микросхем, например IDT7201. Для разработки схем FIFO характерны задачи по наращиванию разрядности (рис. 4.4) и задачи по увеличению информационной емкости (рис. 4.5). Особенностью схем FIFO можно назвать отсутствие внешних шин для задания адреса данных.

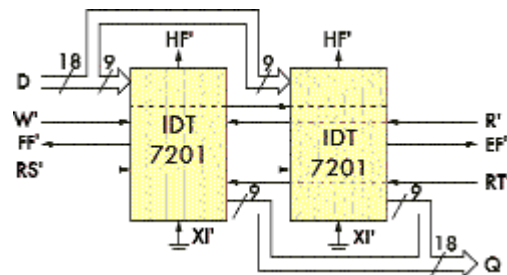


Рис. 4.4. Пример наращивания разрядности схемы FIFO

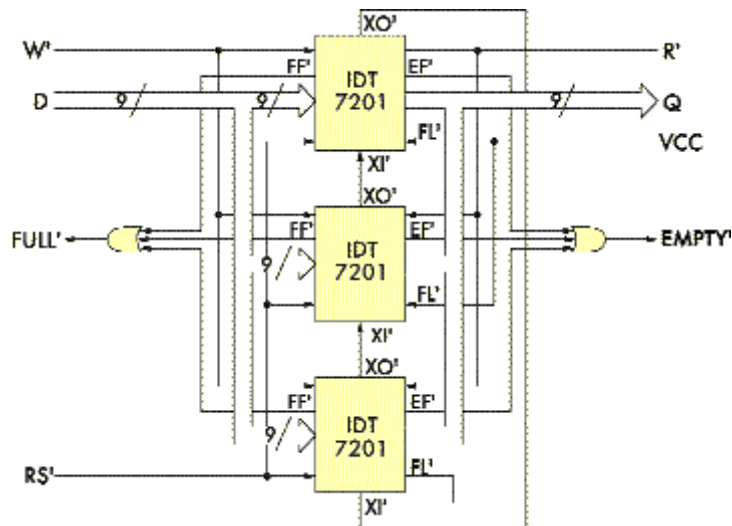


Рис. 4.5. Пример увеличения информационной емкости схемы FIFO

Буфер LIFO

Буфер LIFO – это устройство, предназначенное для хранения очереди данных с порядком считывания обратным порядку записи. По-другому она называется стековой памятью и применяется для временного хранения текущих состояний регистров компьютера при обработке прерываний. Пример структурной схемы буфера LIFO показан на рис. 4.6. Для управления стековой памятью применяется один реверсивный счетчик. Соответственно сигнал буфер полон вы-

работывается, если на выходе счетчика будут все выходы в состоянии единицы. Сигнал буфер пустой вырабатывается схемой, если все выходы счетчика будут находиться в состоянии нуля.

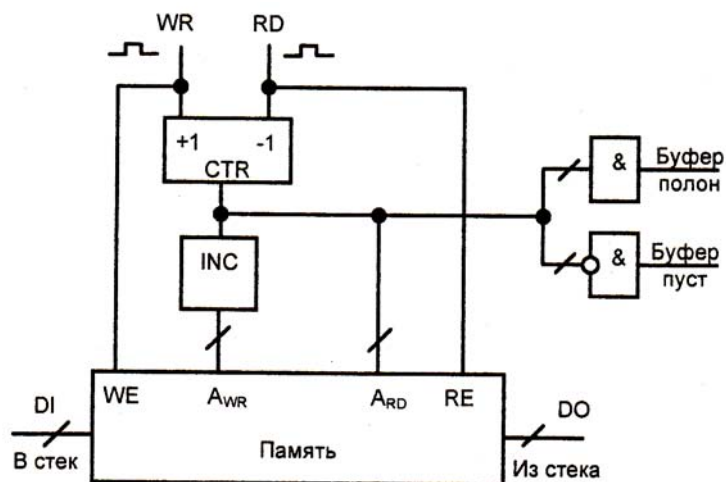


Рис. 4.6. Структурная схема буфера LIFO

Данные сигналы разрешают или запрещают работу схемы на запись или чтение данных. Адреса слов при обращении к стеку формируются в реверсивном счетчике. При записи адрес увеличивается, а при чтении уменьшается на единицу. Чтение будет производиться по адресу, который находится в счетчике, а запись – по соседнему большему. Состояние счетчика указывает вершину стека.

При создании битового стека можно использовать схемы реверсивных регистров.

Банковая организация и расслоение памяти

Одним из способов повышения быстродействия работы памяти считается банковая или блочная ее организация. Рассмотрим пример блочной памяти на 512 слов (два в девятой степени), построенной из четырех банков по 128 слов в каждом. Типовая структура памяти, организованной в соответствии с блочной структурой, предствалена на рис. 4.7. Адресное пространство памяти разбито на группы последовательных адресов и каждая такая группа обеспечивается отдельным банком памяти. Для обращения к памяти используется 9-разрядный адрес, семь младших разрядов которого (A₆-A₀) поступают параллельно на все банки памяти и выбирают в каждом из них одну ячейку.

Два старших бита адреса (A_8, A_7) содержат номер банка. Выбор банка обеспечивается дешифратором номера банка либо мультиплексированием информации.

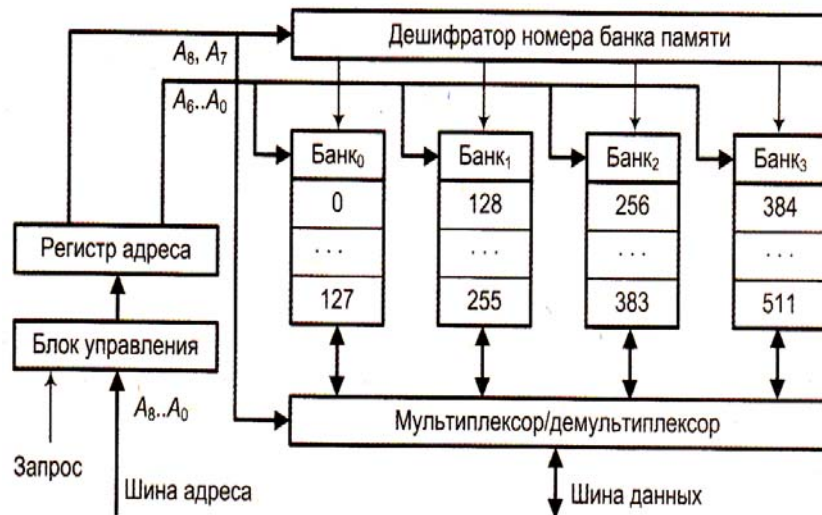


Рис. 4.7. Блочная структура памяти

Помимо податливости к наращиванию емкости блочное построение памяти обладает возможностью сократить время доступа к памяти. Это возможно благодаря потенциальному параллелизму, присущему блочной организации. Большой скорости доступа можно достичь за счет одновременного доступа ко всем банкам памяти. Это называется расслоением памяти. В основе расслоения памяти лежит изменение системы распределения адресов между банками памяти.

Чередование адресов основано на свойстве локальности по обращению, согласно которому последовательный доступ в память обычно производится к ячейкам, имеющим смежные адреса. Например, если в данный момент времени выполняется обращение к ячейке с адресом 5, то следующее обращение, вероятнее всего, будет к ячейке с адресом 6.

Чередование адресов обеспечивается за счет циклического разбиения адреса. В нашем примере на рис. 4.8 для выбора банка используются младшие разряды (A_1, A_0), а для выбора ячейки в банке – старшие разряды ($A_8 - A_2$).

Поскольку в каждом такте на шине адреса может присутствовать адрес только одной ячейки, параллельное обращение к банкам невозможно, однако оно может быть организовано со сдвигом на один такт. Адрес ячейки запоминается в индивидуальном регистре адреса, и дальнейшие операции по доступу к ячейке в каждом банке протекают независимо. При большом количестве банков среднее время доступа сокращается в N раз, где N – количество банков. При этом должно соблюдаться условие: ячейки, к которым производится обращение, должны относиться к разным банкам. Если запросы к одному и тому же банку следуют друг за другом, каждый следующий запрос должен ожидать завершения обслуживания предыдущего.

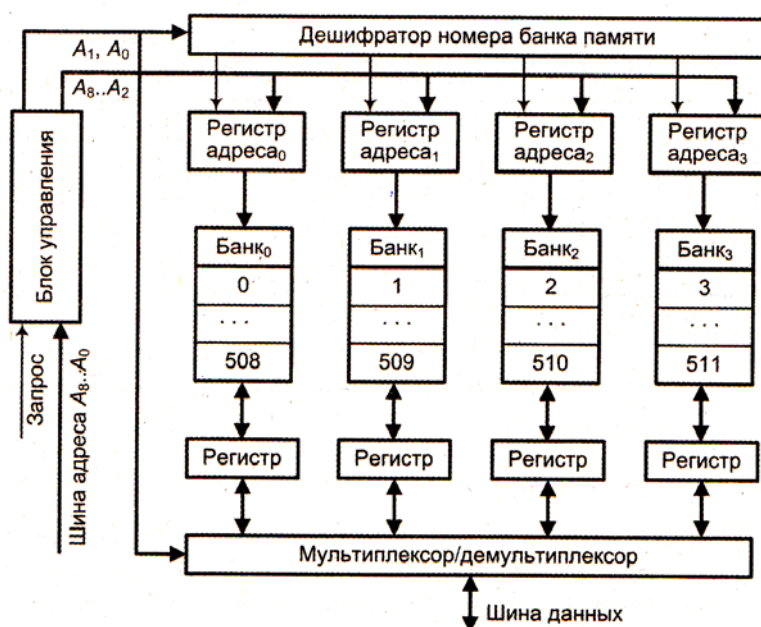


Рис. 4.8. Банковая структура памяти с использованием принципа расслоения

Увеличение разрядности памяти

Одним из способов увеличения емкости памяти можно назвать увеличение разрядности памяти. Это возможно, если разрядность микросхемы памяти меньше разрядности обрабатываемых слов или шины данных компьютера. Увеличение разрядности памяти реализуется за счет объединения адресных входов используемых однотипных микросхем. Такое устройство называют часто модулем памяти. А несколько модулей называют банком памяти. Пример увеличения раз-

рядности показан на рис. 4.9. При использовании многопортовой памяти IDT7201 схема увеличения разрядности выглядит, как показано на рис. 4.10.

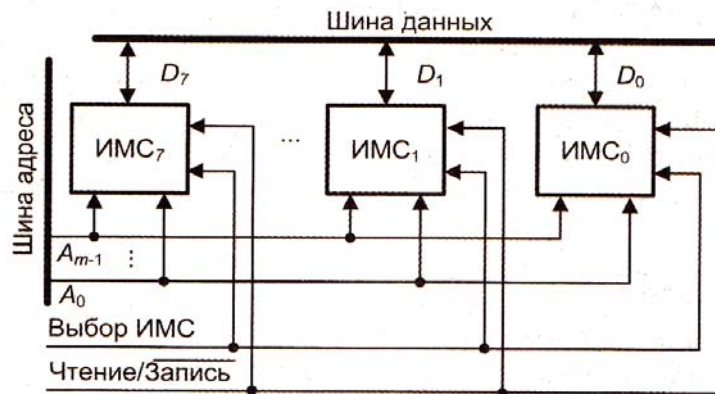


Рис. 4.9. Пример увеличения разрядности памяти

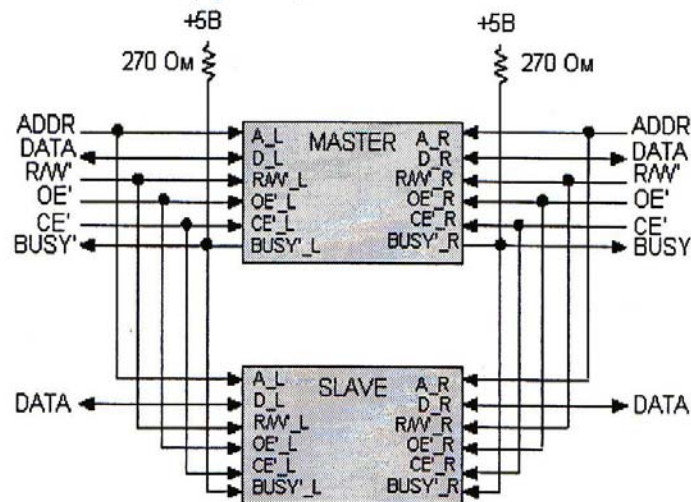


Рис. 4.10. Пример увеличения разрядности многопортовой памяти на микросхемах IDT7201

Варианты заданий на лабораторную работу

№ п/п	Задание	База для решения	Дополнительно
1	Разработать статическую память 256 слов на 32 р. = 8192 бит.	K185PY7	Указать последовательность установки сигналов в режиме хранения, записи и чтения
2	Разработать статическую память 1024 слова на 16 р. = 16384 бит.	Выбрать самостоятельно из микросхем МОП технологии	Указать последовательность установки сигналов в режиме хранения, записи и чтения

№ п/п	Задание	База для решения	Дополнительно
3	Разработать статическую память 900 слов на 16 разрядов = 14400 бит	K1500PY474	Указать последовательность установки сигналов в режиме хранения, записи и чтения
4	Разработать статическую память 16384 слова на 3 разряда	KP1500PY480A	Указать последовательность установки сигналов в режиме хранения, записи и чтения
5	Разработать четырехбанковую статическую битовую память с дешифрацией номера банка и мультиплексором вывода данных	K537PY4A	Указать последовательность установки сигналов в режиме хранения, записи и чтения
6	Разработать статическую память 1024 слова на 5 разрядов = 5120 бит	Выбрать самостоятельно. Критерии выбора – максимальное быстродействие	Указать последовательность установки сигналов в режиме хранения, записи и чтения
7	Разработать трехбанковую, четырехбитовую память с дешифратором номера банка и четырехразрядным мультиплексором вывода данных	K185PY7	Указать последовательность установки сигналов в режиме хранения, записи и чтения
8	Разработать статическую память 65536 слова на 4 разряда = 262144 бит	K132PY10A	Указать последовательность установки сигналов в режиме хранения, записи и чтения
9	Разработать статическую память 1024 слов на 64 разряда	K1809PY1	Указать последовательность установки сигналов в режиме хранения, записи и чтения
10	Разработать статическую память 2048 слов на 15 разрядов	KP537PY10	Указать последовательность установки сигналов в режиме хранения, записи и чтения
11	Разработать буфер LIFO емкостью 256 слов на 4 бита	KM185PY7	Указать последовательность установки сигналов в режиме хранения, записи и чтения
12	Разработать буфер LIFO емкостью 256 слов на 16 разрядов	K1809PY1Б	Указать последовательность установки сигналов в режиме хранения, записи и чтения

№ п/п	Задание	База для решения	Дополнительно
13	Разработать буфер FIFO емкостью 16 слов на 4 разряда	Выбрать самостоятельно. Критерии выбора обосновать	Указать последовательность установки сигналов в режиме хранения, записи и чтения
14	Разработать схему управления буфером FIFO емкостью 64 слова на 8 разрядов	Выбрать самостоятельно. Критерии выбора обосновать	Указать последовательность установки сигналов в режиме хранения, записи и чтения

Содержание отчета

1. Функциональная схема устройства.
2. Принципиальная схема устройства в заданном элементном базисе.
Если элементный базис не задан, обосновать выбор и критерии выбора.
3. Проверить выбранную интегральную базу на совместимость.
4. Таблица истинности, временная диаграмма или иная информация, необходимая для пояснения работы схемы.
5. Для подготовки функциональных и принципиальных схем использовать программы MicroCap8 и Microsoft Visio.

БИБЛИОГРАФИЧЕСКИЙ СПИСОК

1. Угрюмов, Е. П. Цифровая схемотехника: учеб. пособие для вузов / Е. П. Угрюмов. – 3-е изд., перераб. и доп. – СПб. : БХВ – Петербург, 2010. – 816 с. – ISBN 978-5-9775-0162-0.

2. Хоровец, П. Искусство схемотехники / П. Хоровец, У. Хилл : пер. с англ. – 7-е изд. – М. : Мир; Бином, 2011. – 704 с. – ISBN 978-5-9518-0351-1.

3. Амелина, М. А. Программа схемотехнического моделирования Micro-Cap8 / М. А. Амелина, С. А. Амелин. – М. : Горячая линия – Телеком, 2007. – 464 с. – ISBN 978-5-93517-339-5.

4. Медведев, Б. Л. Практическое пособие по цифровой схемотехнике / Б. Л. Медведев, Л. Г. Пирогов. – М. : Мир, 2004. – 408 с. – ISBN 5-03-003701-2.

5. Евстифеев, А. В. Микроконтроллеры AVR семейства Classic фирмы ATMEL / А. В. Евстифеев. – 6-е изд., стер. – М. : Додека-XXI, 2008. – 286 с. – ISBN 5-94120-219-5.

6. Нефедов, А. В. Интегральные микросхемы и их зарубежные аналоги : справ. / А. В. Нефедов. Т. 5. – М. : КУБК-а, 1997. – 608 с. – ISBN 5-85554-158-4.

ОГЛАВЛЕНИЕ

Введение	3
Лабораторная работа № 1. Схемотехника дешифраторов и шифраторов	4
Лабораторная работа № 2. Схемотехника сумматоров	11
Лабораторная работа № 3. Счетчики	17
Лабораторная работа № 4. Способы организации статической памяти и использование интегральных схем для их реализации.....	23
Библиографический список	34

СХЕМОТЕХНИЧЕСКОЕ ПРОЕКТИРОВАНИЕ
ЦИФРОВЫХ УСТРОЙСТВ

Методические указания к лабораторным работам

Часть 1

Составитель
ТУЛЯКОВ Валерий Станиславович

Ответственный за выпуск – зав. кафедрой профессор В. Н. Ланцов

Подписано в печать 25.05.13.

Формат 60x84/16. Усл. печ. л. 2,09. Тираж 60 экз.

Заказ

Издательство

Владимирского государственного университета
имени Александра Григорьевича и Николая Григорьевича Столетовых.
600000, Владимир, ул. Горького, 87.