

ИННОВАЦИОННАЯ ОБРАЗОВАТЕЛЬНАЯ ПРОГРАММА



Проект 2: индивидуальная траектория обучения и качество образования

Цель: ориентированное на требования рынка образовательных услуг улучшение качества подготовки и переподготовки специалистов

**Федеральное агентство по образованию
Государственное образовательное учреждение
высшего профессионального образования
Владимирский государственный университет**

В.Н. ЛАНЦОВ

ПРОЕКТИРОВАНИЕ ЗАКАЗНЫХ ИНТЕГРАЛЬНЫХ СХЕМ НА КМОП

Учебное пособие

Владимир 2009

УДК 621.37.001.63

ББК 32.84.15

Л22

Рецензенты

Доктор технических наук, профессор, директор по науке и развитию

ОАО «завод «Автоприбор»

М.В. Руфицкий

Доктор технических наук, профессор, зав. кафедрой

«Инженерная и компьютерная графика»

Владимирского государственного университета

И.Е. Жигалов

Печатается по решению редакционного совета
Владимирского государственного университета

Ланцов, В. Н.

Л22

Проектирование заказных интегральных схем на КМОП: учеб.
пособие / В. Н. Ланцов; Владим. гос. ун-т. – Владимир: Изд-во Владим. гос.
ун-та, 2009. – 224 с. – ISBN 978-5-89368-941-9

Пособие посвящено одному из самых сложных и бурно развивающихся направлений в области проектирования интегральных микросхем. Заказные интегральные микросхемы позволяют реализовать в кристалле любую по сложности электронную систему с минимальными размерами по площади кристалла, с максимальным быстродействием и с минимальными токами потребления. В пособии представлены основные сведения о технологических особенностях КМОП интегральных схем, моделях и технологиях проектирования и средствах САПР для автоматизации процесса проектирования.

Предназначено для студентов старших курсов и магистрантов по направлениям 210400 – Телекоммуникации, 230100 – Информатика и вычислительная техника, 210300 – Радиотехника, 210200 – Проектирование и технология электронных средств. Может быть использовано при изучении дисциплин «Основы автоматизации проектирования», «Синтез цифровых устройств на VHDL», «Автоматизированное проектирование СВТ» и «САПР ПЛИС и ИМС». Будет полезно аспирантам по соответствующим направлениям.

Ил. 292. Табл. 14. Библиогр.: 37 назв.

УДК 621.37.001.63

ББК 32.84.15

ISBN 978-5-89368-941-9

© Владимирский государственный
университет, 2009

© Ланцов В.Н., 2009

ВВЕДЕНИЕ

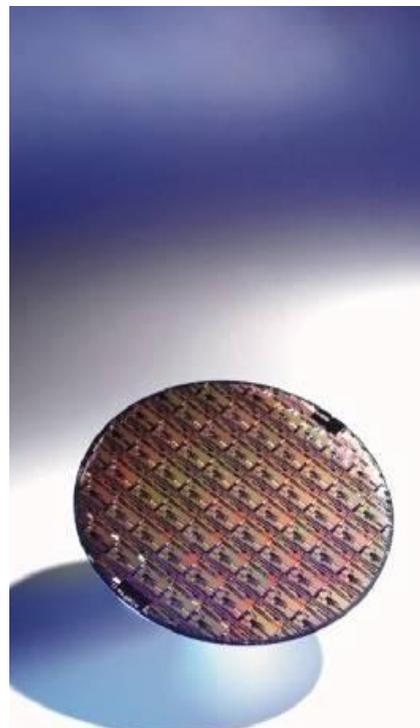
Бурное развитие микроэлектроники оказывает революционное воздействие на развитие практически всех отраслей промышленности и мировой экономики в целом. Современные интегральные микросхемы (ИМС) являются основой компьютерной техники, сотовых телефонов, всех средств связи и большинства бытовых приборов.

Первые ИМС были созданы в 1958-1959 гг. Джеком Килби (фирма Texas Instruments) и Робертом Нойсом (фирма Fairchild) [1]. Первая промышленная партия полупроводниковых ИМС была выпущена фирмой Fairchild в 1961 г. Эта ИМС представляла собой триггер резисторно-транзисторной логики и содержала 4 биполярных транзистора и 2 резистора. В 1963 г. фирмой RCA была выпущена первая ИМС на основе 16-ти транзисторов со структурой металл-окисел-полупроводник (МОП).

Первая в СССР ИМС была создана в Таганрогском радиотехническом институте под руководством Л.Н. Колесова в 1961 г. (проф. Колесов Л.Н. возглавил кафедру микроэлектроники Владимирского государственного университета в 1970 г.). Первые в нашей стране серийные ИМС [1] были выпущены в 1964 г. на заводе “Ангстрем” (Москва). Современные ИМС содержат миллионы полупроводниковых структур.

Электронная индустрия достигла феноменальных достижений в последние два десятилетия, и в первую очередь, за счет прогресса в проектировании сверхбольших интегральных схем (СБИС). Число приложений для СБИС постоянно увеличивается, но особенно быстро развиваются мобильные устройства, где в основе всего малые размеры и малое потребление, при увеличении функциональности.

Проектирование таких систем, с все возрастающей их сложностью, требует применения совершенно новых подходов на основе современных систем автоматизированного проектирования (САПР). При разработке ИМС приходится использовать описания на различных уровнях: поведенческом, структурном, логическом, схемном, топологическом; проводить моделирование, синтез и верификацию сотен и тысяч блоков (модулей, узлов), входящих в ИМС. Для этих целей применяют сложные маршруты (методологии) проектирования и развитые интегрированные очень



дорогие САПР. Например, стоимость одной полной (набора всех программных продуктов) лицензии САПР фирм CADENCE, Mentor Graphics или SYNOPSYS превышает 1 млн. долларов.

При проектировании современных ИМС применяют новый подход – проектирование систем на кристалле (System on a Chip), когда на одном кристалле (чипе) интегрируются разнородные крупные блоки (элементы памяти, блоки цифровой обработки сигналов, процессорное ядро, элементы интерфейсов, приемно-передающие составляющие и т.п.), элементы которых берутся, как готовые решения (ядра, IP cores). Эти ядра обычно разрабатываются заранее и в виде отдельных элементов уже используются различными фирмами. Передача их в виде базы данных для сторонних организаций способствует сокращению сроков проектирования и материальных затрат. Рынок продаж таких ядер постоянно растет. Создание сложных систем на кристалле часто требует выполнения одновременного проектирования аппаратной (HW – hardware) и программной (SW – software) реализаций (HW/SW-codesign) [1].

Значительный прогресс достигнут при проектировании микросистем или микро электромеханических систем (MEMS – micro electro mechanical systems), которые объединяют на одном кристалле (выполняются в едином технологическом процессе) электронные системы обработки информации, а также микро- и нано-сенсоры (датчики температуры, давления, ускорения, скорости потока, состава веществ и др.) и исполнительные механизмы (микродвигатели, микро-насосы, микро-смесители, микро-зажимы и т.д.).

К сожалению, учебной литературы по проектированию современных особенно заказных ИМС практически нет. В монографии [2] в основном отражены возможности современных САПР для проектирования ИМС. Пособия [1, 3] ориентированы в первую очередь на изучение технологических операций при проектировании и изготовлении ИМС. Имеющаяся другая учебная и научная литература [4-10] была подготовлена в 80-е годы и уже не отражает современных тенденций и технологий.

Толчком к подготовке данного и других пособий послужило участие коллектива кафедры Вычислительной техники, начиная с 1994 года, в Европейских программах EUROCHIP, а затем EUROPRACTICE. Эти программы направлены на поддержку вузов Европы в области освоения средств автоматизированного проектирования мировых лидеров при проектировании ИМС и внедрении их в учебный процесс. Первоначально коллективом кафедры под руководством автора пособия были исследованы и внедрены в учебный процесс методы и средства проектирования программируемых логических интегральных схем (ПЛИС), что послужило причиной подготовки пособия [11] и ряда лабораторных практикумов. Затем были приобретены и освоены средства проектирования заказных ИМС, на основании этих исследований и подготовлено данное пособие.

Методически, при изложении материалов данного пособия на автора большое значение произвело знакомство с профессором университета города Тулуза Этьеном Зигадом (Etienne Sicard), который подарил в 1996 году нашему университету программную систему по изучению основ микроэлектроники «Введение в микроэлектронику» [12]. Данная программа позволяла наглядно изучать все основные технологические операции при проектировании и изготовлении ИМС и моделирование несложных узлов цифровых ИМС, и была успешно использована при выполнении лабораторного практикума [13]. В дальнейшем Этьен Зигад разработал более совершенную систему моделирования и проектирования – Microwind. Данная система доступна бесплатно для профессоров университетов при условии (подписания лицензионного соглашения) использования только в учебном процессе, имеет инструкцию по использованию [14] и краткое описание курса по проектированию ИМС [15]. В данном пособии некоторые приводимые иллюстрации взяты из базы данных файлов программы Microwind.

Автор искренне благодарен рецензентам: д.т.н. Руфицкому М.В. и д.т.н. Жигалову И.Е., критические советы и замечания которых способствовали улучшению данной работы.

Глава 1. Основы технологии заказных интегральных микросхем на КМОП

1.1. Прогресс в микроэлектронике

Прогресс в методах изготовления интегральных схем (ИС) является уникальным в современной истории. Такие характеристики как скорость, плотность и стоимость снижаются постоянно примерно с одинаковым коэффициентом на протяжении последних 30 лет. Сейчас проектируются ИС с 500 млн. транзисторов на площади кристалла 2 x 2 см. В табл. 1.1 приведена десятка лучших микроэлектронных фирм (в млн. долларов). Безусловный лидер – фирма Intel. Несмотря на спад в микроэлектронике в 2001-2002 годах, подъем начался в 2003 году, а по результатам 2004г. рост уже составляет более 15%, и темпы роста возрастают [16].

Таблица 1.1

Десятка лучших микроэлектронных компаний

2000	2001	2003	2004	2005
Intel – 14 145	Intel – 11 085	Intel – 19 210	Intel – 31 430	Intel – 35 393
NEC – 5 700	Toshiba – 4 670	Samsung – 7 130	Samsung – 15 830	Samsung – 17 830
Toshiba – 5 010	NEC – 4 405	Hit.,Mitsu.– 7 090	Texas In. – 10 700	Texas In. – 11 300
Texas Ins. – 4 684	ST Micr. – 3 508	Texas Ins. – 6 794	Infineon – 9 180	Toshiba – 9 116
Samsung – 3 925	Texas Ins. – 3 295	Toshiba – 6 660	Renesas – 9 000	ST Micr. – 8 682
Motorola – 3 900	Samsung – 3 255	ST Micr. – 5 321	ST Micr. – 8 760	Renesas – 8 266
ST Micr. – 3 580	Hitachi – 2 980	Infineon – 5 261	Toshiba – 8 531	TSMC – 8 130
Hitachi – 3 460	Motorola – 2 733	NEC – 5 030	TSMC – 7 648	Infineon – 8 123
Hyundai – 3 374	Infineon – 2 648	Philips – 4 057	NEC – 6 469	Sony – 5 845
Infineon – 3 240	Mitsubishi – 2 380	TSMC – 4 056	Philips – 5 692	Qualcomm– 5 673

В 1965 году Гордон Мур (Gordon Moore), один из основателей компании “Intel”, предсказал рост сложности интегральных схем, доступной памяти и скорости вычислений микропроцессоров (удвоение каждый год). С небольшой коррекцией (удвоение каждые 18 месяцев, см. рис. 1.1 [17]) закон Мура продолжает подтверждаться для микропроцессоров. Следующий рисунок (рис. 1.2) подтверждает это и для динамической памяти [15].

Первый микропроцессор был создан фирмой Intel в 1971г. Эта ИМС i4004 с технологической нормой в 7 мкм содержала 2300 МОП-транзисторов на кремниевом кристалле площадью 10,6 мм² и работала с тактовой частотой 100 кГц. В СССР первый аналогичный микропроцессор был создан на заводе “Ангстрем” в 1974г. Следующим важным событием явился выпуск в 1978г. микропроцессора i8086, который содержал 29 тыс. транзисторов на кристалле площадью 33 мм² с технологической нормой в 5 мкм и тактовой частотой 5 МГц. В 1982 г. был выпущен 16-разрядный процессор i80286, который содержал 134 тыс. транзисторов с технологической нормой 3 мкм, в 1985г. – процессор i386 с 275 тыс. транзисторов и технологической нормой 2 мкм, в 1989г. – процессор i486

с 1,2 млн. транзисторов и технологической нормой 1,5 мкм, тактовая частота достигла 100 МГц [1, 18].

Circuit Complexity

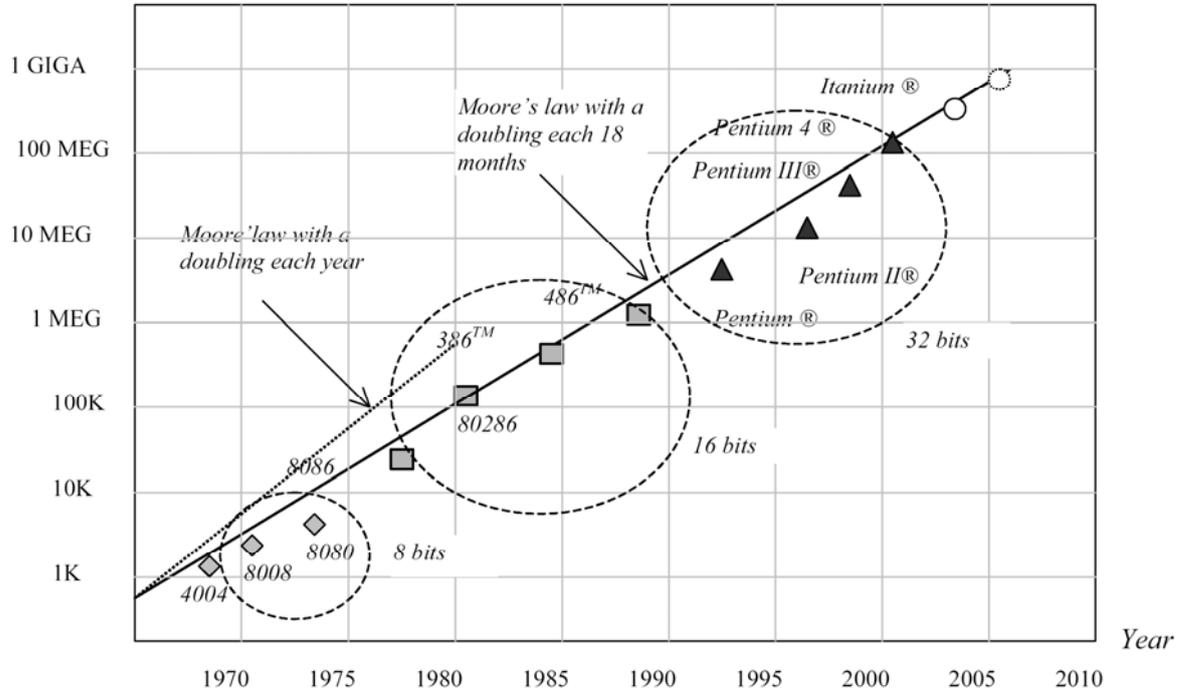


Рис. 1.1. Закон Мура в сравнении для сложности процессоров Intel.

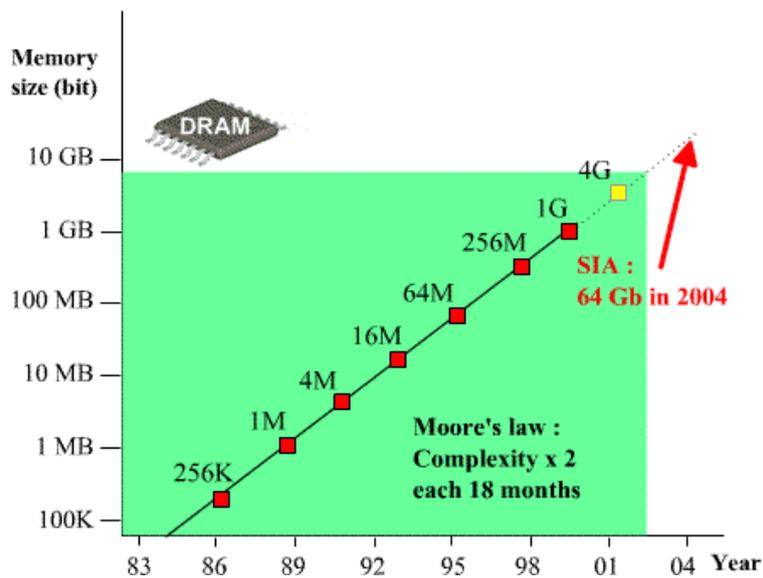


Рис. 1.2. Закон Мура для динамической памяти

В 1993 г. компанией Intel был выпущен 32-разрядный процессор по технологическим нормам 0,8 мкм. Кристалл содержал 3,1 млн. транзисторов и

работал на частоте 66 МГц. Дальнейший переход на технологические нормы 0.5, 0.35, 0.18, 0.13 и 0.09 мкм позволили достичь тактовой частоты 4 МГц, более 500 млн. транзисторов. Развитие динамических оперативно запоминающих устройств (ДОЗУ, DRAM) обычно несколько опережает развитие микропроцессоров.

Большинство ИМС в настоящее время изготавливается на основе комплементарных МОП транзисторах (КМОП, CMOS). Это обуславливается такими достоинствами КМОП, как высокое входное сопротивление, отсутствие энергопотребления в статическом режиме и низкая мощность потребления при переключении, высокая помехоустойчивость, широкий диапазон рабочих температур, технологичность и относительно малый разброс параметров транзисторов по пластине, определяющие высокий процент выхода годных кристаллов, простота схемной реализации логических элементов, позволяющая сократить время и повысить качество проектных решений с помощью современных САПР.

Продолжаются уменьшаться размеры интегральных микросхем для CMOS технологии (рис. 1.3), когда большее число функций выполняется в меньшей площади кристалла [17]. Успехи литографии дают зависимость уменьшения линейных размеров с коэффициентом 0,7, а для площади кристалла – уменьшение с коэффициентом 2. Так для 90-нм технологии почти 1 миллион транзисторов размещается на одном квадратном миллиметре.

Technology (log scale)

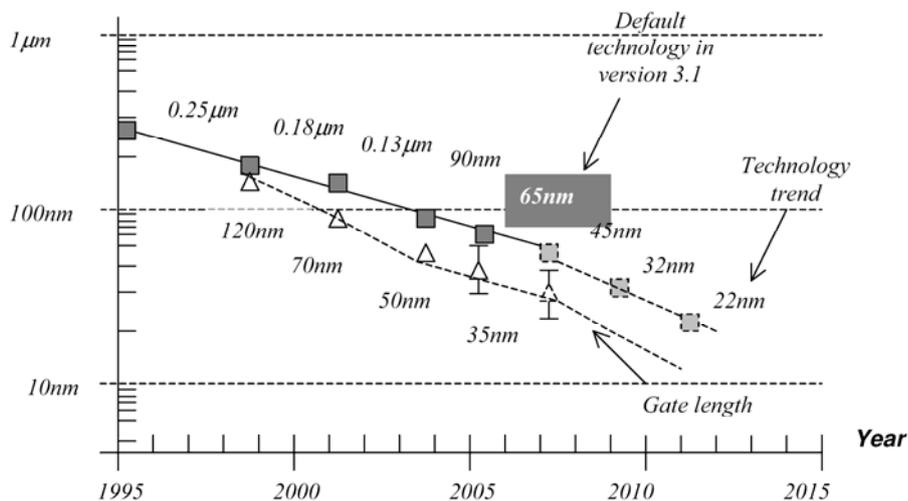


Рис. 1.3. Уменьшение технологических норм в ИМС

Таблица 1.2, представленная ниже, иллюстрирует прогресс в ключевых технологических параметрах. Особенно в увеличении числа металлических межсоединений, сокращении напряжения питания и сокращении размера затворов (уже вплоть до размеров атома). Отметим также более низкую скорость уменьшения напряжения отсечки МОП приборов и увеличение числа контактов

ввода/вывода на одном чипе, увеличение числа слоев металла – увеличение плотности, уменьшение напряжения питания – уменьшение потребляемой (рассеиваемой) мощности, утоньшение оксида – увеличение скорости. Отметим, что для обеспечения стандартизации внутреннее напряжения питания ниже, чем на выводах ИС.

Т а б л и ц а 1.2

Прогресс в технологических параметрах

Технологическая норма	Год	Число слоев металлизации	Внутреннее напряжение питания (В)	Толщина пленки оксида (нм)	Напряжение отсечки V_t (В)	Размер чипа (мм)	Число контактов ввода/вывода
1.2 мкм (μm)	1986	2	5.0	25	0.8	5x5	250
0.7 мкм	1988	2	5.0	20	0.7	7x7	350
0.5 мкм	1992	3	3.3	12	0.6	10x10	600
0.35 мкм	1994	5	3.3	7	0.5	15x15	800
0.25 мкм	1996	6	2.5	5	0.45	17x17	1000
0.18 мкм	1998	7	1.9	3	0.40	20x20	1500
0.12 мкм	2001	8	1.5	2	0.30	22x20	1800
90 нм (nm)	2003	8-9	1.0	1.8	0.25	25x20	2000
65 нм	2005	9	0.7	1.6	0.20	25x20	3000

Рынок ИМС также постоянно растет. Объемы продукции ИМС для разных технологий иллюстрирует рис. 1.4 [17]. Видно, что новые технологические нормы меняются примерно через каждые два-три года, пик объема продукции постоянно растет (для технологий 65 нм и 45 нм приведены предсказания).

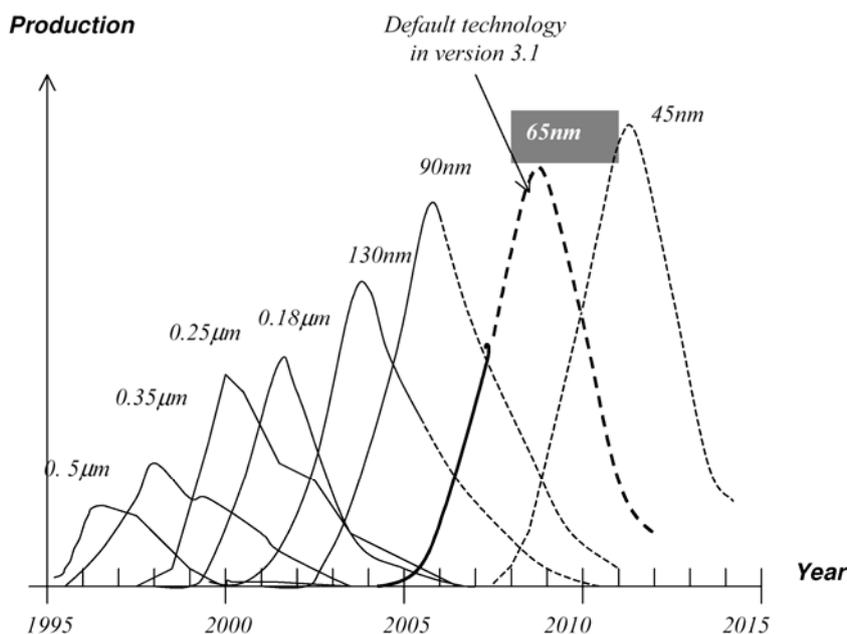


Рис. 1.4. Объемы продукции ИМС для разных технологий

Рисунок 1.5 иллюстрирует прогресс в сложности проектирования (технология 0,7 и 0,12 мкм, 2 и 7 слоев металлизации, число транзисторов на кристалле, тактовая частота).

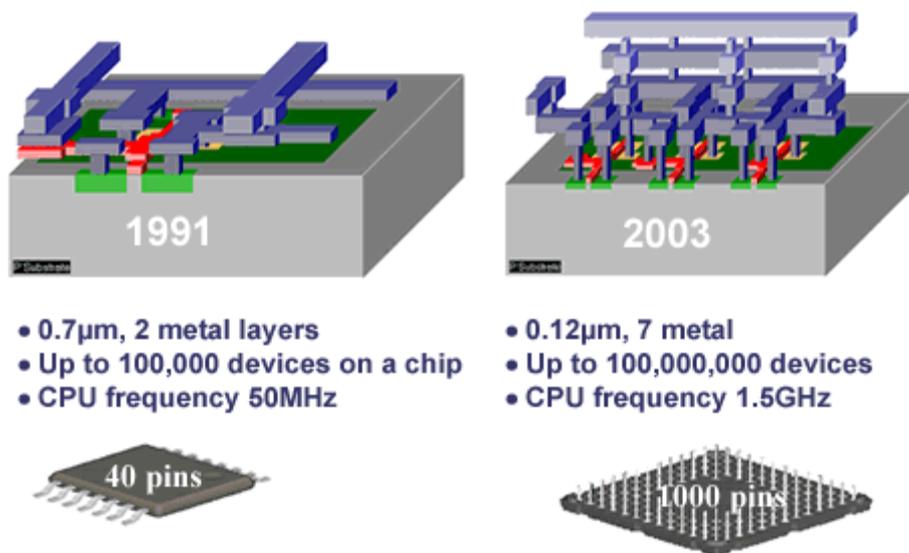


Рис. 1.5. Рост сложности проектирования при уменьшении технологических норм

Основной тенденцией микроэлектроники является обеспечение тех же функций на меньшей площади, в этом случае можно на тех же площадях обеспечивать больше функций. Число слоев металлизации увеличивается (рис. 1.6), большее число слоев дает больше возможностей по сокращению площади кристалла, активные области транзисторов могут быть ближе расположены. Сокращение площадей приводит к уменьшению паразитных емкостей, повышается тактовая частота, уменьшается необходимое напряжение питания.

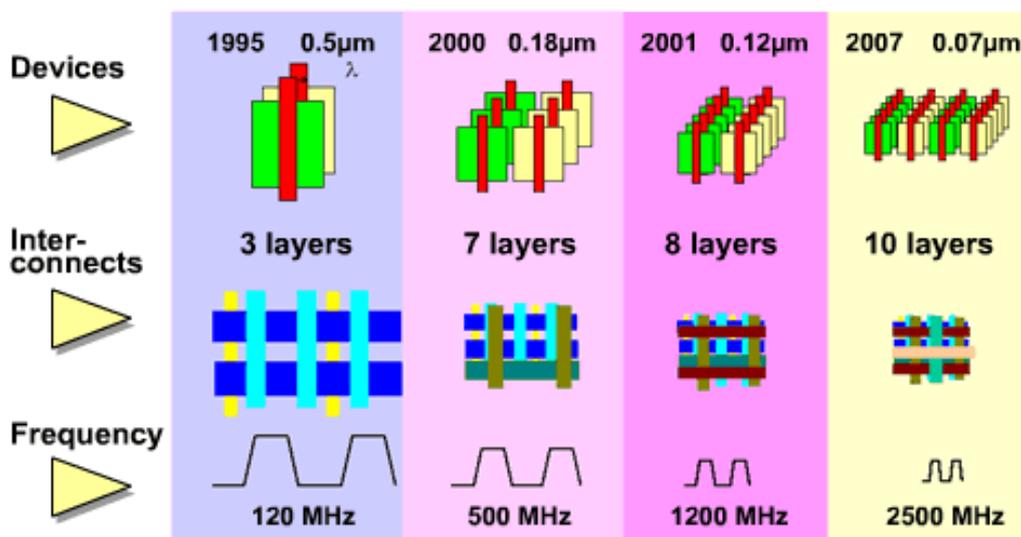


Рис. 1.6. Тенденции в микроэлектронике

Движущей силой прогресса многие годы остаются микропроцессоры. На рис. 1.7 представлены изменения в технологических нормах при производстве процессоров фирмы Интел.

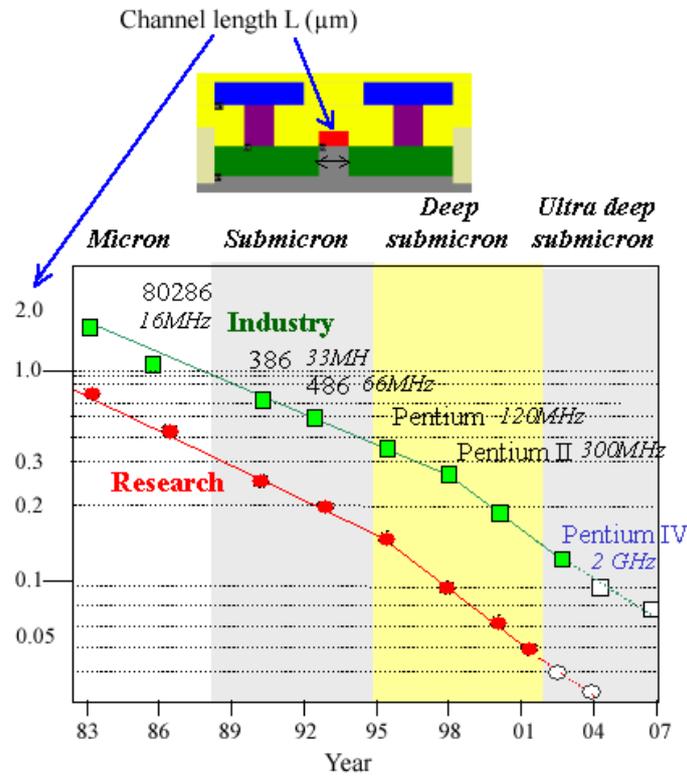


Рис. 1.7. Изменения технологических норм в микропроцессорах

Следующие рис. 1.8 и 1.9 [15] иллюстрируют изменения в размерах топологии при проектировании кольцевого генератора на трех инверторах при 2-х и 5-и слоях металлизации.

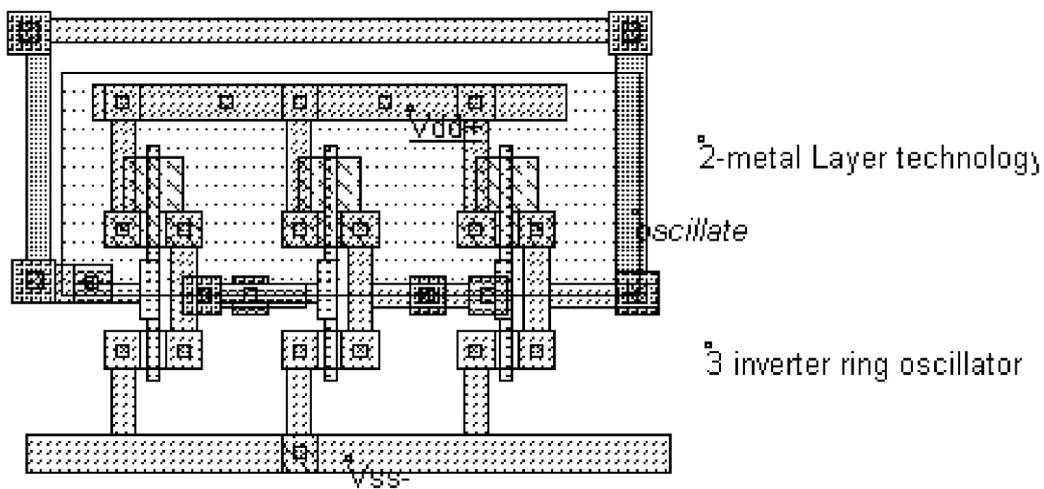


Рис. 1.8. Топология генератора при двух слоях металлизации

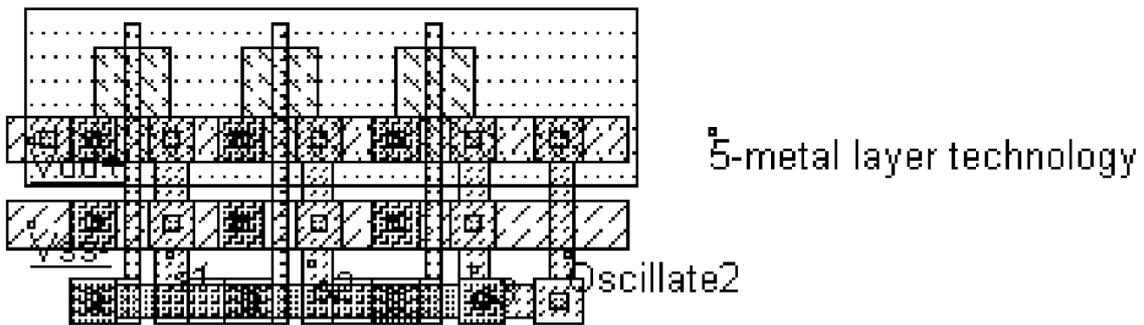


Рис. 1.9. Топология генератора при пяти слоях металлизации

Для сравнения и оценки влияния технологических норм на технические характеристики интегральных устройств, рассмотрим тот же кольцевой генератор на 5 инверторах (рис. 1.10), который выдает частоту колебаний на выходе на основе своих собственных свойств.

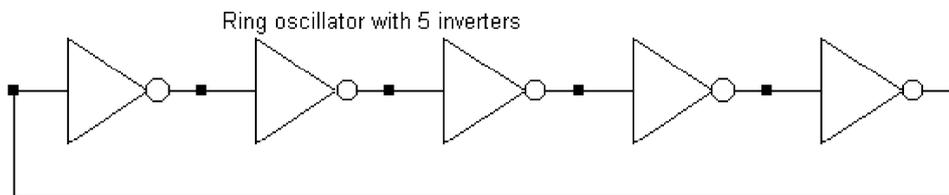


Рис. 1.10. Кольцевой генератор на 5 инверторах

Результаты моделирования (рис. 1.11) показывают, что не смотря на уменьшение напряжения питания (V_{DD} равно 5В для 0.8 мкм, 1.2В для 0.12 мкм и 1.0В для 65 нм), частота колебаний значительно увеличивается с уменьшением технологических норм.

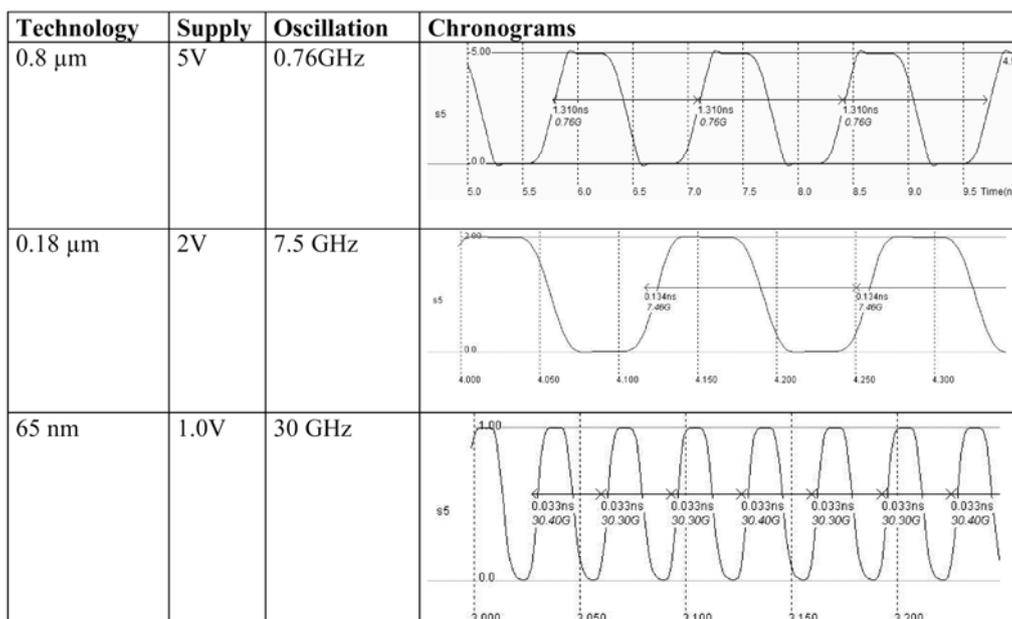


Рис. 1.11. Результаты моделирования при разных технологических нормах

1.2. Классификация ИМС по технологии проектирования и изготовлению

По технологии проектирования и изготовления ИМС можно выделить следующую классификацию [1, 3, 11] (рис. 1.12):

- стандартные;
- специализированные.

В свою очередь, специализированные ИМС можно разделить на заказные и полужаказные (ИМС на основе стандартных ячеек, БМК и ПЛИС).



Рис. 1.12. Классификация ИМС по методологии (технологии) проектирования и изготовления

Стандартные ИМС (схемы памяти, микропроцессоры, процессоры цифровой обработки сигналов и т.п.) выпускаются массовым тиражом, проектируются и изготавливаются, начиная с нижних физических уровней транзистора, полностью оптимизированы для высокого быстродействия, малого потребления и минимальной площади кристалла. Проектирование требует значительных затрат и времени. Стоимость отдельных экземпляров ИМС определяется количеством выпускаемых ИМС (величиной серии).

Заказные (полностью заказные, full custom) ИМС проектируются и изготавливаются по технологии *стандартных* ИМС, но в отличие от стандартных в них:

- ИМС выполняют специальные функции;
- серия выпускаемых микросхем обычно невелика.

Процесс проектирования и изготовления специализированных заказных ИМС (Application Specific Integrated Circuits - ASIC) отличается значительными затратами, большими сроками проектирования (5 - 9 месяцев) и изготовления, но

ИМС полностью удовлетворяют требованиям заказчика, обладают наилучшими техническими характеристиками, минимальными размерами кристалла. Здесь каждый прибор и схемный элемент разрабатывается под конкретный кристалл, эта технология выбирается, когда необходимо минимизировать размер кристалла или реализовать функцию, которая невыполнима или не оптимальна в полузаказных, или когда нет подобных стандартных ИМС.

К полузаказным (semi-custom) ИМС относят микросхемы, проектирование и изготовление которых выполняется на основе методов стандартных ячеек, базовых матричных кристаллов и ПЛИС.

Технология на основе метода *стандартных ячеек* (standard cells) получила наибольшее распространение в мире, является дальнейшим развитием технологии ASIC и имеет следующие особенности:

- основана на применении при проектировании заранее разработанных компонентов (ячеек);
- в качестве ячеек могут быть отдельные транзисторы, логические элементы, триггеры, регистры, АЛУ, ОЗУ и т.п.;
- для ячеек имеется полная технологическая, схемная и конструкторско-топологическая информация, которая хранится в библиотеках САПР;
- проектирование заключается в покрытии исходной (проектируемой) схемы набором ячеек, размещении отобранных ячеек на кристалле и трассировки межсоединений;
- нет сокращения числа фотошаблонов по сравнению с заказными;
- сокращение процесса проектирования за счет использования готовых библиотек стандартных ячеек, которые уже полностью известны и являются, по сути, заказными;
- ИМС полностью удовлетворяют требованиям заказчика, обладают практически наивысшими техническими характеристиками и минимальной площадью кристалла;
- технология характеризуется более низкой стоимостью проектирования и готовых кристаллов (по сравнению с заказной), малыми сроками проектирования (2 - 3 месяца) и изготовления (2 - 3 недели).

Технология на основе метода *базовых матричных кристаллов* (БМК, БИС на БМК, МаБИС, gate arrays) имеет следующие отличительные особенности [19, 20]:

- проектирование основано на использовании заранее подготовленных кристаллов (по заказной технологии) с уже имеющимися элементами чаще всего в виде матрицы одинаковых элементов, а также ряда элементов коммутации и ввода/вывода и т.п.;
- все схемы и элементы БМК прошли полную аттестацию (по электрическим и топологическим параметрам), нет только соединений между элементами, необходимы одна-две операции по выполнению соединений с помощью одного-двух слоев металлизации;

- проектирование схем на БМК можно выполнить или в фирме-разработчике БМК по запросу заказчика, или непосредственно пользователем под конкретную схему;
- БМК поставляются с библиотекой параметров элементов матриц и коммутаций;
- БМК могут быть на основе вентильных матриц для цифровых ИМС или на основе аналоговых матриц кристаллов и функциональных элементов для аналоговых ИМС;
- достоинствами технологии являются низкие стоимость проектирования и изготовления изделий на БМК, малые сроки проектирования и изготовления (1 - 2 месяца);
- недостатки: несколько большая площадь кристалла (по сравнению с заказными и на основе стандартных ячеек), неполное использование кристалла (лишние элементы, избыточность БМК), несколько худшие технические характеристики (по сравнению с заказными).

Технология на основе *программируемых логических интегральных схем* (ПЛИС, FPGA, CPLD, PLD) бурно прогрессирует [11, 21]. В настоящее время ПЛИС характеризуются самыми высокими темпами роста применения в области ИМС, позволяют в сжатые сроки создавать специализированные СБИС до миллиона логических вентилях, позволяют разработчику отказаться от десятков корпусов стандартной логики.

Основным отличием ПЛИС от БМК и других типов специализированных ИМС является возможность проектирования, отладки и тиражирования ИМС самим разработчиком непосредственно на своем рабочем месте. Это обусловлено как технологией изготовления ПЛИС, так и наличием развитых средств САПР. ПЛИС позволяют значительно уменьшить габариты аппаратуры, при этом достигается высокое быстродействие, низкое энергопотребление, значительно меньшие сроки проектирования (несколько дней) и изготовления (минуты), легкость тестирования и высокую рабочую надежность; особенно это актуально для российских условий.

Выделим следующие достоинства ПЛИС:

- резкое сокращение сроков и затрат на проектирование, возможность модификации и отладки аппаратуры, а также эмуляции схем, подлежащих последующей реализации на другой элементной базе, например на БМК;
- снижение стоимости первоначальной разработки;
- минимизация ручного труда инженера;
- домашнее проектирование (in house) - весь цикл проектирования и конфигурирования (программирования) выполняется на одном рабочем месте;
- возможность перепрограммирования, применение перепрограммируемых ПЛИС позволяет проводить эффективную отладку и реконфигурирование;
- высокая надежность;

- возможность сохранять проект и использовать его как часть в других проектах;
- возможность выполнять отладку и эксперименты с множеством типов кристаллов без физического исполнения устройства;
- сохранение интеллектуальных свойств проекта (проект не передается для изготовления в другую фирму).

К недостаткам ПЛИС следует отнести:

- невысокую рабочую скорость (тактовые частоты меньше, чем в других технологиях);
- невысокую плотность (размеры кристалла превышают размеры по другим технологиям).

1.3. Базовые элементы технологии КМОП ИМС

Структура полупроводника. Кремний (Si), полупроводник, является основным материалом ИМС. Беспримесный кремний содержит трехмерную решетку атомов. Кремний это 4 группа элементов, формирует ковалентную связь с четырьмя соседними атомами, как показано на рис. 1.13а.

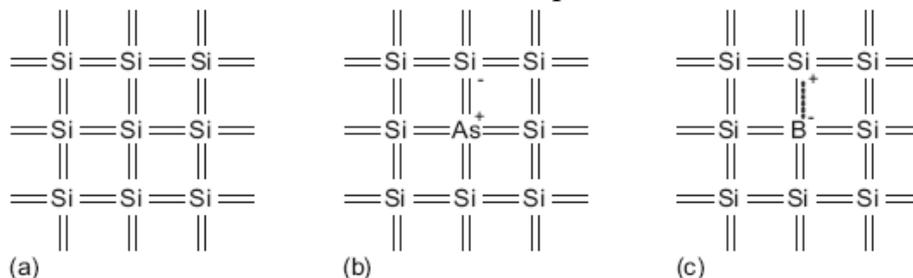


Рис. 1.13. Кремневая решетка и диффузионные атомы

Рис. 1.13 показывает плоскую решетку, но в действительности форма кристалла кубическая (рис. 1.14).

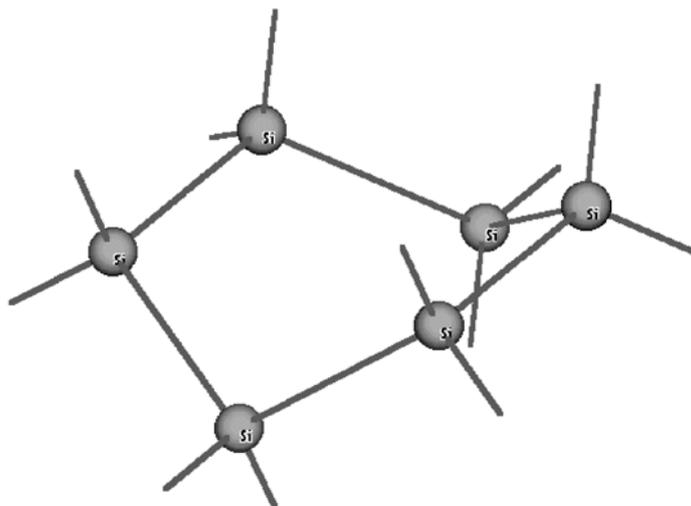


Рис. 1.14. Кремневая решетка

Так как все валентные электроны связаны химическими связями, то это плохой проводник. Электропроводимость можно повысить, вводя маленькие примеси в кремневую решетку. Эти примеси называют легирующими (или диффузантами). Пятая группа элементов (диффузантов), например, мышьяк имеет пять валентных электронов. Легируя кремний мышьяком, получаем структуру, когда пятый валентный электрон несвязан с атомом мышьяка, как показано на рис. 1.13b. Комнатной температуры достаточно для теплового колебания решетки, что бы привести свободные электроны в движение. Полупроводник называется n-типа потому, что свободными носителями являются отрицательно заряженные электроны. Аналогично в 3-й группе диффузантов, например бор, отсутствует один валентный электрон (рис. 1.13c). Атомы диффузанта могут заимствовать электроны соседнего атома кремния. Этот атом в свою очередь может заимствовать электроны у следующего, и так до тех пор, пока не будут отсутствовать электроны, так называемые «дыры». Дыры работают как положительные носители и поэтому полупроводники называются p-типа.

Проектирование топологии. Топология – это аналог электрической схемы в виде набора геометрических образов слоев кристалла. В каждом слое имеется определенное число фигур, комбинация определенных фигур соответствует базовому элементу электрической схемы – транзистору [2].

Соединения между элементами выполняются в соответствии с принципиальной электрической схемой. Они реализуются в виде металлических дорожек в различных слоях топологии (слоев металлизации). Количество слоев зависит от технологии изготовления ИМС. Некоторые размеры топологии (например, размеры областей транзистора) определяют ее электрические свойства, другие (например, расстояние между фигурами одного слоя) должны удовлетворять технологическим ограничениям.

Разработка топологии ИМС заключается в решении ряда взаимосвязанных задач:

- относительного взаимного размещения компонентов с минимальным числом пересечений, с учетом схемотехнических и технологических ограничений;
- трассировки (проведения внутрисхемных соединений);
- подготовки информации для изготовления фотошаблонов.

Подложка. Подложкой микросхем является пластина p-типа с сопротивлением примерно 10 Ом/см (рис. 1.15). Имеется барьерный слой (P^{++} epi). Но для технологии 90 нм этот слой убрали.



Рис. 1.15. Подложка ИМС

Следующий элемент – это так называемый N-карман (карман n-типа, N-well), выполняемый путем диффузии слабо легированным элементом для инвертирования легирования подложки (рис. 1.16). Используется только для р-канальных МОП-транзисторов, которые располагаются внутри этого кармана.

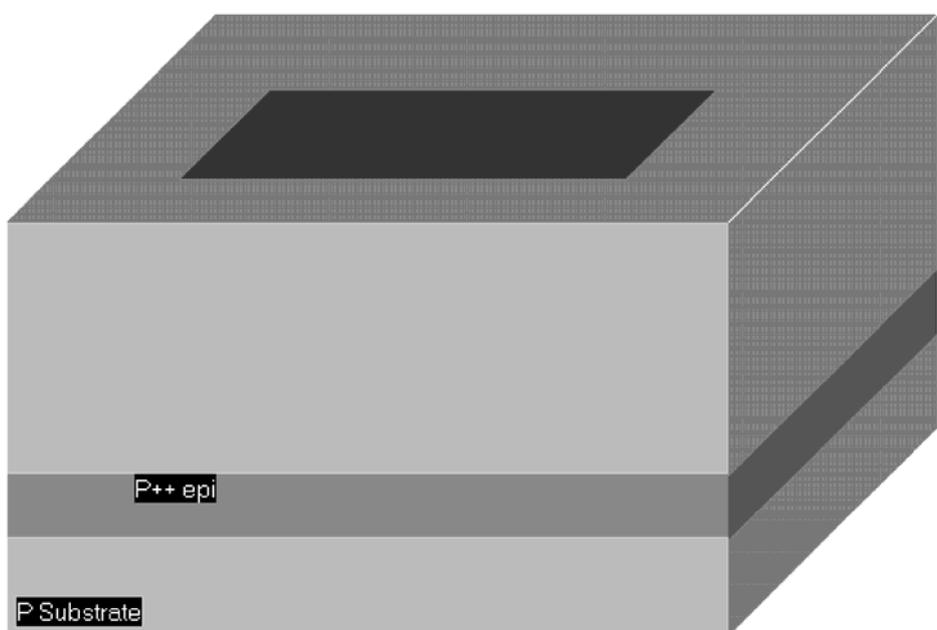


Рис. 1.16. Карман

Поликремневый затвор. Этот элемент используется как для n-канальных, так и р-канальных МОП-транзисторов. На рис. 1.17 приведен 0.12 мкм n-канальный затвор. Если сделать размер рисунка максимальным, то можно увидеть структуру атомов транзистора (видно, что очень мало атомов для 0.12 мкм технологии).

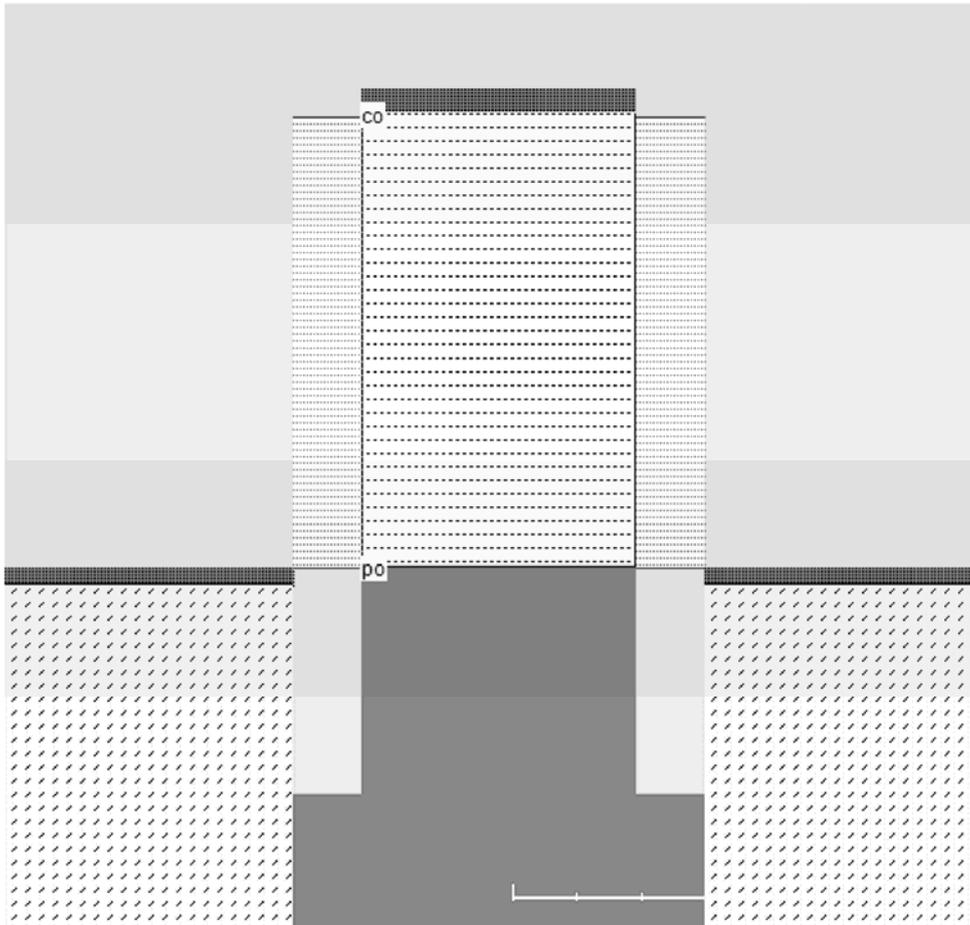


Рис. 1.17. Поликремневый затвор

Диффузия. Диффузия n-типа (N⁺-диффузия) разграничивает активную часть n-канального прибора. Также используется для поляризации N-кармана. P⁺-диффузия разграничивает активную часть р-канальных приборов. На рис. 1.18 показана N⁺ и P⁺ диффузия для создания транзистора, а также для поляризации. На следующем рисунке (рис. 1.19) схематично отображена поляризация МОП приборов.

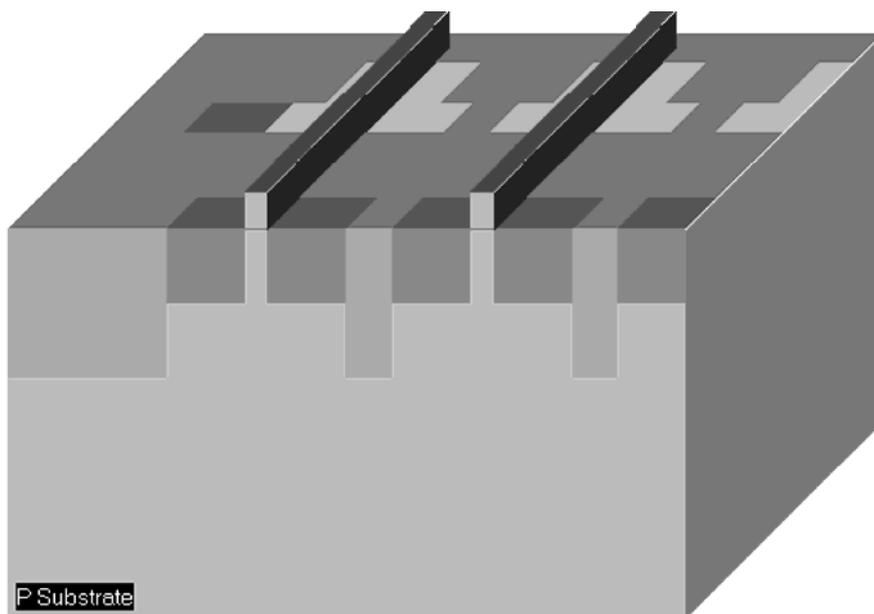


Рис. 1.18. Диффузия

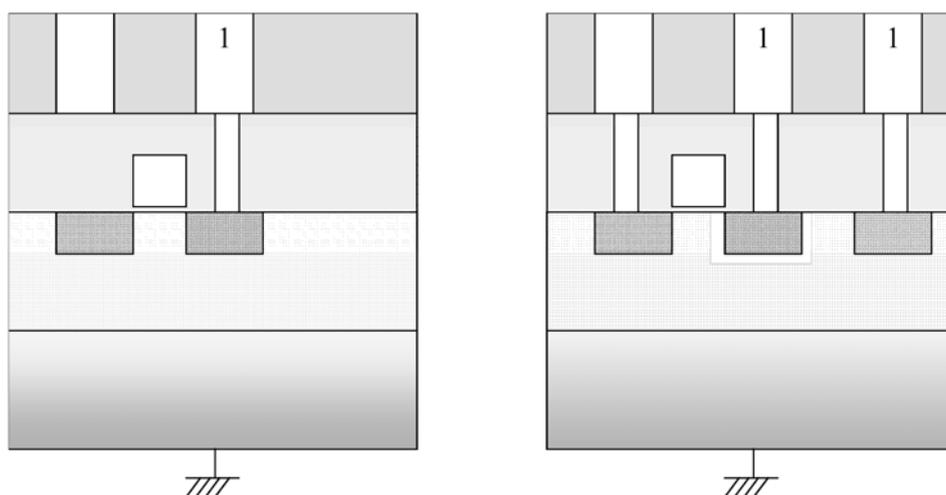


Рис. 1.19. Поляризация МОП приборов

МОП структура, созданная из нескольких слоев проводящих и изолирующих материалов похожа на структуру бутерброда. Эти структуры изготавливают, используя последовательно различные химические процессы, такие как оксидирование кремния, диффузия примесей в кремний (которая дает определенные характеристики проводимости), покрытия (осаждения) и травления алюминия или других металлов для обеспечения взаимосвязей проводников на печатной плате. Проводники переносятся на кристалл кремния, которые доступны на тонкой, плоской и круглой подложке диаметром около 15-30 см. Все основные химические процессы выполняются с помощью масок. На рис. 1.20 приведены примеры масок, необходимых для изготовления КМОП схем.

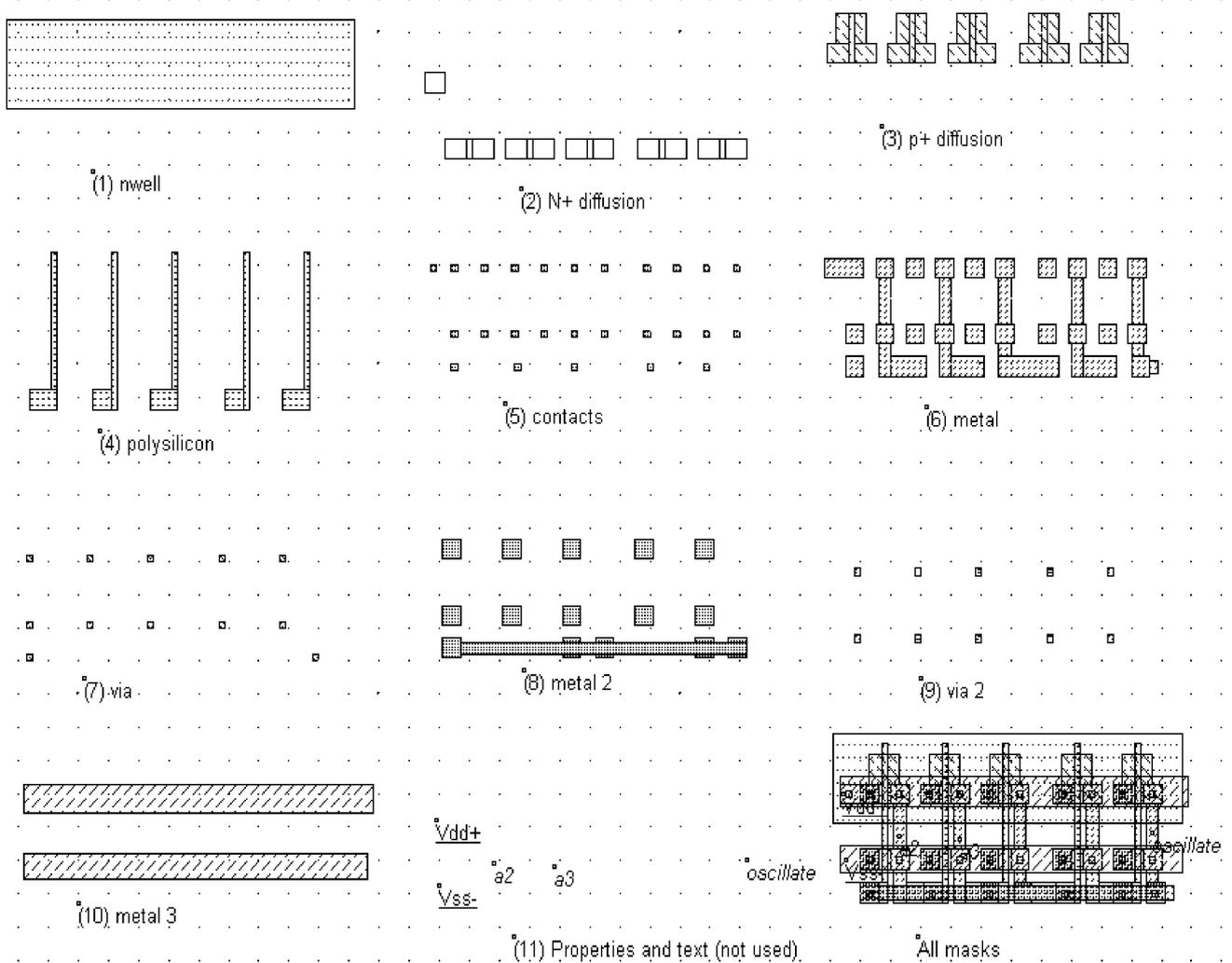


Рис. 1.20. Примеры масок для изготовления КМОП схем

Контакты и слои металлизации. Контакты играют роль соединений между областями диффузии и слоями металла при трассировке. Контактная площадка (plug) изготавливается путем высверливания отверстия в оксиде и вставки шпильки в отверстие слоя металла.

Слои металла используются для соединения приборов вместе для выполнения логических или аналоговых функций. В настоящее время используют до 6 слоев металла (изготавливаются последовательно друг над другом) для технологии 0.12 мкм. На рис. 1.21 показаны верхние слои ИС (для упрощения не показаны верхние слои оксидов), а на рис. 1.22 – разрез (сечение) ИС.

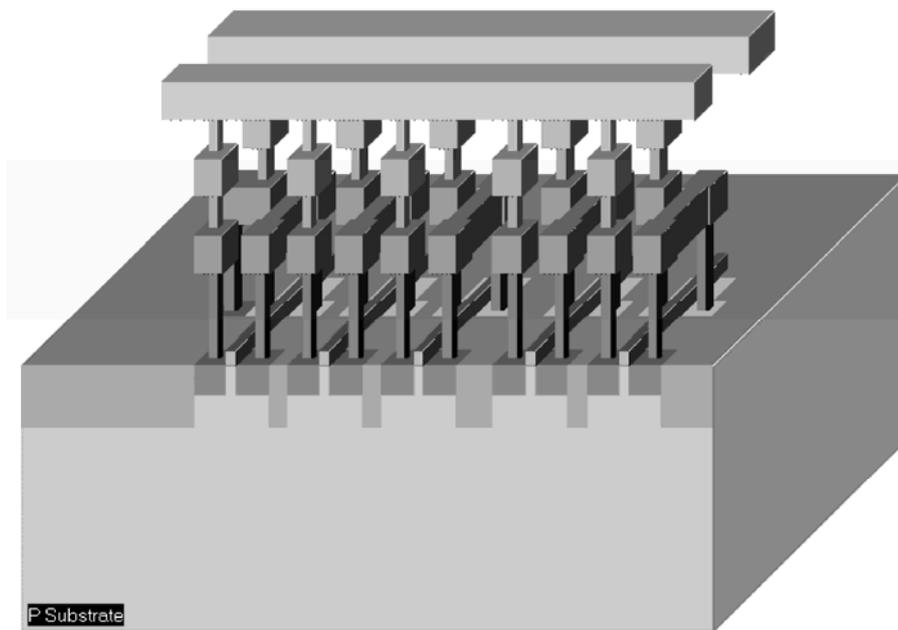


Рис. 1.21. Слои металлизации для технологии 0,12 мкм

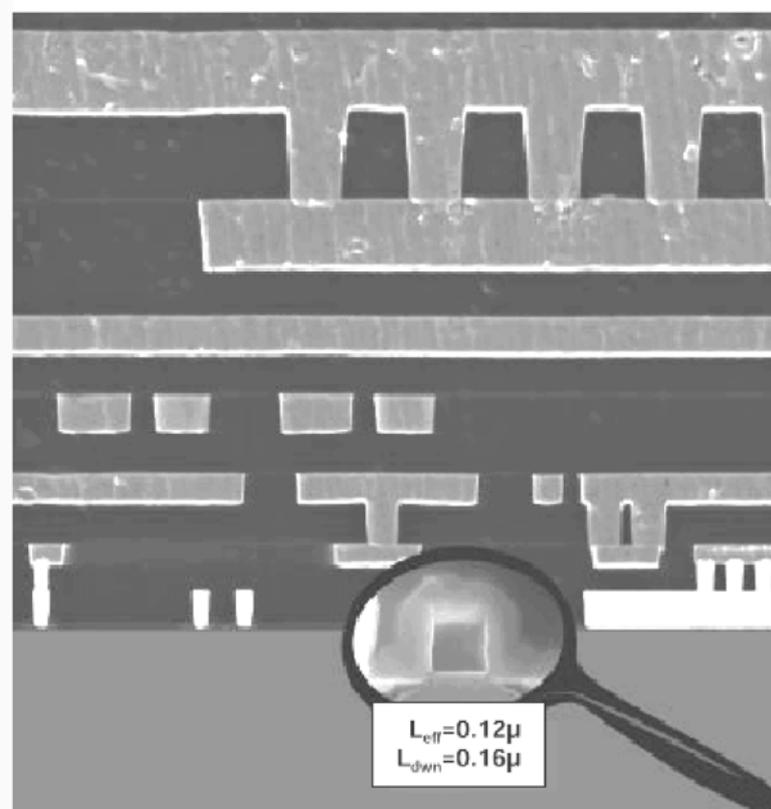


Рис. 1.22. Сечение микросхемы со слоями металлизации

1.4. МОП транзистор

КМОП технология обеспечивает два типа транзистора (также называемые приборами в этом тексте): n-типа транзистор (nМОП, nMOS) и p-типа транзистор (pМОП, pMOS). Взаимные области и символы для этих транзисторов показаны на рис. 1.23. Каждый транзистор состоит из токопроводящего затвора, изолирующего слоя диоксида кремния (SiO_2 , больше известного как стекло) и кремневой подложки, также называемой подслоем, телом (wafer, substrate, body, bulk). Затворы ранних транзисторов были построены на основе металла, из-за этого и название метал-оксид-полупроводник или МОП. В наше время транзисторы формируются на основе поликристаллического кремния (поликремний).

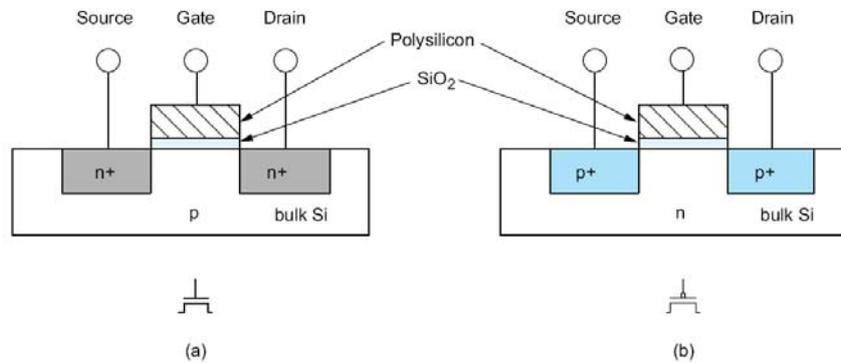


Рис. 1.23. nМОП (а) и pМОП (б) транзисторы

МОП транзистор как ключ. МОП транзистор работает как ключ при логическом проектировании, т.е. находится в состоянии включено/выключено (вкл/выкл). В состоянии включено, ток протекает между истоком (source, s) и стоком (drain, d), когда выключено, то тока нет. Состояние вкл/выкл определяется напряжением на затворе (gate, g). В КМОП технологии присутствуют два МОП транзистора n-канальный и p-канальный или (nMOS, pMOS). Символы их обозначающие приведены на рис. 1.24. Символы, которыми обозначают напряжение корпуса (земли) – 0 или VSS, а напряжение питания – 1 или VDD.

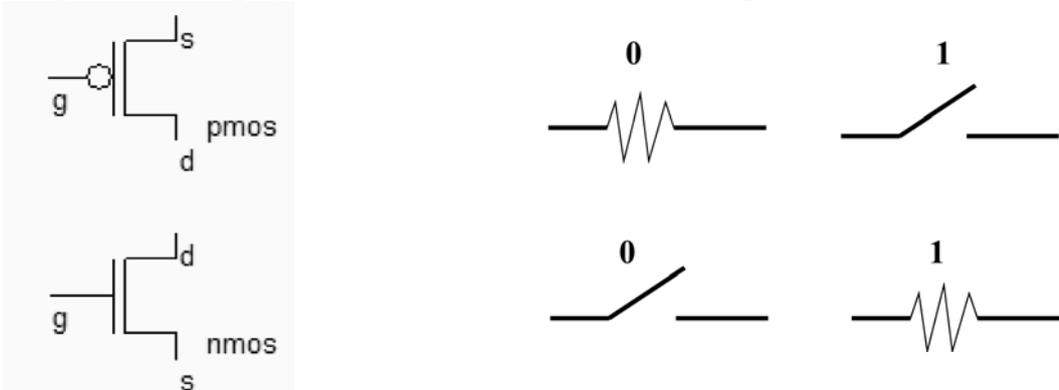


Рис. 1.24. Обозначения транзистора как ключа

При логическом проектировании nМОП транзистор требует логической 1 (или напряжения VDD) на затворе, чтобы быть в режиме включено (on). Наоборот, pМОП транзистор требует логического 0, чтобы быть в режиме включено. МОП транзистор как ключ – является не идеальным, в положении включено сопротивление составляет от 100 Ом до 5 кОм, в выключенном состоянии (off) сопротивление можно рассматривать как бесконечное, хотя его значение порядка нескольких МегаОм.

Для nMOS транзистора (рис. 1.25) сигнал (напряжение, импульс), равный логическому 0 на затворе означает отсутствие тока. Единица (1) на затворе дает связь между стоком и истоком с некоторым сопротивлением (протекает ток).

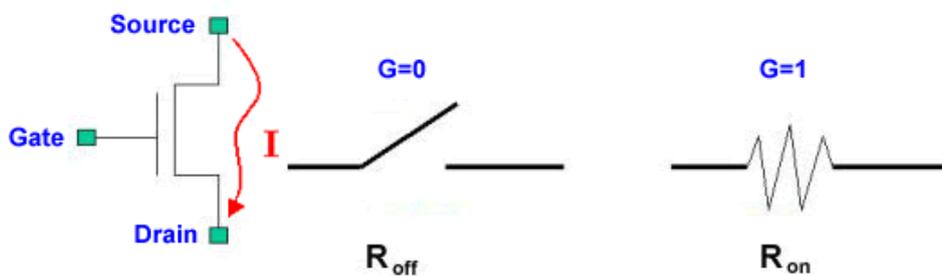


Рис. 1.25. Работа nМОП транзистора как ключа

Для pMOS транзистора (рис. 1.26) сигнал (напряжение, импульс), равный 1 на затворе означает отсутствие тока. Нуль (0) на затворе удаляет потенциал на канале и дает связь между стоком и истоком с некоторым сопротивлением (протекает ток).



Рис. 1.26. Работа pМОП транзистора как ключа

Для современных технологий тенденцией является сокращение сопротивления R_{off} , но это приводит к резкому увеличению статического тока. Для схемы, содержащей 1 млн транзисторов, ток может достичь 1А для технологии 0.07 мкм, что не возможно для большинства приложений. Это заставило разработать нескольких типов транзисторов с разными свойствами. Рис. 1.27 показывает, как изменяются характеристики с развитием технологии

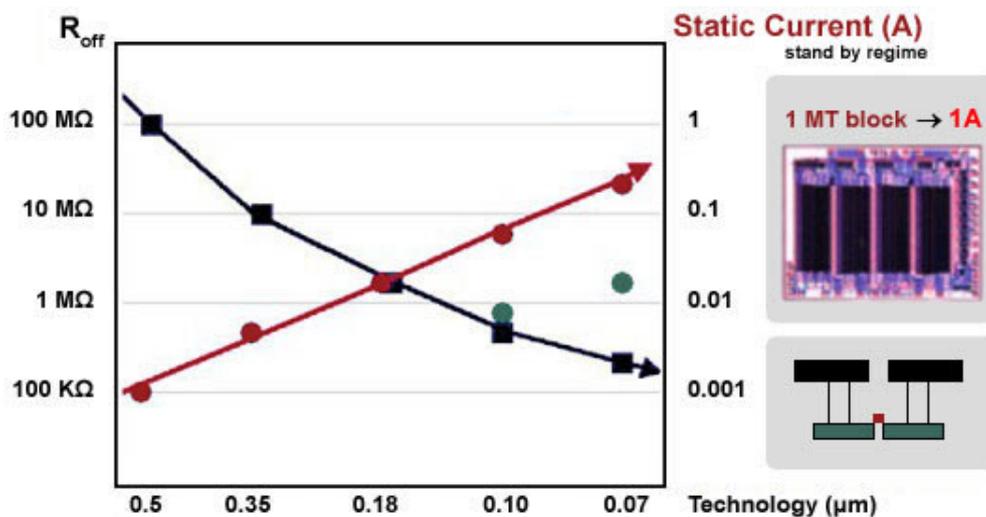


Рис. 1.27. Изменение характеристик транзистора в зависимости от изменений в технологии

Три типа МОП транзистора. Новые типы транзисторов (рис. 1.28) были разработаны для дип-суб-микронной технологий, начиная с 0.18 мкм.

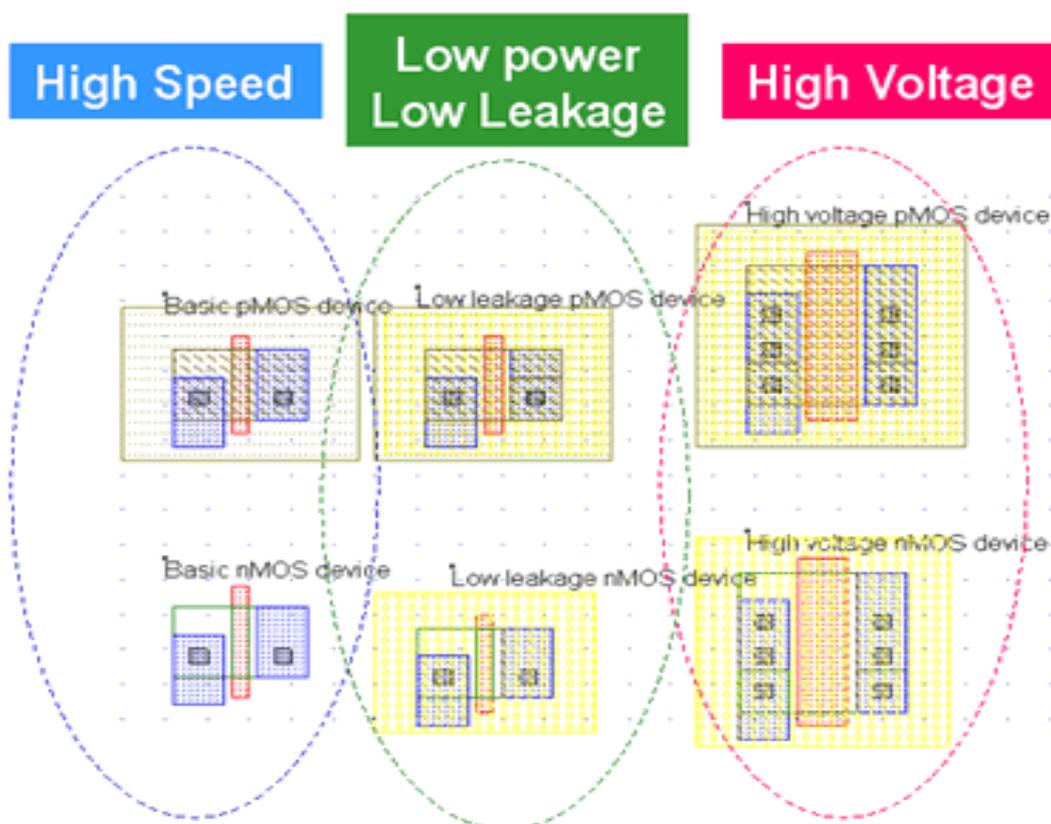


Рис. 1.28. Три типа транзисторов для субмикронных технологий

Эти три типа называются “low leakage or low power MOS” (малопотребляющие транзисторы), “high-Vt or high voltage MOS” (высоковольтные транзисторы) и обычные, которые теперь поменяли название на “high-speed MOS” (высокоскоростные транзисторы).

Для ячеек ввода/вывода, работающих при высоких напряжениях, используются высоковольтные транзисторы. В малопотребляющих МОП транзисторах используются очень тонкие окислы, которые могут быть разрушены большим напряжением.

Основные свойства трех типов транзисторов представлены на рис. 1.29.

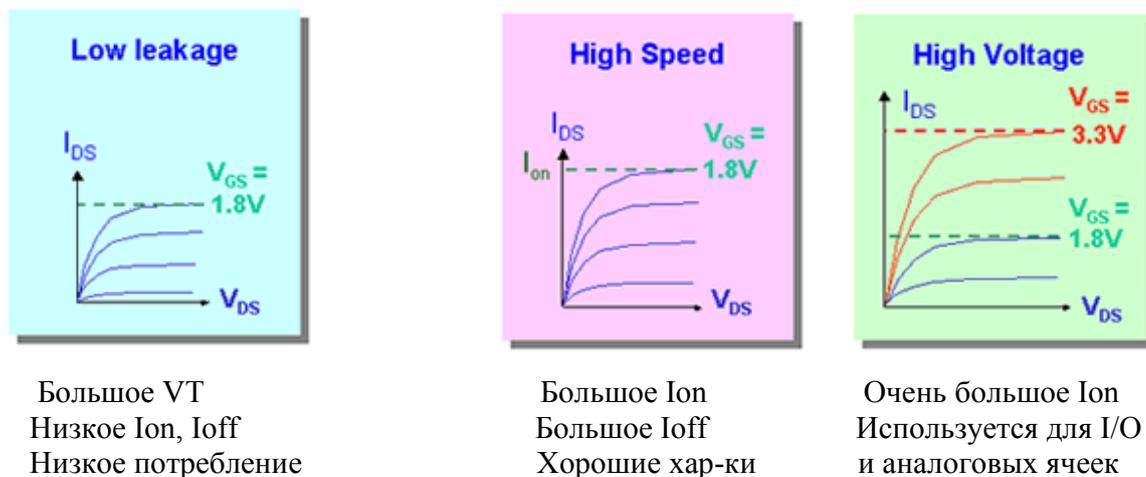


Рис. 1.29. Основные характеристики трех типов транзисторов

Основной недостаток малопотребляющих транзисторов – это 30% уменьшение I_{on} , что приводит к более медленным переключениям. Поэтому, высокоскоростные транзисторы используются для быстрых операций в критических узлах, а малопотребляющие – размещаются везде, где максимальная скорость не требуется.

Имеются две основные причины для применения низкого напряжения питания в ядре ИС. Первая, это малое потребление мощности, особенно для мобильных приложений. Малое напряжение питания сокращает потребляемую мощность и амплитуды сигналов. Вторая – тонкие пленки оксида, что повышает скорость переключения транзистора. Для 0.12 мкм технологии используется ультратонкая пленка, порядка 30 ангстрем (0.003 мкм). Основной целью значительного сокращения тока I_{off} , это то, что при напряжении 0 на затворе ток не протекал (или был очень малым). На рис. 1.30 видно, что для малопотребляющих транзисторов ток I_{off} уменьшается в 50 раз.

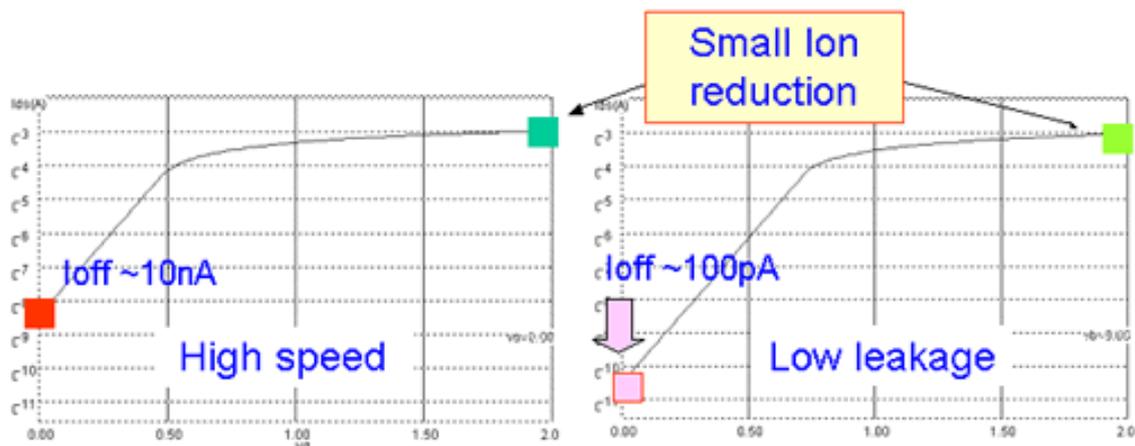


Рис. 1.30. Сравнительные характеристики высокоскоростных и малопотребляющих транзисторов

Поперечное сечение nMOS транзистора приведено на рис. 1.31.

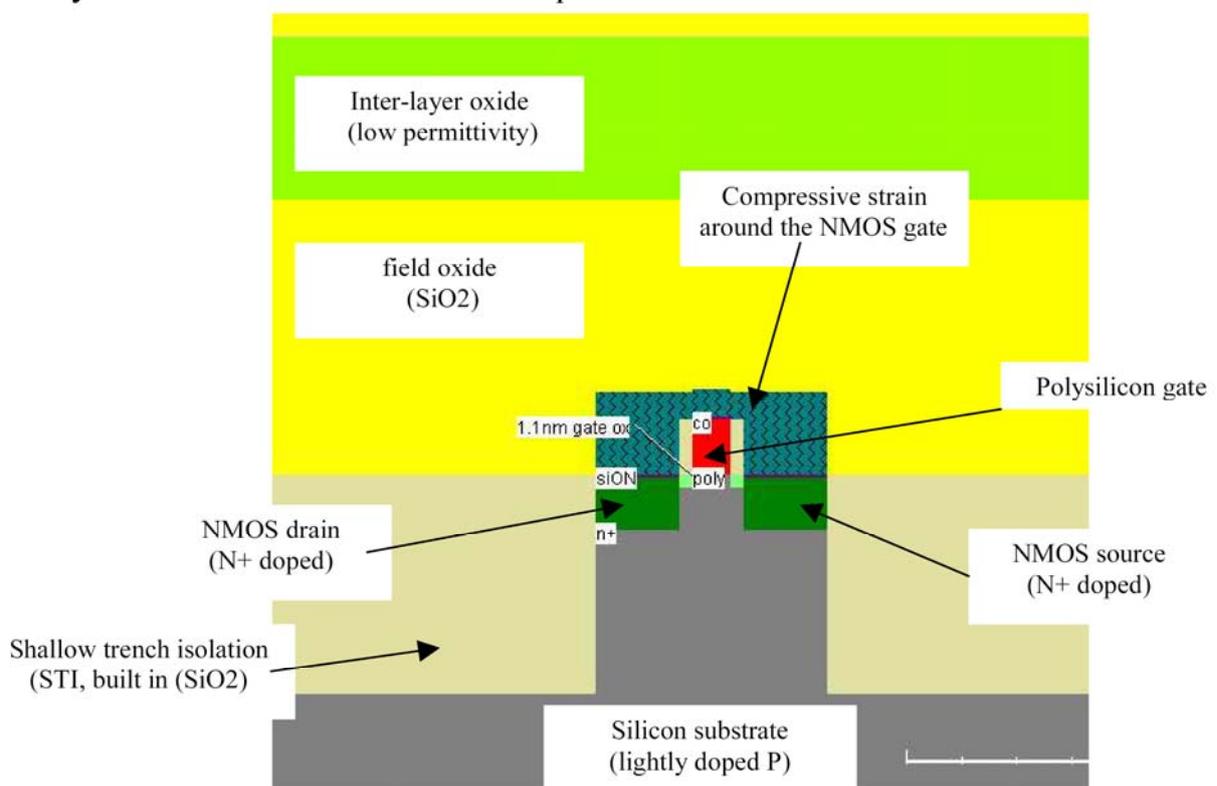


Рис. 1.31. Поперечное сечение nMOS транзистора

В приведенном примере имеется три узла – это затвор (красный цвет), левая диффузия, называемая истоком (зеленый), и правая диффузия, называемая стоком (зеленый), поверхность подложки (серый). Пленка оксида, называемая оксидом затвора, изолирует затвор.

Физические свойства истока и стока одинаковы, теоретически исток является исходным для канальных примесей. В случае nMOS транзистора канальными примесями являются электроны. Поэтому исток есть диффузионная область с наименьшим напряжением. Поликремневый затвор действует на канал и разделяет диффузию на две зоны, исток и сток. Затвор управляет протеканием тока от стока до истока в обоих направлениях. Высокий потенциал на затворе усиливает электроны под затвором и создает электронный канал, т.е. протекание тока. Низкий потенциал на затворе прекращает канал.

Характеристики MOS транзистора как ключа можно продемонстрировать моделированием. На рис. 1.32 приведены временные диаграммы nMOS транзистора.

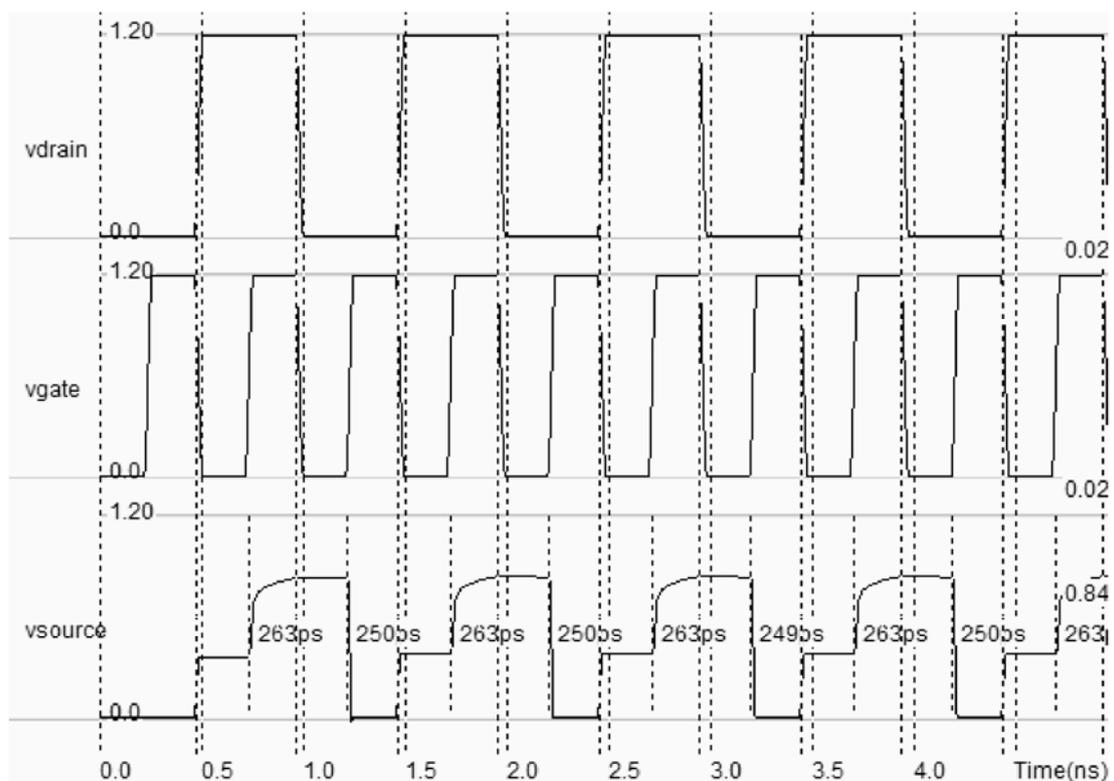


Рис. 1.32. Моделирование pMOS транзистора

Когда на затворе нуль, канала не существует, поэтому узел исток разьединен со стоком. Когда на затворе есть напряжение, то исток имеет то же значение, что и сток. Наибольшее значение напряжения на истоке примерно 0.85V, что равно напряжению VDD минус напряжение отсечки (V_T , threshold voltage). Таким образом, n-канальный MOS транзистор не передает полностью логический сигнал 1 (рис. 1.33), как мы рассматривали ранее в идеале.

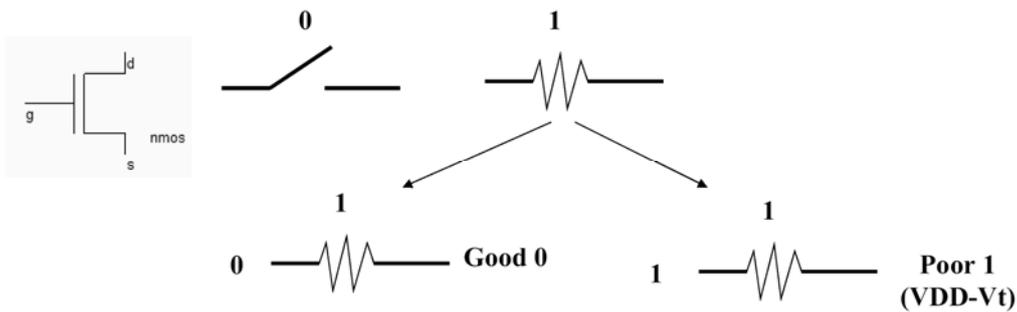


Рис. 1.33. Особенности nMOS транзистора

P-канальный транзистор имеет схожие характеристики с n-канальным прибором при моделировании, только затвор будет управляться противоположным напряжением. Для nMOS транзистора канал создается при логической 1 на затворе. Для pMOS канал будет создаваться при логическом 0 на затворе. Моделирование p-канального MOS приведено на рис. 1.34. Отметим, что pMOS транзистор дает приблизительно половину максимального тока, получаемого в nMOS транзисторе при тех же размерах прибора.

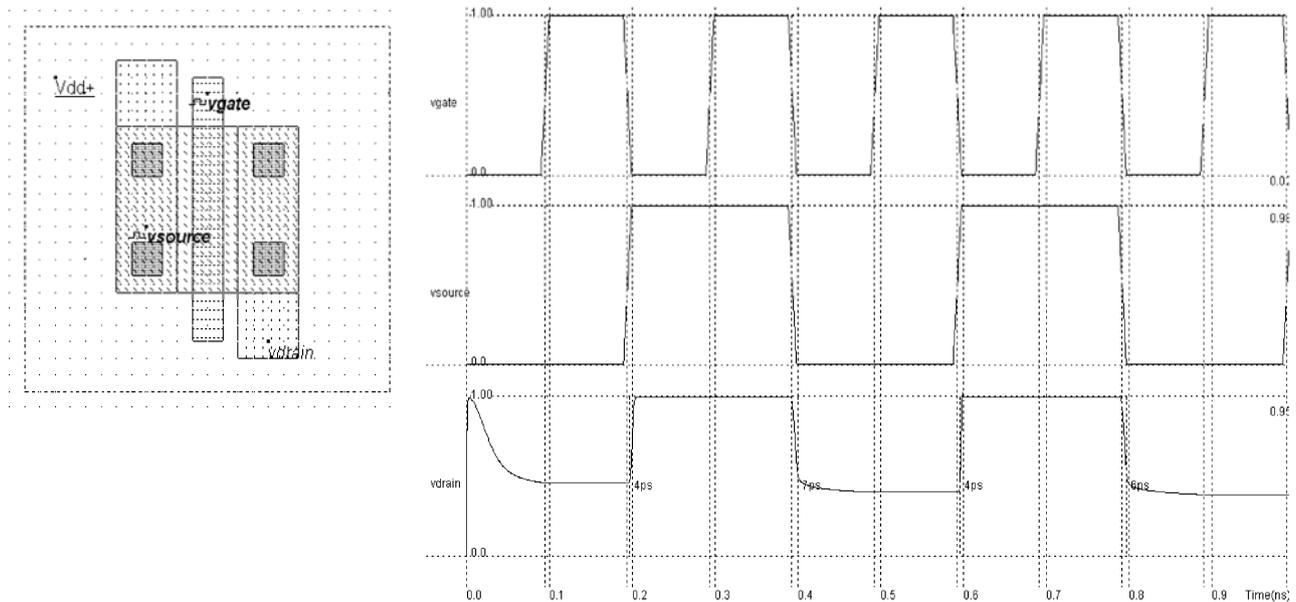


Рис. 1.34. Топология и результаты моделирования pMOS транзистора

Из результатов моделирования видно, что pMOS транзистор хорошо передает логическую единицу. Но логический уровень 0 передается в положительное напряжение, равное напряжению отсечки (threshold voltage), (см. рис. 1.35).

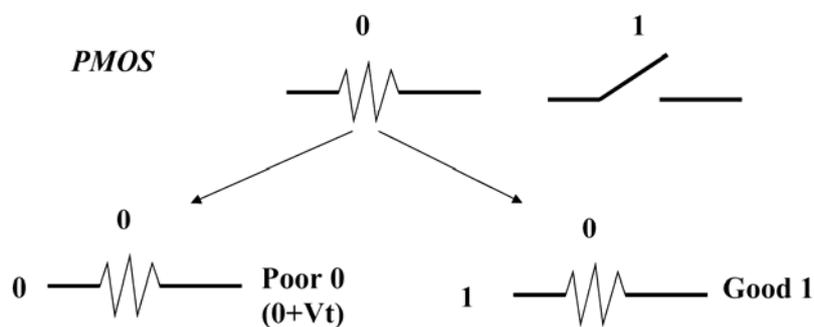


Рис. 1.35. Особенности pMOS транзистора

Модели МОП транзистора. Основные исторические вехи разработки моделей МОП транзистора приведены в табл. 1.3 [15].

Таблица 1.3

Основные исторические вехи разработки модели МОП транзистора

1925:	J. Lilienfeld - впервые исследовал полевые эффекты MOS
1935:	O. Heil - предложил структуру близкую к существующим MOS
1960:	Транзисторы nMOS и pMOS выполнены на одной подложке
1968:	Разработана модель уровня 1 (MOS Model 1, Shichman-Hodges), справедлива для технологий ≥ 10 мкм
1980:	Разработаны модели MOS Model 2 и 3 для программы Spice, справедлива для технологий от 10 мкм до 0,8 мкм
1997:	Разработана модель для субмикронных технологий ($\leq 0,8$ мкм), MM9 (Европейский стандарт фирмы Philips)
2000:	Разработана модель для дип-субмикронных технологий ($\leq 0,25$ мкм), BSIM4

Модель уровня 1 была предложена для программы SPICE. Эта модель применима только для транзисторов с большой длиной канала. Модель 3 – полуэмпирическая, используется и сейчас для длины канала около 1 мкм. Модель BSIM4 разработана для размеров до 0.1 мкм [22].

Статические характеристики МОП транзистора. Модель МОП транзистора, это сеть уравнений, связывающих токи и напряжения. Основное уравнение – связь тока, протекающего между стоком и истоком (I_{ds}), и напряжениями V_d , V_g , V_s , V_b . Основные характеристики зависимости тока от напряжений в двух основных зонах представлены на рис. 1.36.

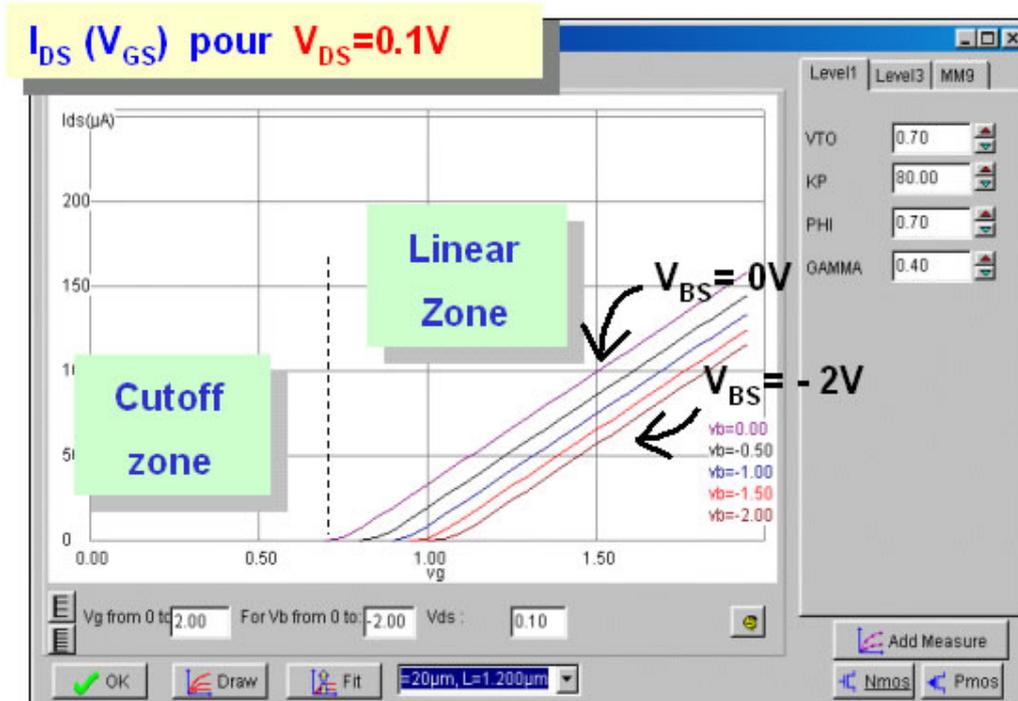
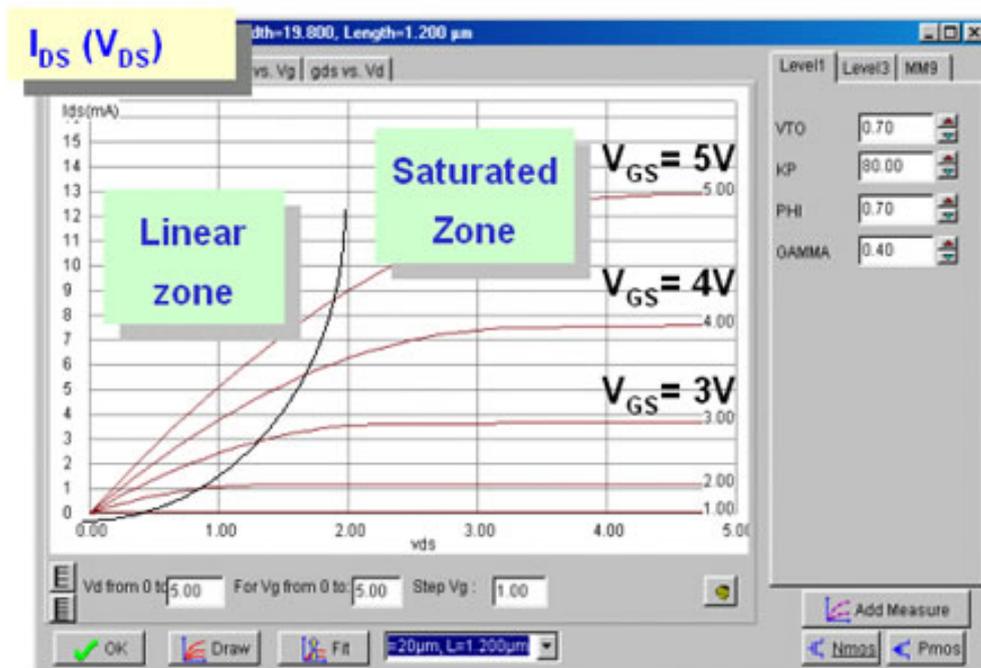


Рис. 1.36. Характеристики МОП транзистора

Модель MOS1. Исторически, первой моделью была модель Шокли, 1952г., которая описывает зависимость тока от напряжений в трех режимах: отсечки (cut-off), линейном (linear) и насыщении (saturation)

Cutoff mode : $V_{GS} < V_T$ $\Rightarrow I_{DS} = 0$

Linear mode : $V_{DS} < V_{GS} - V_T$ $\Rightarrow I_{DS} = K_P \cdot \frac{W}{L} \left((V_{GS} - V_T) \cdot V_{DS} - \frac{V_{DS}^2}{2} \right)$

Saturated mode : $V_{DS} > V_{GS} - V_T$ $\Rightarrow I_{DS} = \frac{K_P}{2} \cdot \frac{W}{L} (V_{GS} - V_T)^2$

I_{DS} : current between drain and source.
 V_{DS} : voltage between drain and source .
 V_{GS} : voltage between grid and source.
 V_T : threshold voltage. $V_T = V_{TO} + GAMMA \cdot (\sqrt{PHI - V_{BS}} - \sqrt{PHI})$

Изготовители заказных ИМС обычно предоставляют сеть параметров модели для каждой технологии. Основные SPICE параметры приведены в табл. 1.4.

Таблица 1.4

Параметры модели SPICE

Обозначение параметра	Единица измерения	Значение (0,8 мкм)	Значение (0,25 мкм)	Описание
VTO	В	0.8	0.5	Threshold voltage
KP	A/B ²	500	250	Transconductance
W	мкм	1.6	0.5	Channel width
L	мкм	0.7	0.25	Channel length
GAMMA	В ^{1/2}	0.4	0.4	Threshold dependancy with Vsbstrat
PHI	В	0.7	0.7	Surface potential

Список параметров для модели Spice приведен ниже:

```

MN1 0 6 3 0 TN W= 3.60U L= 1.20U
MP1 1 6 3 2 TP W= 9.60U L= 1.20U

*n-MOS Model 1 :
.MODEL TN NMOS LEVEL=1 VTO=0.70 KP=80.000E-6
GAMMA=0.400 PHI=0.700

*p-MOS Model 1:
.MODEL TP PMOS LEVEL=1 VTO=-0.76 KP=25.000E-6
GAMMA=0.400 PHI=0.700

```

Многие параметры модели можно определить по вольт-амперным характеристикам (рис. 1.37).

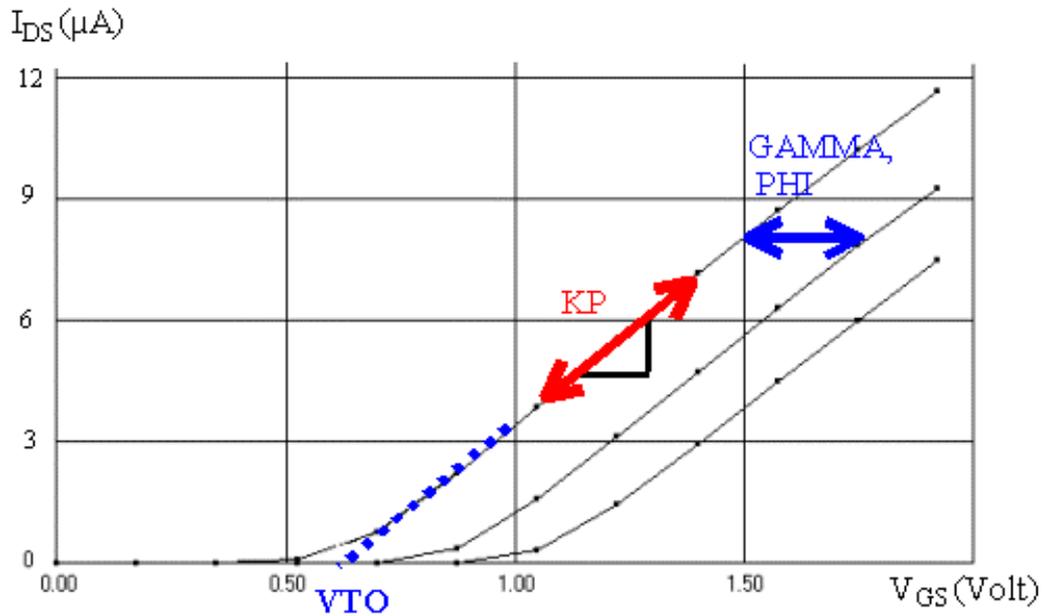


Рис. 1.37. Характеристики МОП транзистора

Эти, уже устаревшие уравнения не пригодны для технологий 0.12 мкм. Так, если сравнивать эти характеристики с результатами измерений для приборов с длиной канала более 10 мкм, то расхождение будет порядка 5 раз.

Модель уровня 3. Модель 3 немного сложнее модели 1, основные уравнения приведены ниже

Cutoff mode : $V_{GS} < V_T$ $\Rightarrow I_{DS} = 0$

Linear mode : $V_{GS} > V_{ON}$ $\Rightarrow I_{DS} = K_{eff} \frac{W}{L_{EFF}} (1 + KAPPA \cdot V_{DS}) \cdot V_{DE} \cdot \left((V_{GS} - V_{TH}) - \frac{V_{DE}}{2} \right)$

$V_{TH} = VTO + GAMMA (\sqrt{PHI - V_{BS}} - \sqrt{PHI})$

$V_{DE} = \min(V_{DS}, V_{DSat})$ $V_{DSat} = V_C + V_{sat} - \sqrt{V_C^2 + V_{sat}^2}$

$V_C = VMAX \cdot \frac{L_{EFF}}{0.06}$ $L_{EFF} = L - 2 \cdot LD$

$K_{eff} = \frac{KP}{(1 + THETA \cdot (V_{GS} - V_{TH}))}$ $V_{ON} = 1.2 \cdot V_{TH}$

$V_{GS} < V_{ON}$ $\Rightarrow I_{DS} = I_{DS}(V_{ON}, V_{DS}) \cdot e^{\frac{(V_{GS} - V_{ON})}{NSS}}$

По сравнению с моделью уровня 1 здесь учитывается большее число физических ограничений, получаемых полуэмпирическим путем. Одним из

основных изменений, это введение V_{dSAT} , напряжения насыщения, которое не учитывалось в модели 1 (рис. 1.38). Эффект насыщения играет большую роль для каналов малой длины.

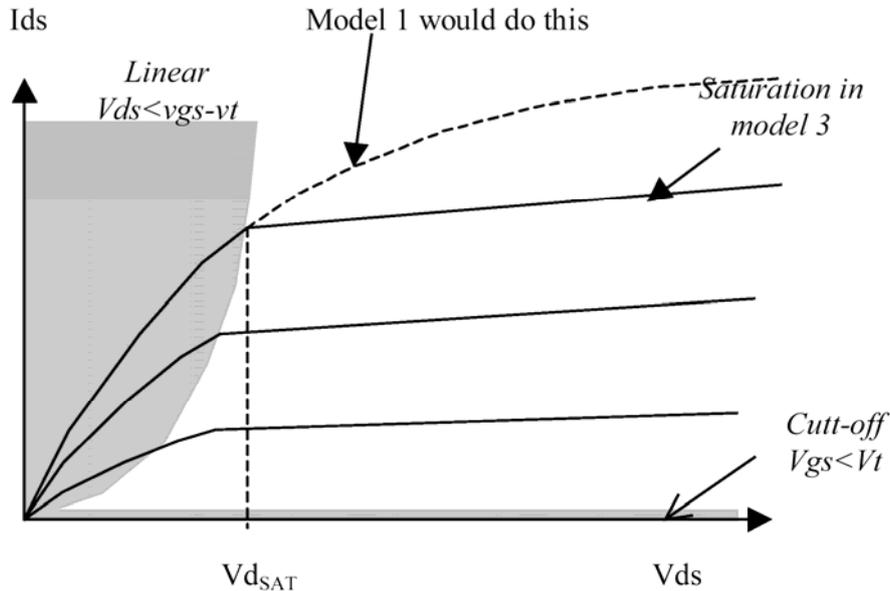


Рис. 1.38. Введение напряжения V_{dSAT} , для уточнения характеристик модели транзистора

Модель 3 требует большого числа параметров, многие из которых не связаны с измерениями. Ниже приведен ряд из них

Parameters

SPICE Parameter	Unit	Value in 0.8 μ m	Value in 0.25 μ m	Description
VTO	V	0.8	0.5	Threshold voltage
KP	A/V^2	135	250	Transconductance
W	μ m	1.6	0.5	Channel width
L	μ m	0.8	0.25	Channel length
LD	μ m	0.05	0.03	Effective length correction
GAMMA	$V^{1/2}$	0.4	0.4	Threshold dependancy with V substrat
KAPPA		0.01	0.01	Current variation in saturation mode
PHIN	V	0.7	0.7	Surface potential
NSS	V	0.07	0.07	Current slope under threshold
THETA		0.2	0.3	Mobility degradation
VMAX	m/s	130K	130K	Mobility saturation

Empirical parameters

Physical parameters

Модель 4 (BSIM4). Множество моделей для современных технологий разработано в университете Беркли (BSIM1, BSIM2, BSIM3). Модель BSIM3v3 принята EIA (международная организация в области электронного

проектирования) в качестве промышленного стандарта. Новая модель BSIM4 была разработана в 2000г [23]. Эта модель также описывает прибор в нескольких режимах (зонах). Но модель очень сложная, число параметров в официальной версии превышает 300. В ней имеются уравнения для токов, для зарядов, для учета шумов и т.д.

Динамические характеристики. Для моделирования динамических характеристик важны параметры емкостей, основные из них – это пять емкостей (рис. 1.39) модели 3 приведены ниже:

- the gate to bulk capacitance C_{gb}
- the gate to source capacitance C_{gs}
- the gate-to-drain capacitance C_{gd}
- the junction capacitance between source and bulk C_{sb}
- the junction capacitance between drain and bulk C_{db}

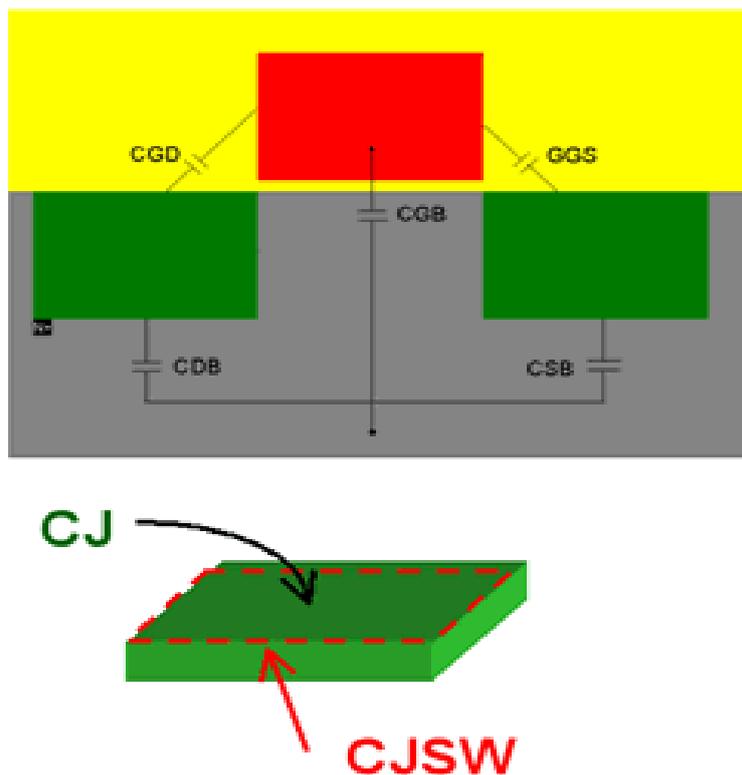


Рис. 1.39. Основные емкости модели транзистора

Отметим, что число параметров моделей возрастает с величиной учитываемых эффектов и с уменьшением размеров приборов (рис. 1.40).

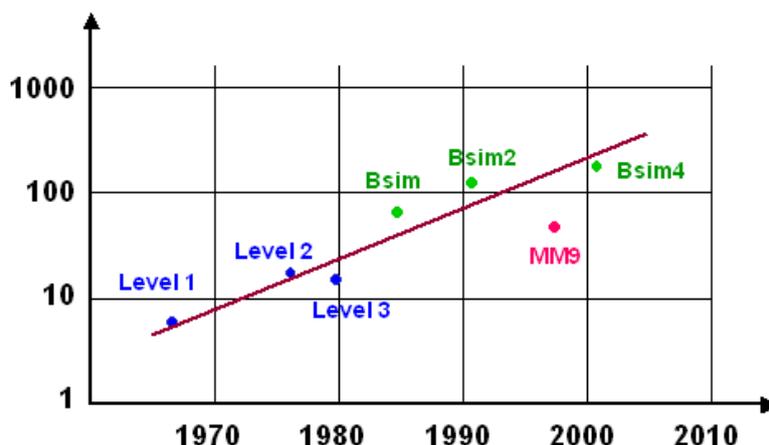


Рис. 1.40. Тенденция увеличения числа параметров моделей транзистора

Температурные эффекты. Три основных параметра транзистора чувствительны к изменениям температуры: напряжение отсечки (threshold voltage V_{TO}), подвижность (U_0) и наклон (slope) в области отсечки (sub-threshold mode), которые зависят от параметра kT/q . Оба параметра V_{TO} и U_0 уменьшаются, когда температура увеличивается. Высокий уровень температуры приводит к уменьшению подвижности, так как U_{TE} является отрицательным. Следовательно, повышение температуры приводит к уменьшению тока I_{ds} .

С другой стороны имеется противоположная тенденция, при увеличении температуры напряжение отсечки уменьшается. Поэтому существует некоторая рабочая точка, где ток практически постоянен и не зависит от изменений температуры. В $0.12\mu\text{m}$ CMOS технологии напряжение V_{ds} с нулевым температурным коэффициентом (ZTC) примерно равно 0.9V (как показано на рис. 1.41).

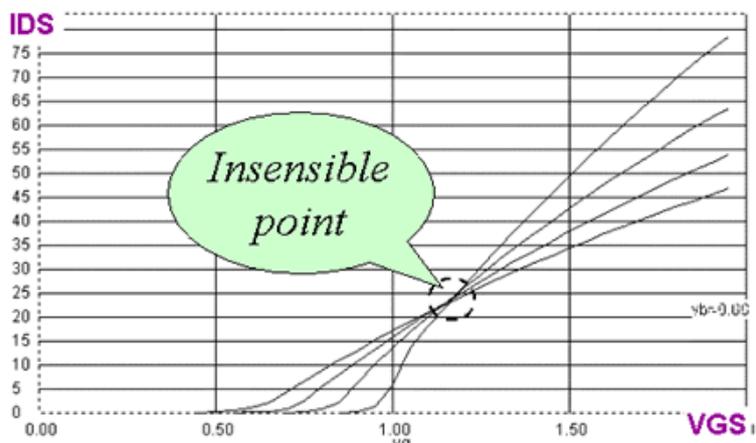


Рис. 1.41. Рабочая точка транзистора, не зависящая от температуры

1.5. Базовая логическая ячейка ключа (Transmission Gate)

Оба NMOS и PMOS транзистора обладают не очень хорошими характеристиками, когда передают одну чисто логическую информацию. NMOS транзистор уменьшает логический уровень 1, а PMOS – уменьшает логический уровень 0. Поэтому, хороший ключ может быть построен из комбинации nMOS и pMOS приборов. Такая схема представлена на рис. 1.42 и называется «transmission gate». Такая схема включает один инвертор, один nMOS транзистор и один pMOS транзистор.

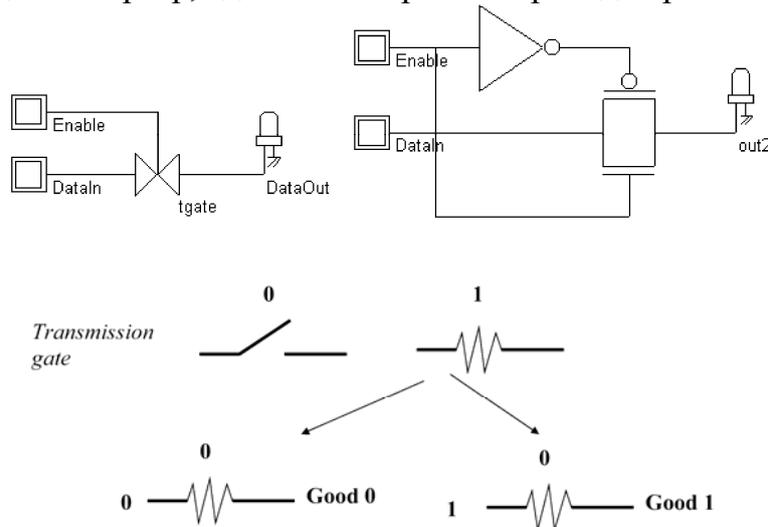


Рис. 1.42. Схема базовой логической ячейки ключа (файл *Tgate.SCH[14]*)

Топология ключа приведена на рис. 1.43.

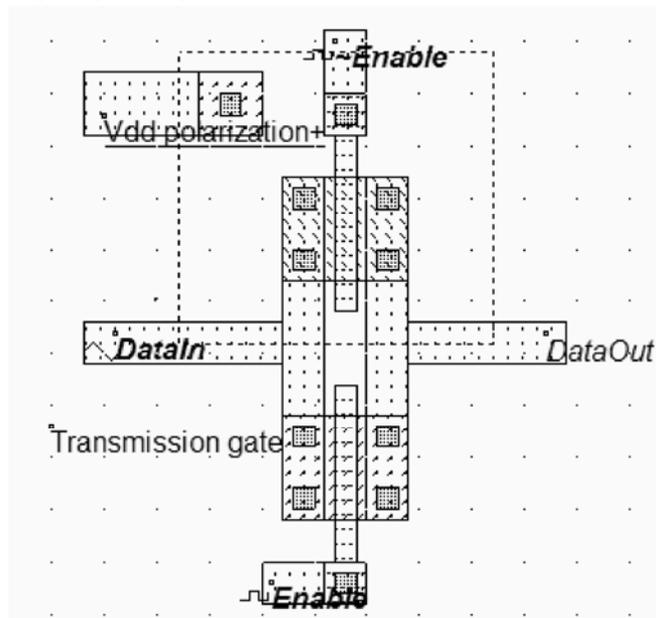


Рис. 1.43. Топология базовой логической ячейки (*TGATE.MSK*)

Транзистор pMOS расположен внизу, а pMOS - вверху. Отметим, что управляющие затворы не соединены, уровень сигнала $\sim Enable$ является противоположным *Enable*.

1.6. Инвертор

Логический инвертор. На рис. 1.44 представлена схема инвертора.

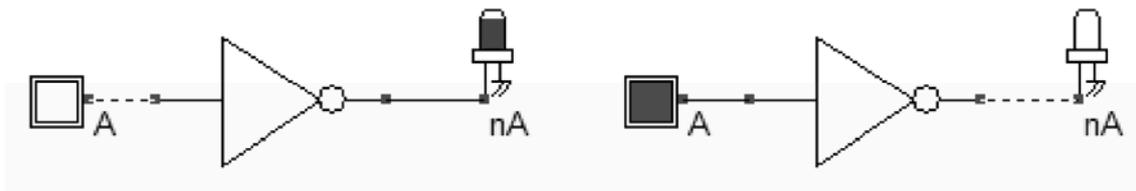


Рис. 1.44. Схемное отображение инвертора (*Inverter.SCH*)

Результаты моделирования инвертора приведены на рис. 1.45. Видно, что значения на выходе противоположны значениям на входе.

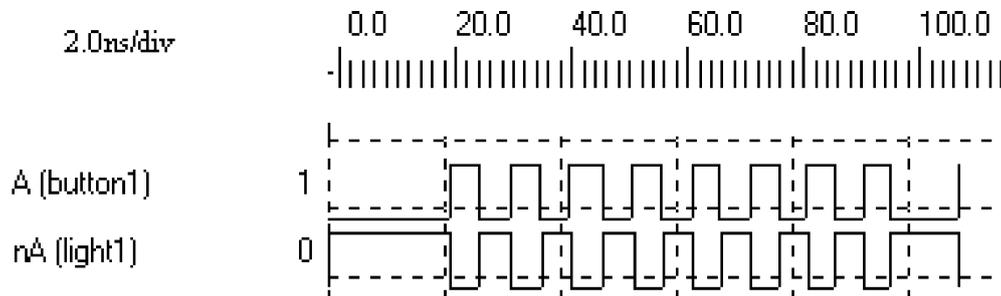


Рис. 1.45. Моделирование инвертора (*CmosInv.SCH*)

CMOS инвертор. На рис. 1.46 представлены особенности CMOS инвертора. Здесь p-канальный MOS и n-канальный MOS транзисторы функционируют как ключи. Когда входной сигнал равен логическому 0 (рис. 45 слева), nMOS транзистор переходит в закрытое состояние, в это время pMOS транзистор пропускает напряжение VDD на выход. Когда на входе логическая 1 (Рис. 1.46 справа), транзистор pMOS закрыт, а nMOS транзистор пропускает напряжение VSS на выход.

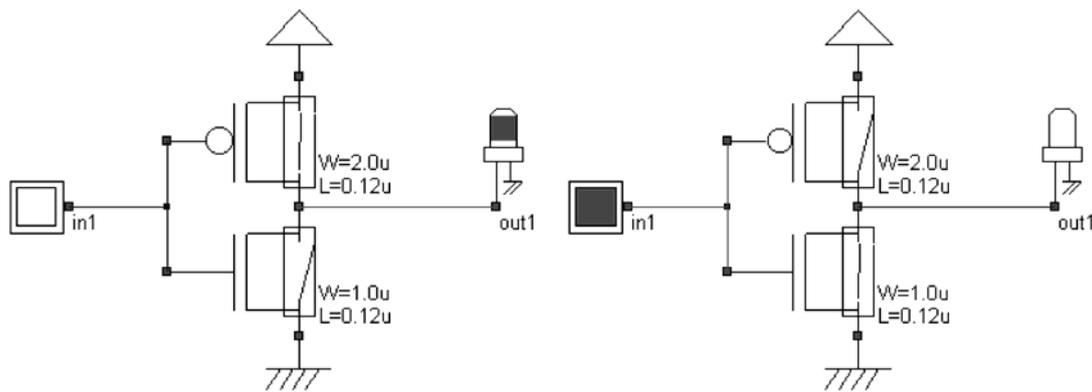


Рис. 1.46. Особенности работы инвертора (*CmosInv.sch*)

Реакция инвертора зависит от числа затворов соединенных с выходом инвертора. Физически, большая задержка соответствует большому числу соединений и большей емкостной нагрузке. Потребляемая мощность также будет расти при больших нагрузках.

Топология инвертора. На рис. 1.47 приведены все соединения, необходимые для получения топологии.

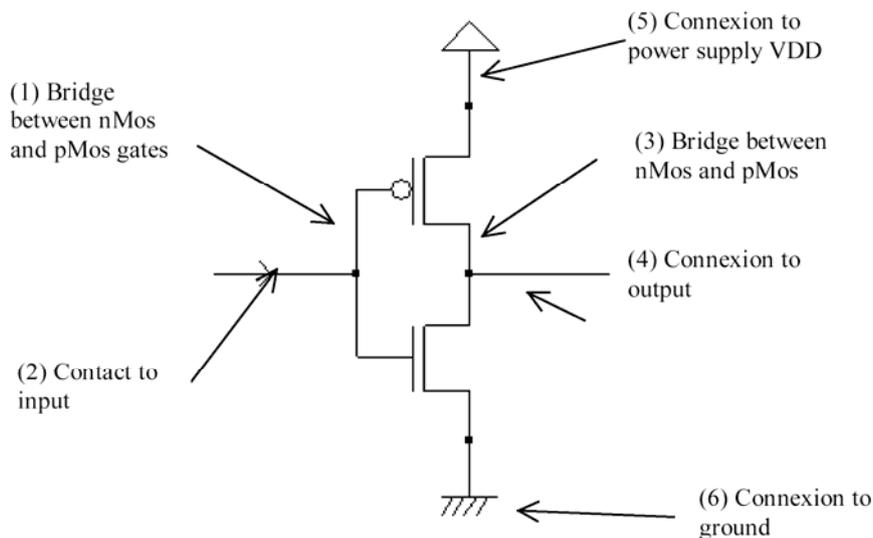


Рис. 1.47. Соединения, необходимые для проектирования топологии инвертора (*CmosInv.SCH*)

Внутри CMOS ячейки используются металлические и поликремневые соединения. Металл, во много раз лучше проводит ток, чем поликремний. Поэтому, поликремний используется только для соединения затворов, как мост (1) между pMOS и nMOS затворами (рис. 1.48). Поликремний используется также для очень длинных соединений.

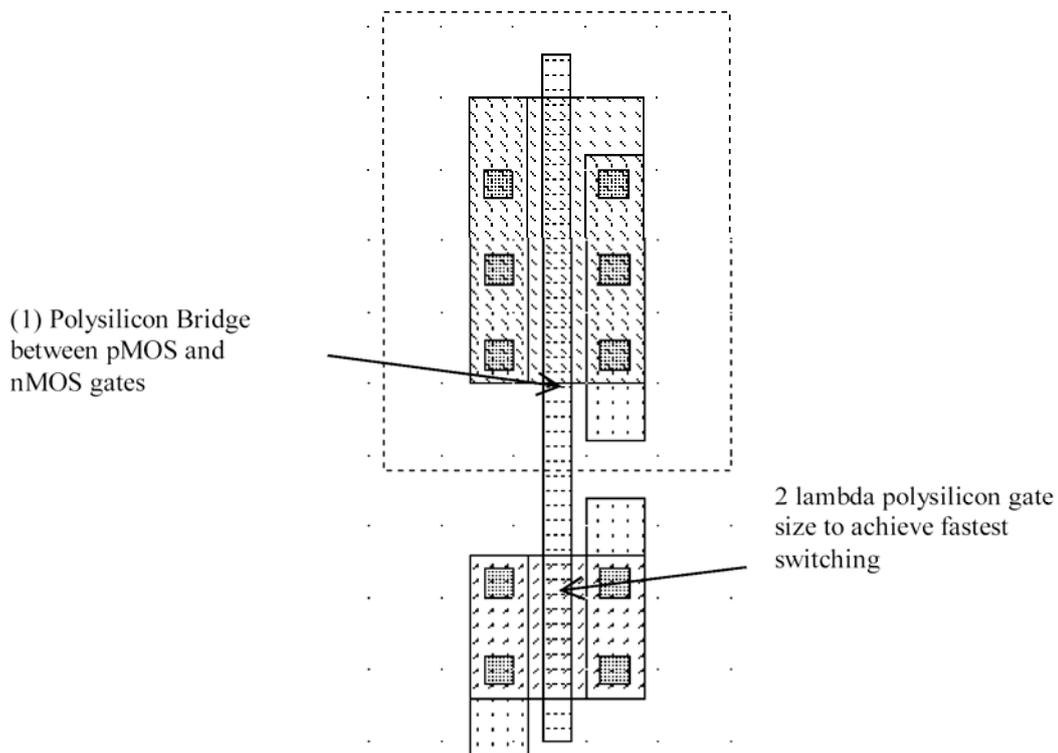


Рис. 1.48. Поликремневый мост между затворами транзисторов инвертора (*InvSteps.MSK*)

Так как поликремний плохой проводник, то металл предпочтительней для соединений шин сигналов и питания. Поэтому входное подсоединение инвертора выполняется из металла. Металл и поликремний разделяются оксидом в качестве изолятора (рис. 1.49). Для создания электрического соединения металла и поликремния, нужен физический контакт. Соответствующий слой называется "контакт". На рис. 1.50 данный контакт добавлен в топологию инвертора.

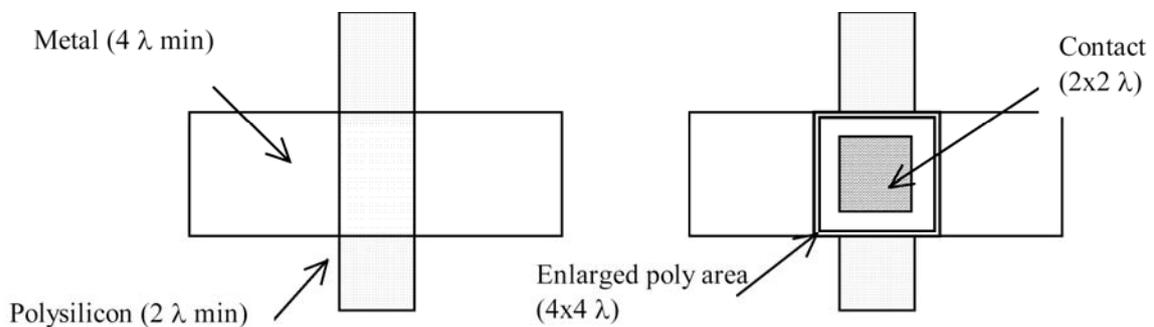


Рис. 1.49. Контакт между слоем металла и поликремния

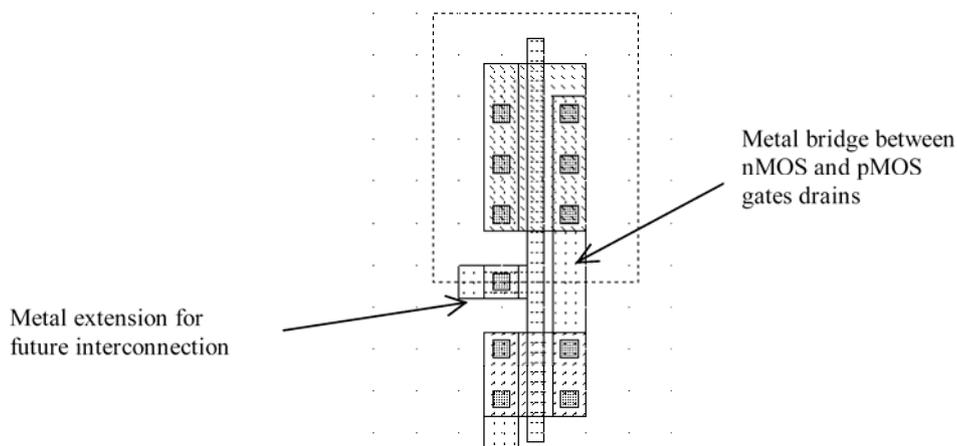


Рис. 1.50. Добавление контакта в топологию инвертора (*InvSteps.MSK*)

Рис. 1.51 показывает вертикальную структуру топологии инвертора.

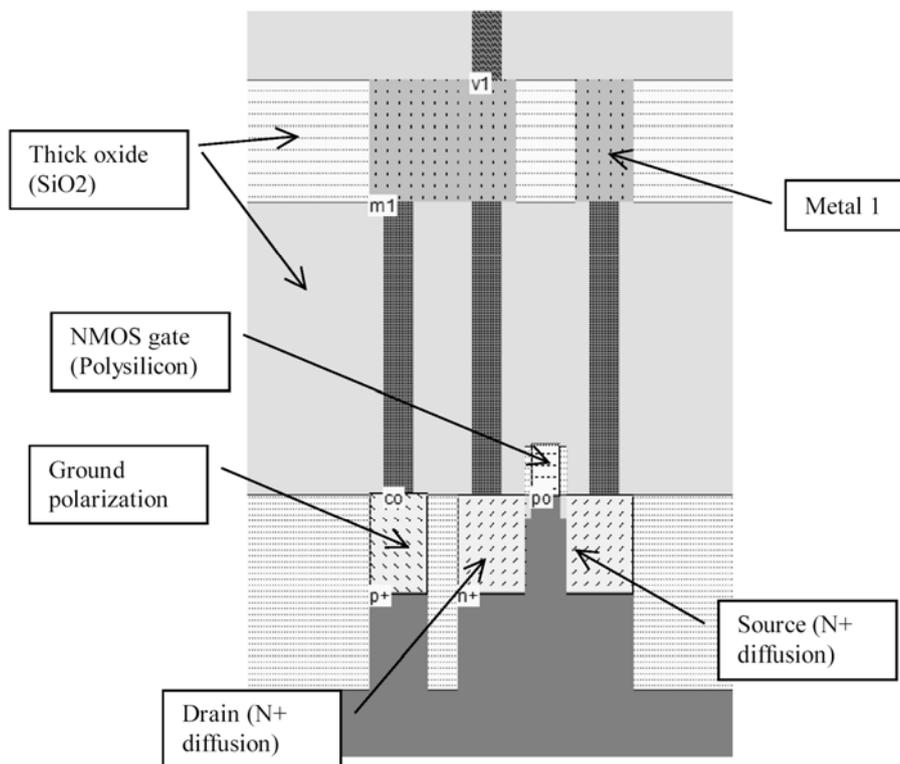


Рис. 1.51. Вертикальная структура инвертора вблизи nМОП транзистора (*InvSteps.MSK*)

Подсоединение питания. Следующий шаг проектирования состоит в добавлении соединений питания схемы, т.е. положительного напряжения VDD и напряжение VSS. Здесь используется слой metal2 (второй слой металлизации) для горизонтального соединения питания. Для физического соединения metal/metal2 необходимо создать контакт, называемый "via", между metal2 и metal слоями.

Заключительный шаг проектирования топологии состоит в добавлении поляризационных контактов. Эти контакты подводят шины VSS и VDD напряжения питания близко к области объема прибора. Напоминаем, что n-well область должна всегда быть поляризована высоким напряжением, чтобы обойти короткое замыкание между VDD и VSS. Добавление VDD поляризации в n-well область является обязательным правилом (рис. 1.52).

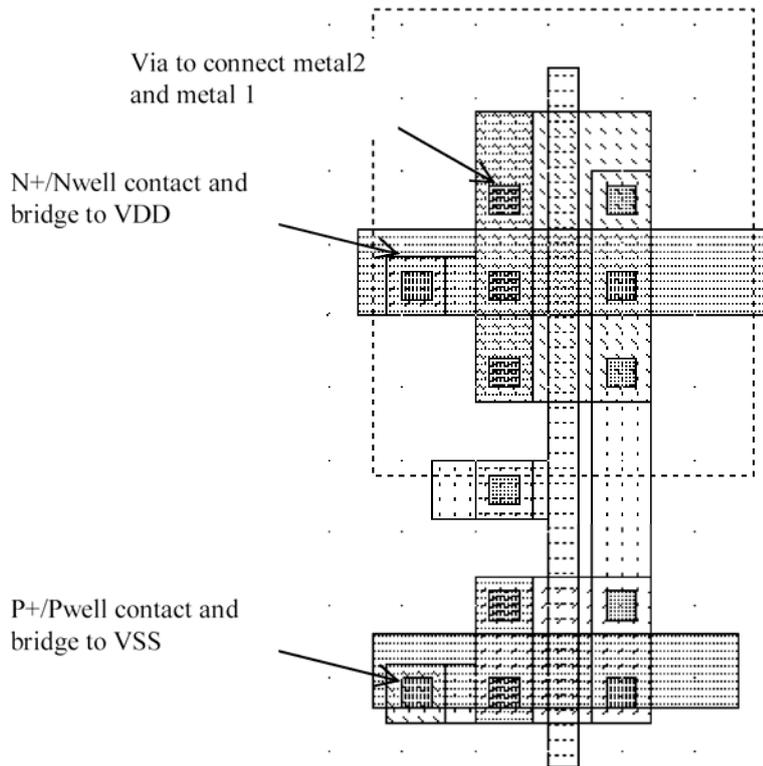


Рис. 1.52. Окончательная топология инвертора

На рис. 1.53 (слева) представлены в объеме nMOS и pMOS приборы, поликремневый затвор и контакты. Справа представлена часть топологии со слоями металлизации.

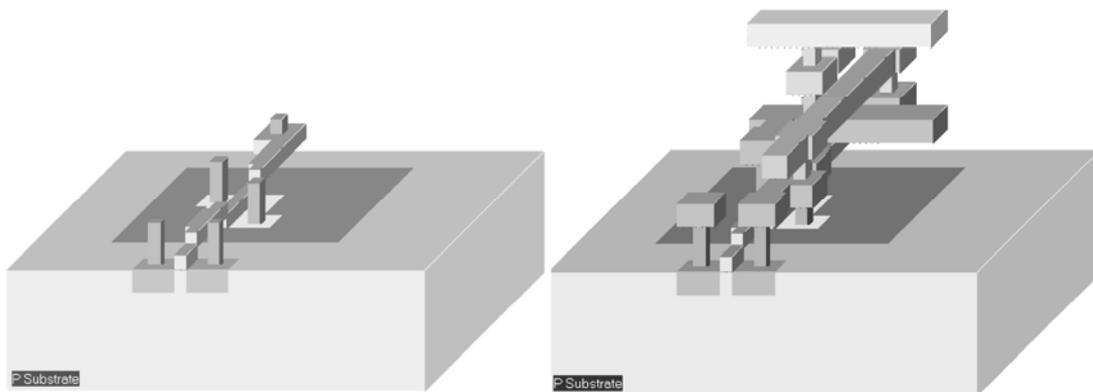


Рис. 1.53. Соединения инвертора в объеме (*InvSteps.MSK*)

Моделирование инвертора. Моделирование инвертора выполняется в следующей последовательности. Вначале источник питания VDD (1.2V) подсоединяется к верхней шине питания metal2, а источник VSS (0.0V) – к нижней шине metal2 (рис. 1.54). Добавляется сигнал на вход инвертора (по умолчанию имя узла *clock1* заменяется на *Vin*), а характеристики выхода – выходной узел *Vout*.

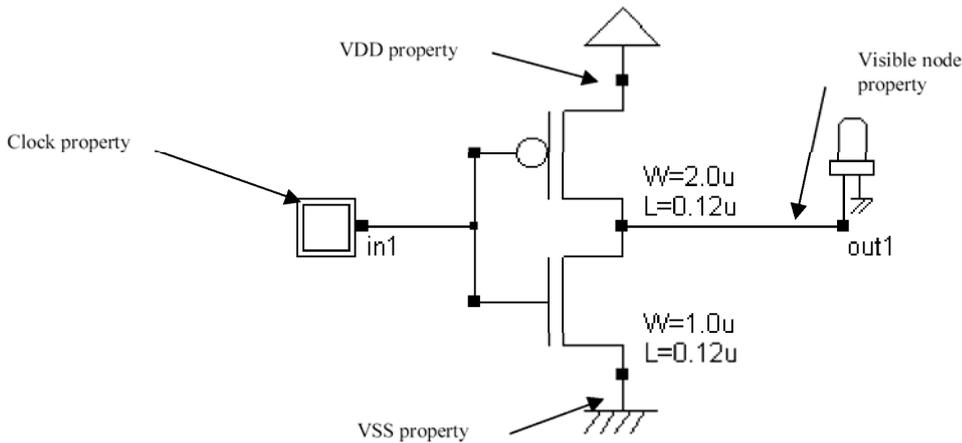


Рис. 1.54. Схема инвертора для моделирования (*InvSteps.MSK*)

Затем выполняется моделирование во временной области, и оценивается изменения напряжений *in1* и *out1* в зависимости от времени. Этот вид анализа в большинстве программ называется анализом переходного режима (transient simulation), как показано на рис. 1.55.

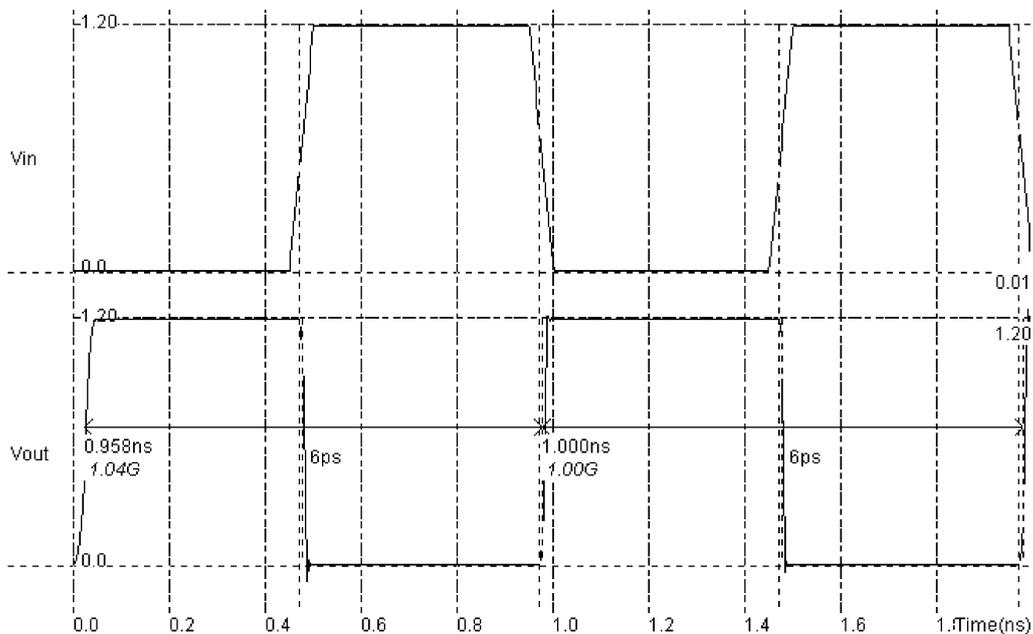


Рис. 1.55. Моделирование инвертора во временной области (*InvSteps.MSK*)

Таблица истинности проверяется следующим образом. Логический нуль соответствует нулевому напряжению, а логическая единица - 1.2В. Когда вход переходит в 1, то выход получает значение 0 с задержкой в 6 пикосекунд ($6 \cdot 10^{-12}$ секунд).

Передаточная характеристика инвертора. Рассмотрим пример проектирования инвертора при использовании одного р-канального и одного н-канального MOS транзистора в качестве ключа. На рис. 1.56 приведена схема и результаты моделирования статической передаточной характеристики инвертора.

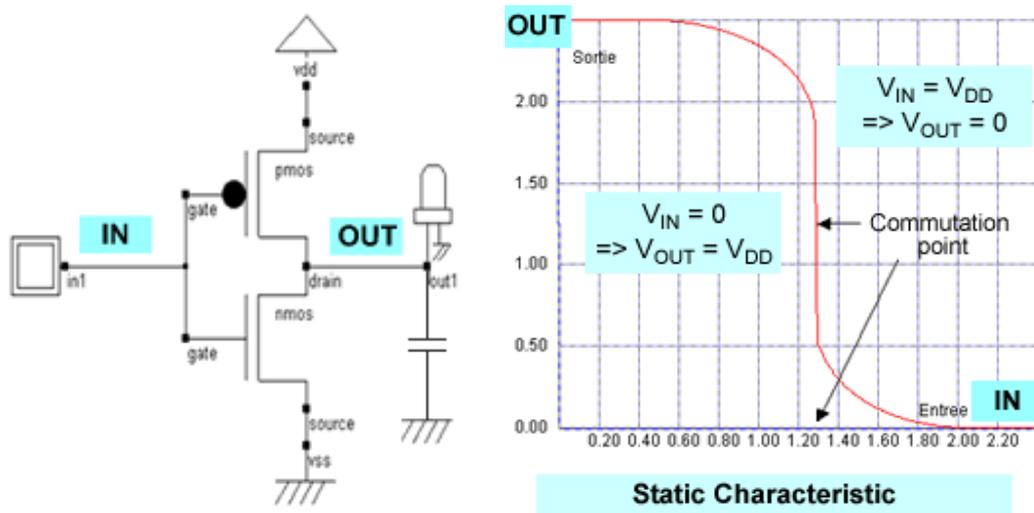


Рис. 1.56. Моделирование передаточной характеристики инвертора

Задержка переключения для технологии 0,25 мкм обычно составляет 50 пикосекунд, но реально может быть значительно больше. Задержка ключа зависит практически линейно от емкости нагрузки (рис. 1.57).

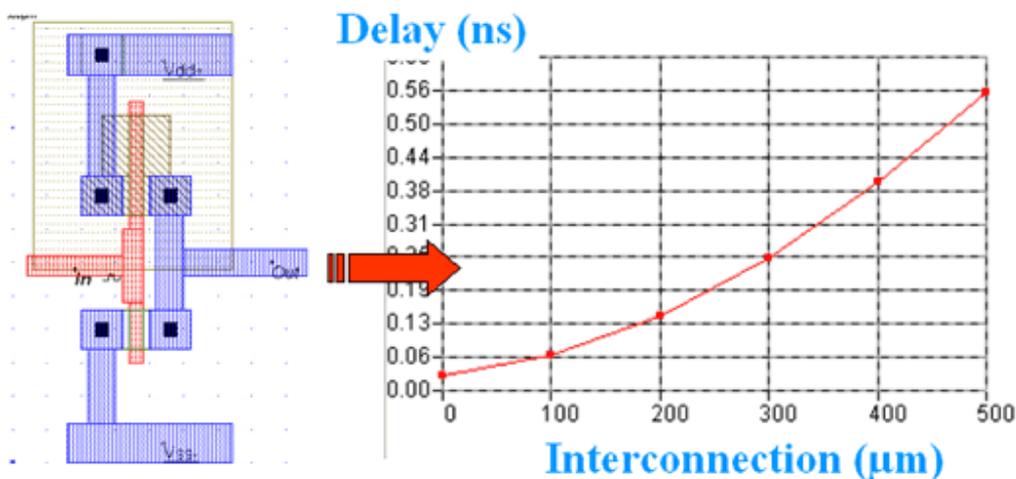


Рис. 1.57. Зависимость задержки от емкости нагрузки

Мощность потребления инвертора (ключа). Потребляемая мощность инвертора определяется двумя эффектами. Первый эффект, эффект тока короткого замыкания протекающего от VDD к VSS когда транзистор находится в состоянии покоя (без переключения). Второй эффект связан с мощностью заряда и разряда, которая зависит от изменения емкости выхода. При малых нагрузках мощность потерь короткого замыкания является доминирующей, но при высоких нагрузках, т.е. при большой емкости на выходе. Мощность нагрузки будет доминирующей. Следует отметить, что мощность потребления слабо зависит от типа переключения выхода, от 0 к 1 или от 1 в 0.

Пики формы колебания тока в зависимости от ситуаций и показаны на рис. 1.58. На верхнем рисунке представлены диаграмма изменения тока потребления, в нижней части рисунка – изменение напряжений. Ток потребления важен только в течении очень короткого периода, связанного с зарядом или разрядом в выходном узле. Если нет никаких переключений, то ток очень мал.

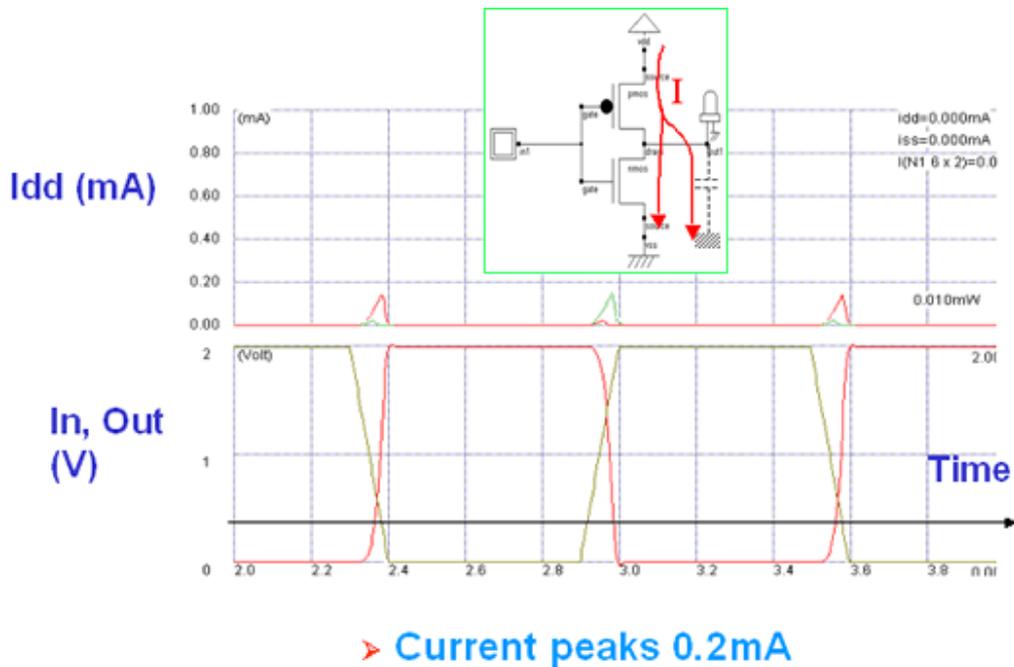


Рис. 1.58. Моделирование для определения мощности потребления

1.7. Технология 65 нм

Промышленное освоение 65 нм технологии началось в период 2003-2004 гг., продолжая тенденцию интеграции в одном чипе как можно больше функциональных возможностей в заданной площади кристалла [17]. В табл. 1.5 приведен обзор изменений основных параметров для различных технологических норм. Отметим, что в 2007г. технология с нормой 45 нм уже освоена. Как видно из таблицы, физическая длина затвора немного меньше, чем технологическая норма.

Материал для затвора долгое время оставался в виде поликремния с изолятором между затвором и каналом в виде двуокси кремния (SiO₂).

Таблица 1.5

Сравнение характеристик различных технологических норм микроэлектроники

Technology node	180 nm	130 nm	90 nm	65 nm	45 nm	32 nm	22 nm
First production	1999	2001	2003	2005	2007	2009	2011
Effective gate length	130 nm	70 nm	50 nm	35 nm	25 nm	17 nm	12 nm
Gate material	Poly SiO ₂	Poly SiO ₂	Poly SiO ₂	Poly SiON	Metal High K	Metal High K	Metal High K
Gate atoms	10	8	5	5	5-10	5-10	5-10
K _{gates} /mm ²	160	240	480	900	1500	2800	4500
Memory point (μ ²)	4.5	2.4	1.3	0.6	0.3	0.15	0.08

Существует несколько вариантов реализации 65 нм технологического процесса. Один из вариантов ориентирован на высокую скорость, но стоимость также высока. Эта технология называется высокоскоростная (high speed) и ориентирована на приложения, где скорость – это основная цель, например, скоростные микропроцессоры, DSP и т.д. Второй вариант, называемый – «общего применения» (general purpose) ориентирован на стандартные приложения (рис. 1.59), где скорость не является основным фактором. Третий вариант с низким током утечки (low leakage current), имеет ток на порядок меньший, чем в высокоскоростном варианте, а скорость переключения уменьшается на 50%. Основное применение: встроенные системы, мобильные приборы и т.д.

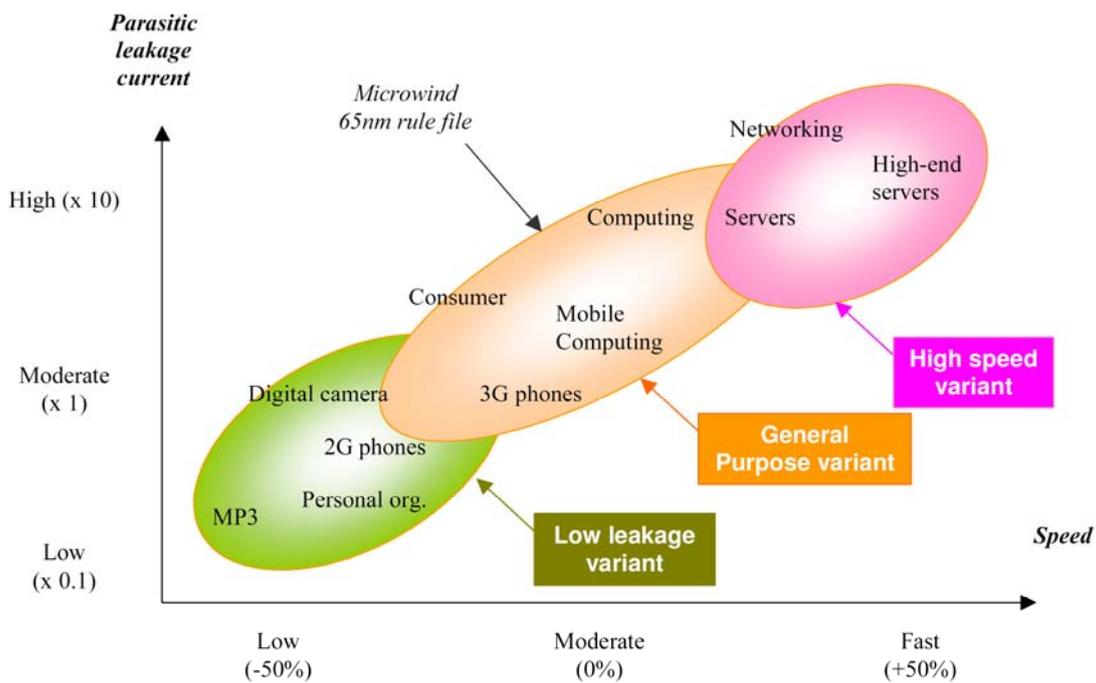


Рис. 1.59. Три варианта 65 нм технологии

Используемое напряжение питания обычно от 0,85 В до 1,2 В, в зависимости от варианта технологии. Здесь продолжилось уменьшение размеров оксидных пленок, таких как SiO_2 , что приводит к уменьшению тока утечки. Новые диэлектрические материалы с высокой разрешимостью (permittivity, High-“K”) необходимы для замены SiO_2 , как для обоих MOS приборов, так и для встроенных конденсаторов. Был предложен элемент SiO_xNy для технологии 65 нм (рис. 1.60).

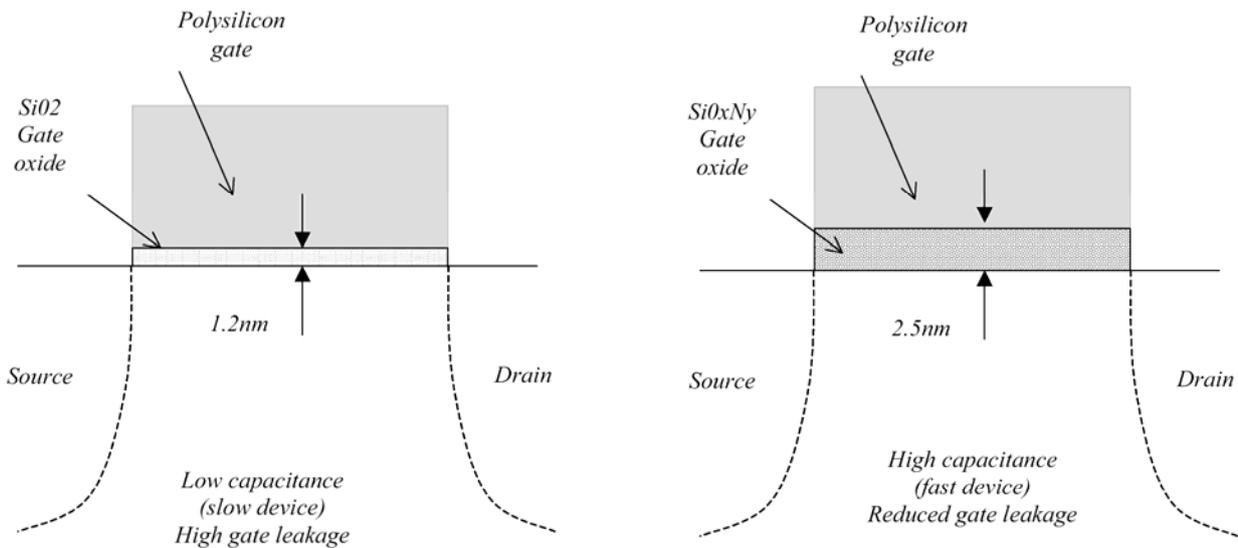


Рис. 1.60. Новые диэлектрические материалы для повышения скорости переключения и уменьшения тока утечки

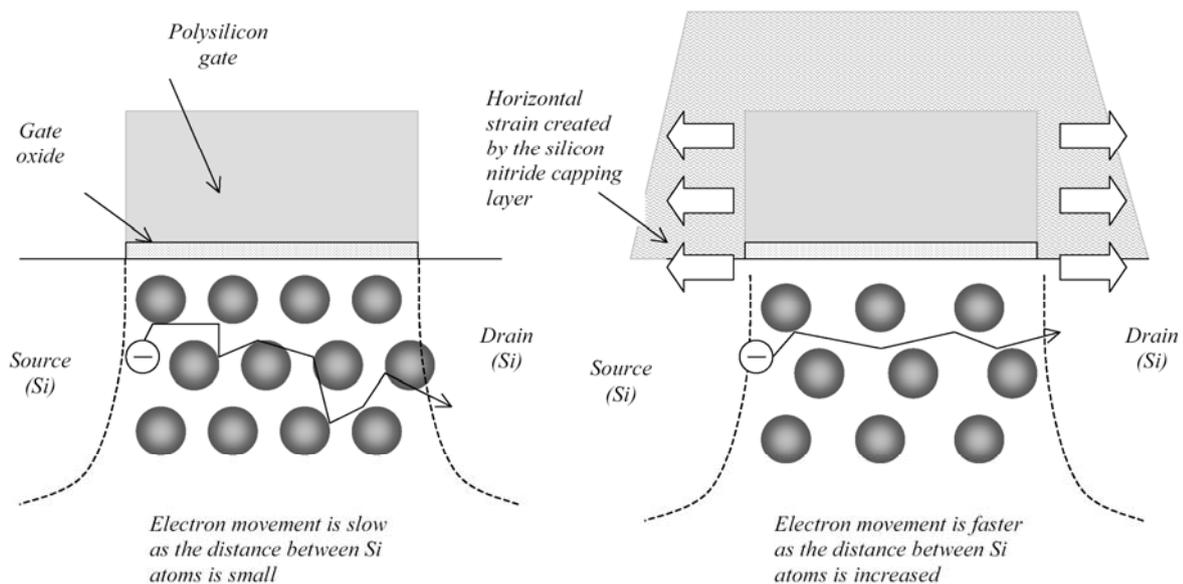


Рис. 1.61. NMOS транзистор

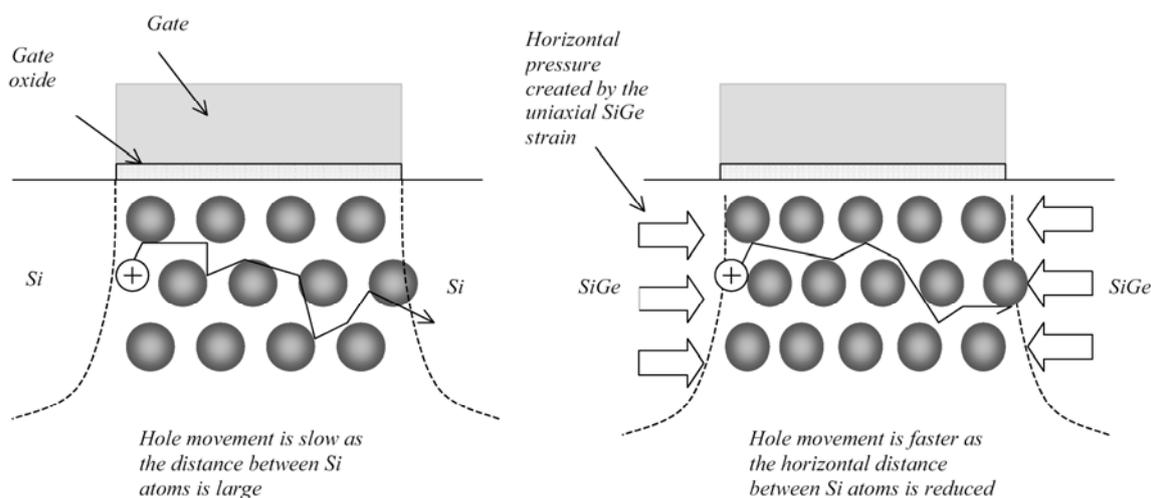


Рис. 1.62. PMOS транзистор

Основным нововведением в технологии 65нм по сравнению с 90 нм является введение напряженного (strained) кремния для увеличения скорости переноса, что значительно улучшило характеристики транзисторов. Параметры NMOS транзисторов (рис. 1.61 и 1.62) приведены в табл. 1.6 и 1.7. Топология и разрез транзисторов приведены на рис. 1.63 и 1.64. Различия практически отсутствуют, основное отличие в эффективной длине канала.

Таблица 1.6

Parameter	NMOS Low leakage	NMOS High speed
Drawn length (m)	70 nm	70 nm
Effective length (m)	50 nm	35 nm
Threshold voltage (V)	0.35	0.25
Ion (A/m)	0.8 mA/μm at VDD=1.0V	1.2 mA/μm at VDD=1.0V
Ioff (A/m)	1 nA	100 nA

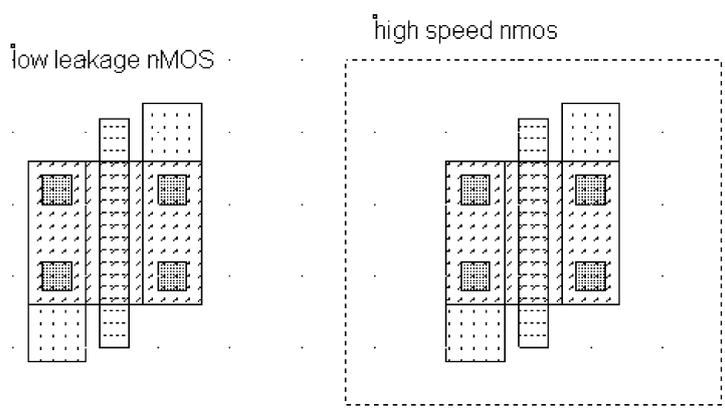


Рис. 1.63. Топология транзисторов

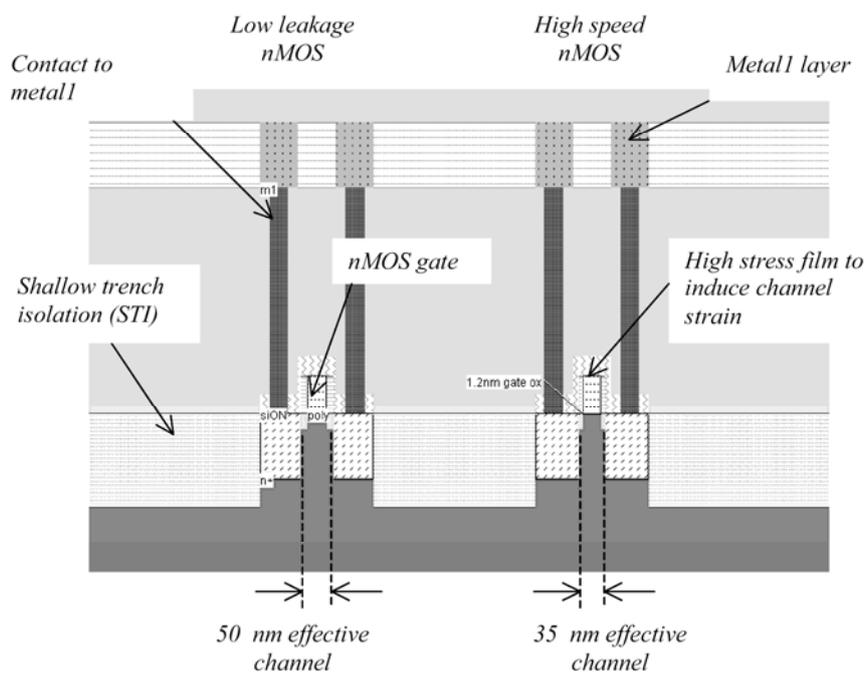


Рис. 1.64. Сечение в плоскости транзистора

Таблица 1.7

Parameter	pMOS Low leakage	pMOS High speed
Drawn length	70 nm	70 nm
Effective length	50 nm	35 nm
Threshold Voltage (V)	0.35 V	0.25 V
I_{on} (A/m)	0.45 mA/ μ m	0.7 mA/ μ m
I_{off} (A/m)	1 nA/ μ m	100 nA/ μ m

Глава 2. Проектирование цифровых схем

2.1. Базовые логические схемы

В таблице 2.1 представлены соответствующие обозначения для каждого логического элемента и их логическое описание, используемое в программном обеспечении [14]. В этих описаниях символы «&» обозначает логическое «И» (AND), символ «|» для «ИЛИ» (OR), символ «~» для «Отрицание» (INVERT), а «^» для XOR.

Таблица 2.1

Базовые логические элементы и их обозначение

Name	Logic symbol	Logic equation
INVERTER		$Out = \sim in;$
AND		$Out = a \& b;$
NAND		$Out = \sim (a \cdot b);$
OR		$Out = (a b);$
NOR		$Out = \sim (a b);$
XOR		$Out = a \wedge b;$
XNOR		$Out = \sim (a \wedge b);$

Элемент И-НЕ (Nand). Таблица истинности и логическое обозначение для элемента NAND на 2 входа приведены на рис. 2.1.

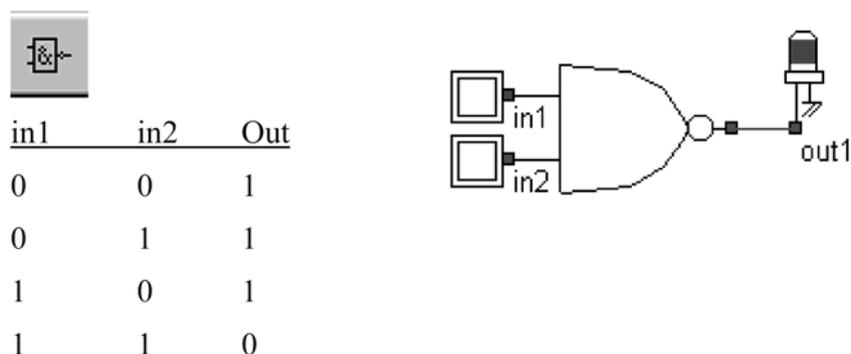


Рис. 2.1. Таблица истинности и обозначения элемента И-НЕ (NAND)

В CMOS проектировании элемент NAND состоит из двух nMOS транзисторов, соединенных последовательно, которые связаны с двумя pMOS в параллель. Схема ячейки NAND представлена на рис. 2.2. Последовательные транзисторы nMOS связывают выход с землей для единственной комбинации на входе схемы $A=1, B=1$. Для трех других комбинаций подсхема из nMOS транзисторов не работает, но хотя бы один из pMOS транзисторов связывает выход с питанием VDD.

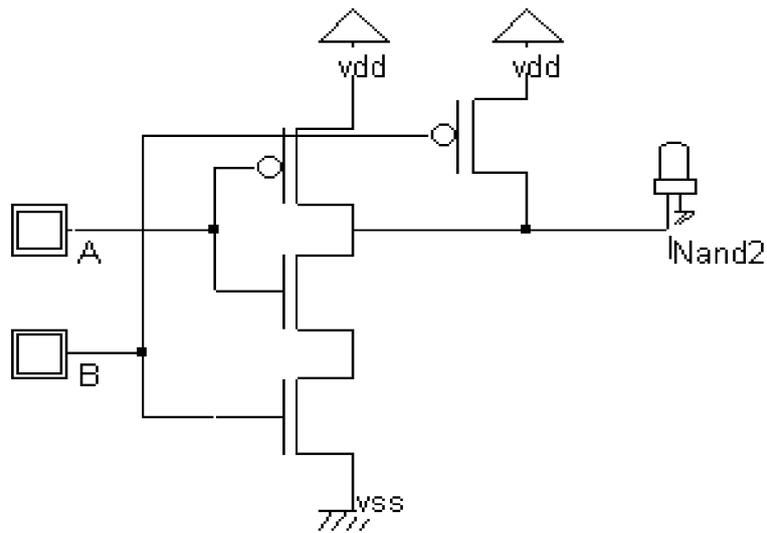


Рис. 2.2. Электрическая схема ячейки NAND (*NandCmos.SCH*)

Топология ячейки приведена на рис. 2.3.

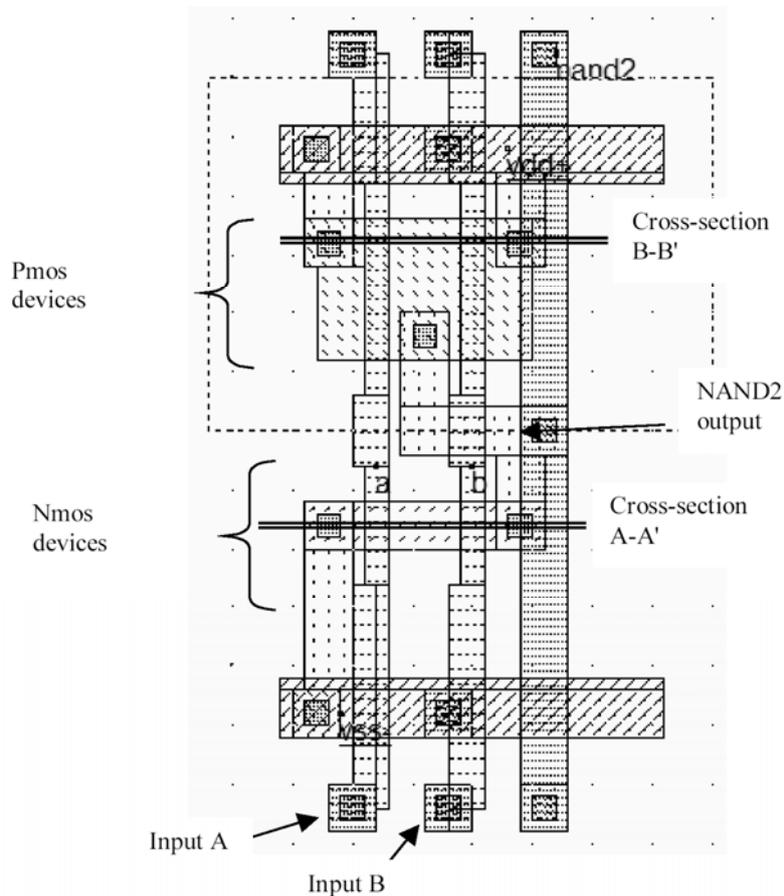


Рис. 2.3. Топология ячейки NAND (*NandCmos.MSK*)

Архитектура ячейки оптимизирована для упрощения соединений питания, входа и выхода.

Элемент И (AND). Как видно из схемы (рис. 2.4) элемент AND формируется из NAND2 и инвертора. На этом же рисунке приведена топология ячейки. Для CMOS технологии элементы с отрицанием (NAND, NOR, INV) выполняют операции быстрее и проще чем элементы без отрицания (AND, OR, Buffer) [15]. Задержка ячейки (см. рис. 2.4) значительно выше, чем для отдельного NAND2 элемента из-за задержки каскада инвертора.

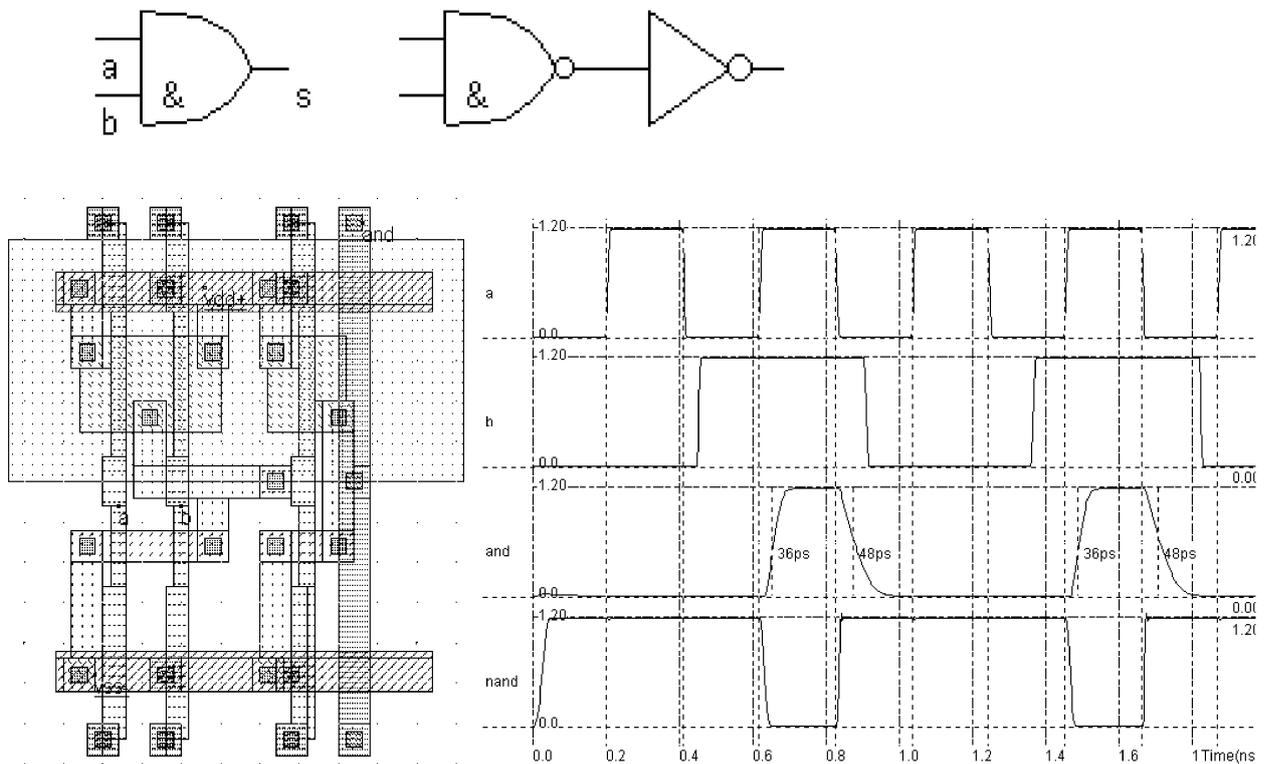


Рис. 2.4. Топология и результаты моделирования ячейки AND

Элемент XOR. Таблица истинности и схема CMOS для элемента XOR приведены на рис. 2.5. Существует множество вариантов реализации функции XOR в CMOS технологии. Один из вариантов, со средней эффективностью по проектированию, но перспективный для CMOS состоит в построении логической схемы XOR по Булевым уравнениям.

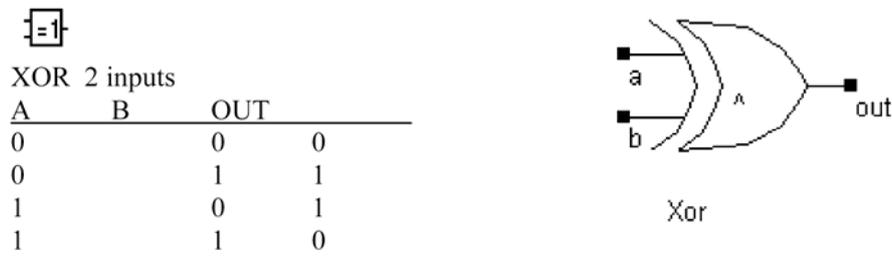


Рис. 2.5. Таблица истинности и обозначение ячейки XOR

Предлагаемый вариант (рис. 2.6) состоит из элемента «transmission-gate» для реализации оператора XOR. Таблица истинности для элемента XOR может быть прочтена в следующем виде: если $B=0$, то $OUT=A$, если $B=1$, то $OUT = Inv(A)$. Заметим, что nMOS и pMOS транзисторы, расположенные в середине используются как «ключи передачи сигнала».

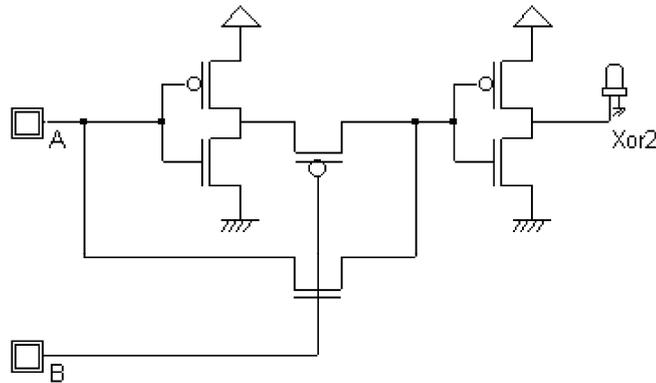


Рис. 2.6. Схема ячейки XOR (*XORCmos.SCH*)

Топология ячейки и результаты моделирования представлены на рис. 2.7.

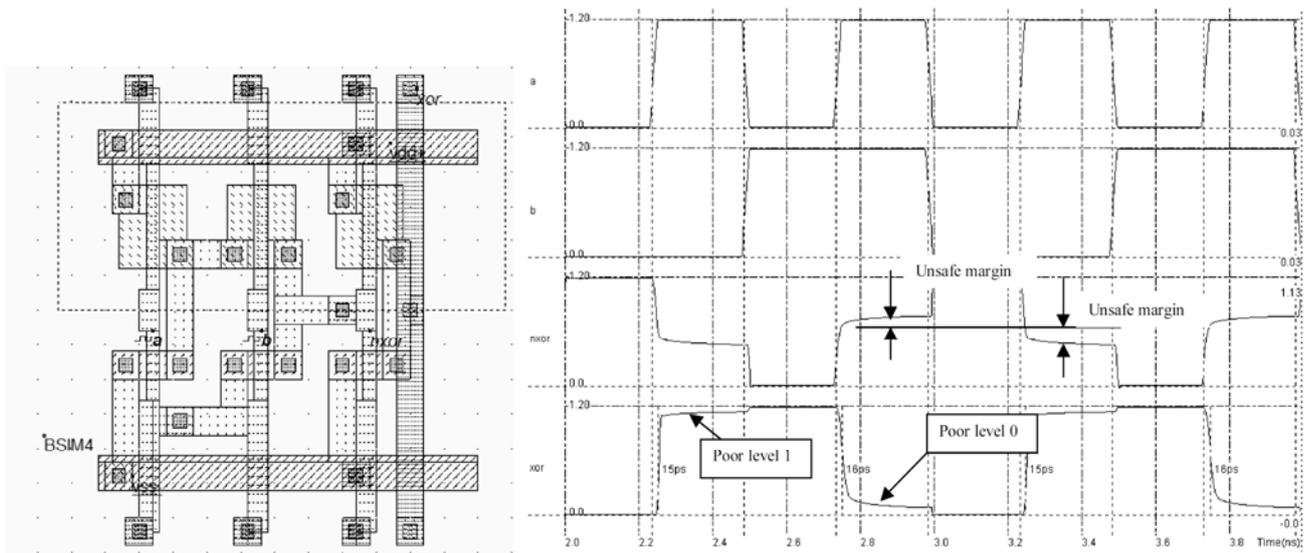


Рис. 2.7. Топология и результаты моделирования ячейки XOR (*XOR.MSK*)

Мультиплексор. Мультиплексирование означает передачу большого объема информации через небольшое число соединений. Цифровой мультиплексор – это схема, которая выбирает двоичную информацию одного из множества входных логических сигналов и передает его в единственную выходную шину. Основным компонентом мультиплексора является базовая ячейка, называемая «transmission gate» [24].

Sel	In0	In1	f
0	x	0	0
0	x	1	1
1	0	x	0
1	1	x	1

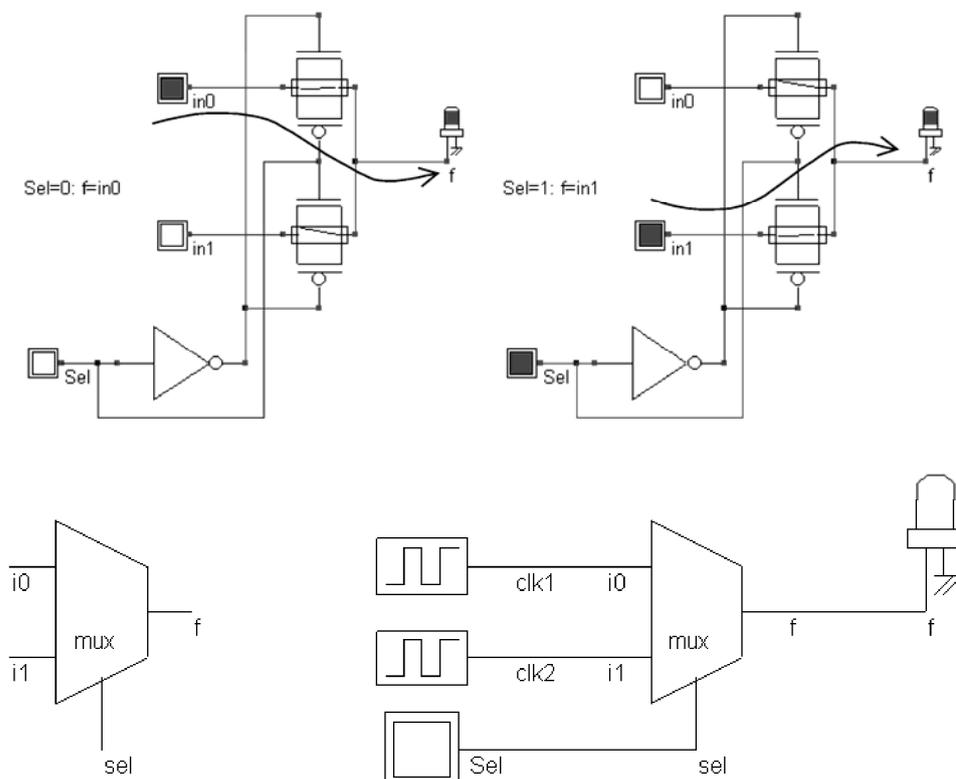


Рис. 2.8. Мультиплексор, как ячейка «transmission gate» (MUX.SCH)

Межсоединения. До 6 и более слоев металла доступно для соединений шин сигналов и питания в современных технологиях. Существует значительный разрыв между технологией 0.7 мкм с 2 слоями металла и технологией 0.12 мкм с 6 слоями по эффективности межсоединений. В первую очередь, это связано с размерами контактов 6λ (где λ - λ – технологический параметр, см. главу 4) в 0.7 мкм технологии, и только 4λ в 0.12 мкм технологии. Это позволяет значительно сократить размеры соединений приборов к слоям metal и metal2, как показано на рис. 2.9. Заметим, что структура MOS приборов при использовании технологии 0.7 мкм практически сравнима с технологией 0.12 мкм по правилам проектирования. Но для технологии 0.12 мкм используются дополнительные правила [15].

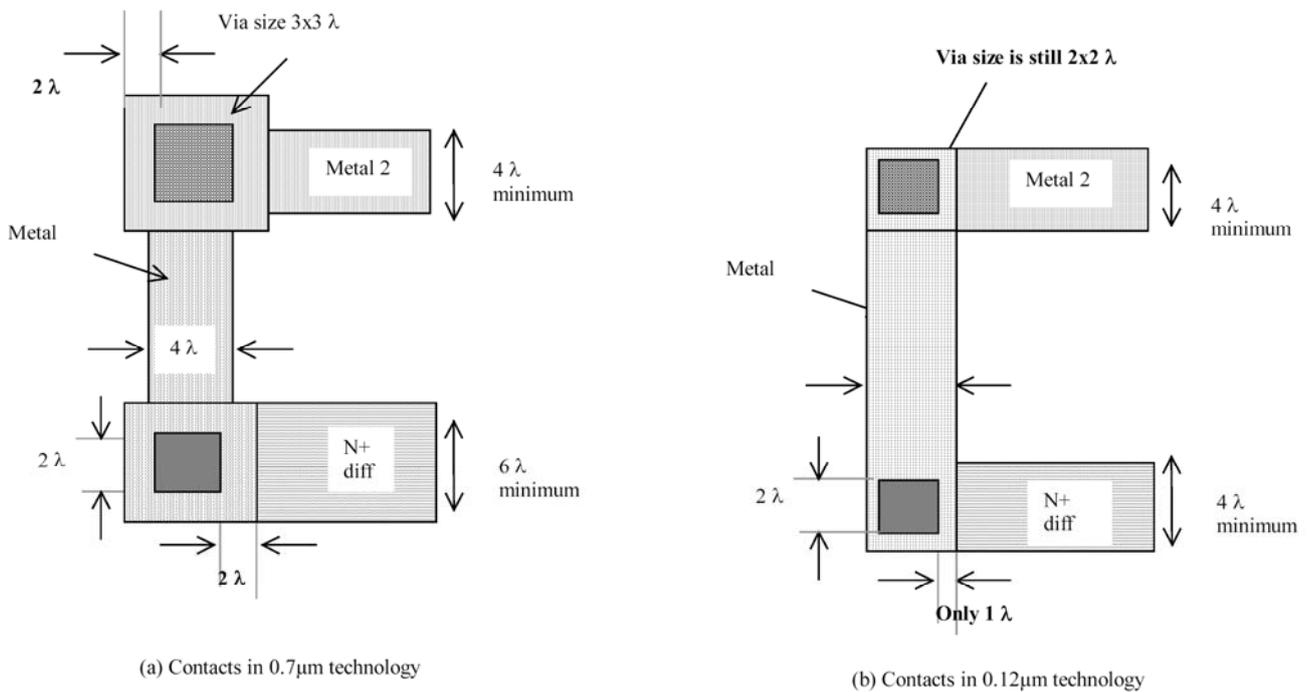


Рис. 2.9. Контакты для 0.7 мкм технологии требуют большей площади по сравнению с технологией 0.12 мкм

Наложения контактов не поддерживаются в микро-технологиях [15]. Это означает, что контакт из poly и metal2 будет требовать значительной площади кристалла, и контакты должны быть реализованы в отдельных местах. В субмикронных технологиях (начиная с 0.35 мкм и ниже), наложения контактов допускается (рис. 2.10).

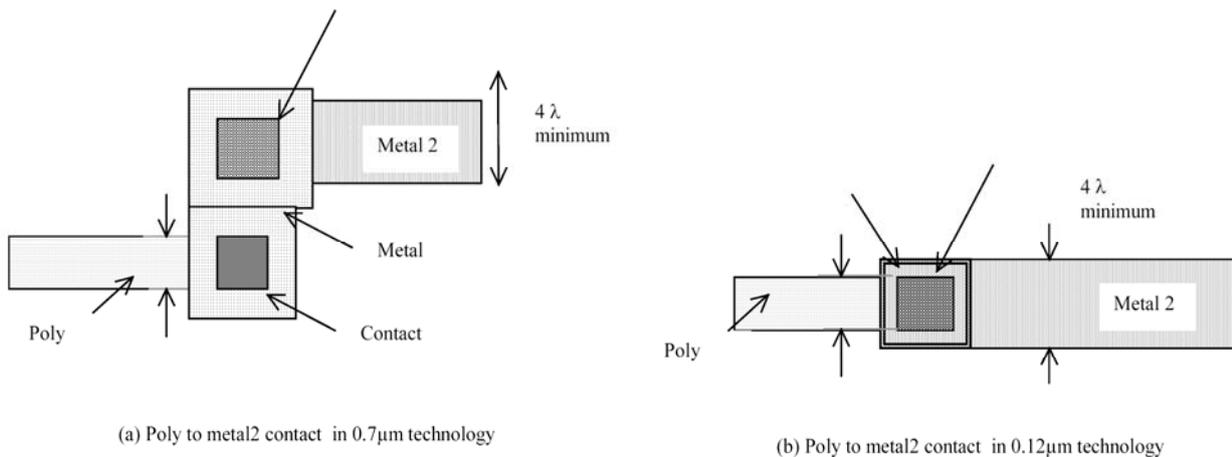


Рис. 2.10. Контакты для 0.7 мкм и 0.12 мкм технологий

Слои металла нумеруются в соответствии с порядком, в котором они изготавливаются, начиная с нижнего уровня 1 (metal1) до верхнего уровня, например

metal6 в 0.12 мкм технологии. Каждый слой встраивается в пленку оксида кремния (SiO2), которая изолирует слои друг от друга. Материал соединения между диффузией и металлом называется «контакт». Такой же слой используется для соединения poly и metal, или poly2 и metal. Материал соединения между metal и metal2 называется "via". Далее, материал соединения metal2 и metal3 называется "via2", metal3 и metal4 - "via3", и т.д.

2.2. Схемы арифметических операций

В этом разделе некоторые особенности проектирования схем арифметики представлены. Схема сумматора представлена с соответствующей топологией, выполненной вручную и автоматически. Затем обсуждаются схемы компараторов, умножителей и другие особенности арифметики и логики.

Целочисленный формат данных. Два класса формата данных используется при проектировании схем обработки данных: целые и вещественные числа. Вещественные числа подразделяются на числа с фиксированной запятой (точкой) и с плавающей. Каждые данные кодируются с помощью 8, 16 или 32 бит. Целочисленные данные представлены на рис. 2.11.

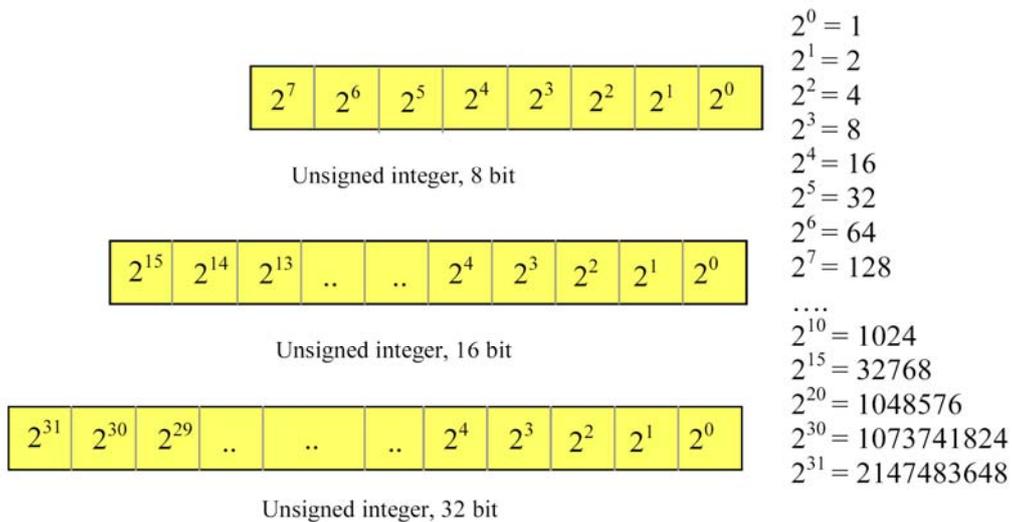


Рис. 2.11. Форматы целочисленных данных

Полусумматор. Таблица истинности и схема полусумматора приведены на рис. 2.12. Функция суммы (SUM) выполняется на основе элемента XOR, функция переноса (Carry) – это просто схема AND.

HALF ADDER			
A	B	SUM	CARRY
00	0	0	0
01	1	0	0
10	1	0	0
11	0	1	1

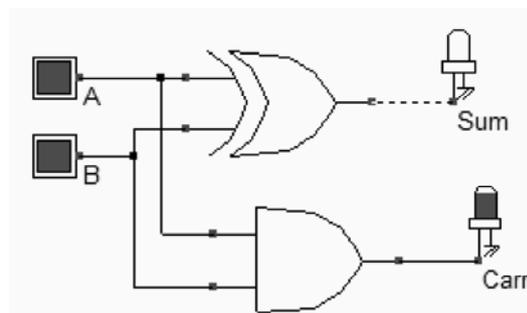


Рис. 2.12. Таблица истинности и схемное отображение полусумматора (*HADD.MSK*)

Топологию полусумматора можно создать вручную, что даст более компактный проект. Однако большинство программных систем имеет встроенные библиотеки, позволяющие сгенерировать из макросов любую цифровую схему. На рис. 2.13 приведена сгенерированная топология и результаты временного моделирования ячейки [15].

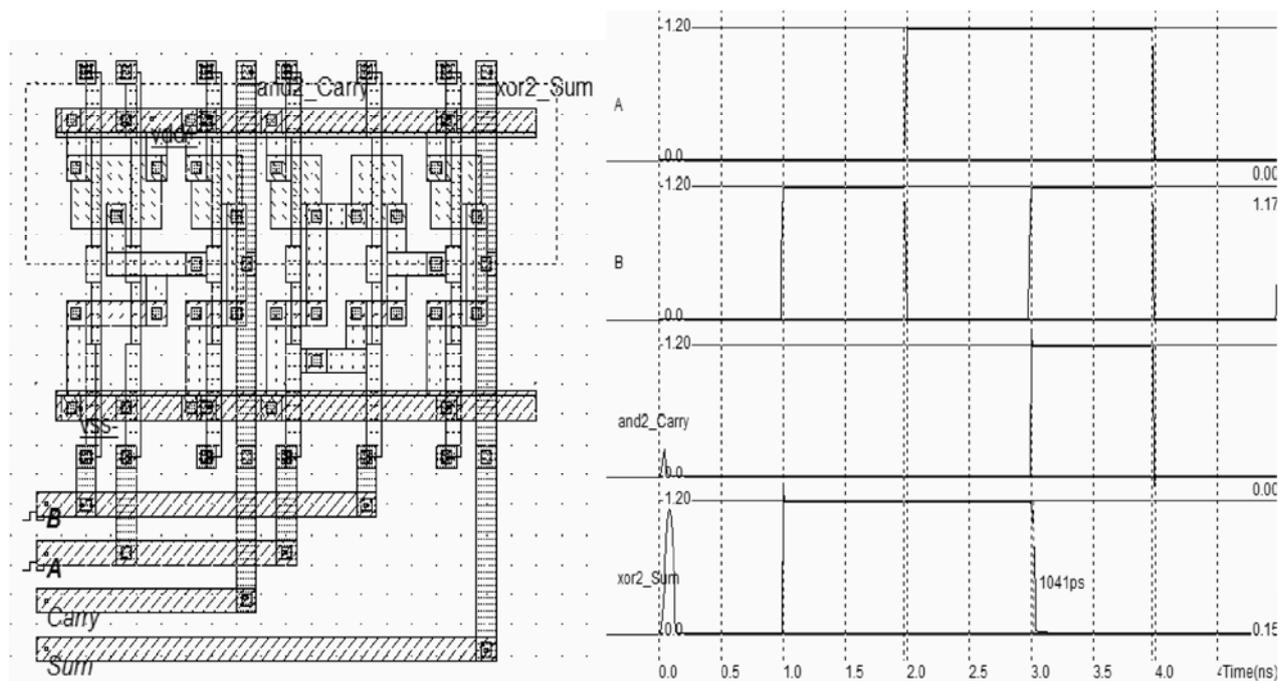


Рис. 2.13. Сгенерированная топология полусумматора и результаты моделирования (*Hadd.MSK*)

Полный сумматор. Таблица истинности и схема сумматора приведена на рис. 2./14. Функция SUM получается на основе двух схем XOR, а функция переноса CARRY будет комбинацией схем NAND, как показано на рис. 2.14. Наиболее прямой путь реализации ячейки CARRY является реализация

выражения $AB+BC+AC$. Недостатком такой схемы является использование положительной логики, приводящей к множеству каскадов. Более эффективная схема содержит те же функции, но с использованием инверсных элементов.

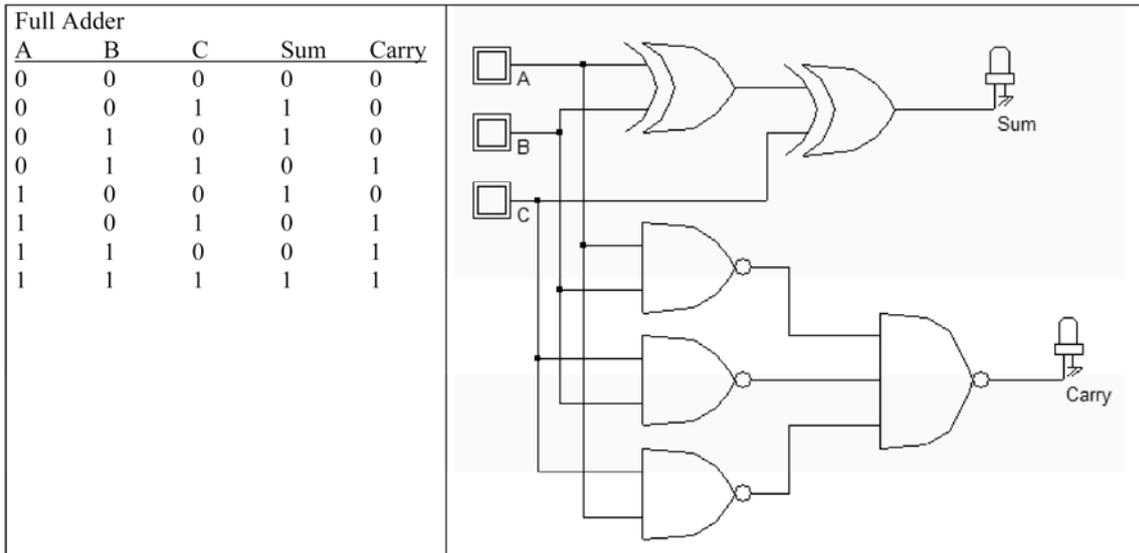


Рис. 2.14. Таблица истинности и схемное отображение сумматора (*FADD.SCH*)

Компаратор. Таблица истинности и схема приведены на рис. 2.15. Равенство $A=B$ представляется элементом XNOR, функции $A>B$, $A<B$ получаются на основе инверторов и элементов AND.

Comparator				
A	B	A>B	A<B	A=B
0	0	0	0	1
0	1	0	1	0
1	0	1	0	0
1	1	0	0	1

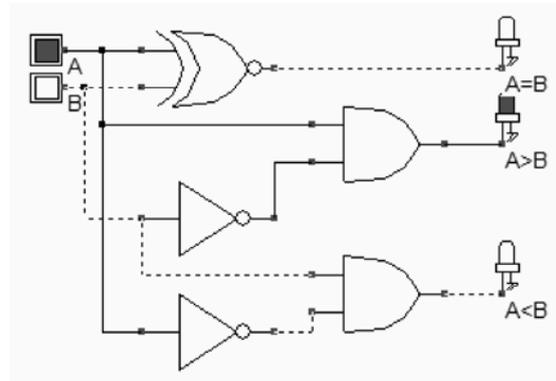


Рис. 2.15. Таблица истинности и схемное отображение компаратора (*COMP.SCH*)

Моделирование ячейки компаратора представлено на рис. 2.16. После инициализации, $A=B$ достигает 1. Сигналы A и B создают комбинации 00, 01, 10 и 11.

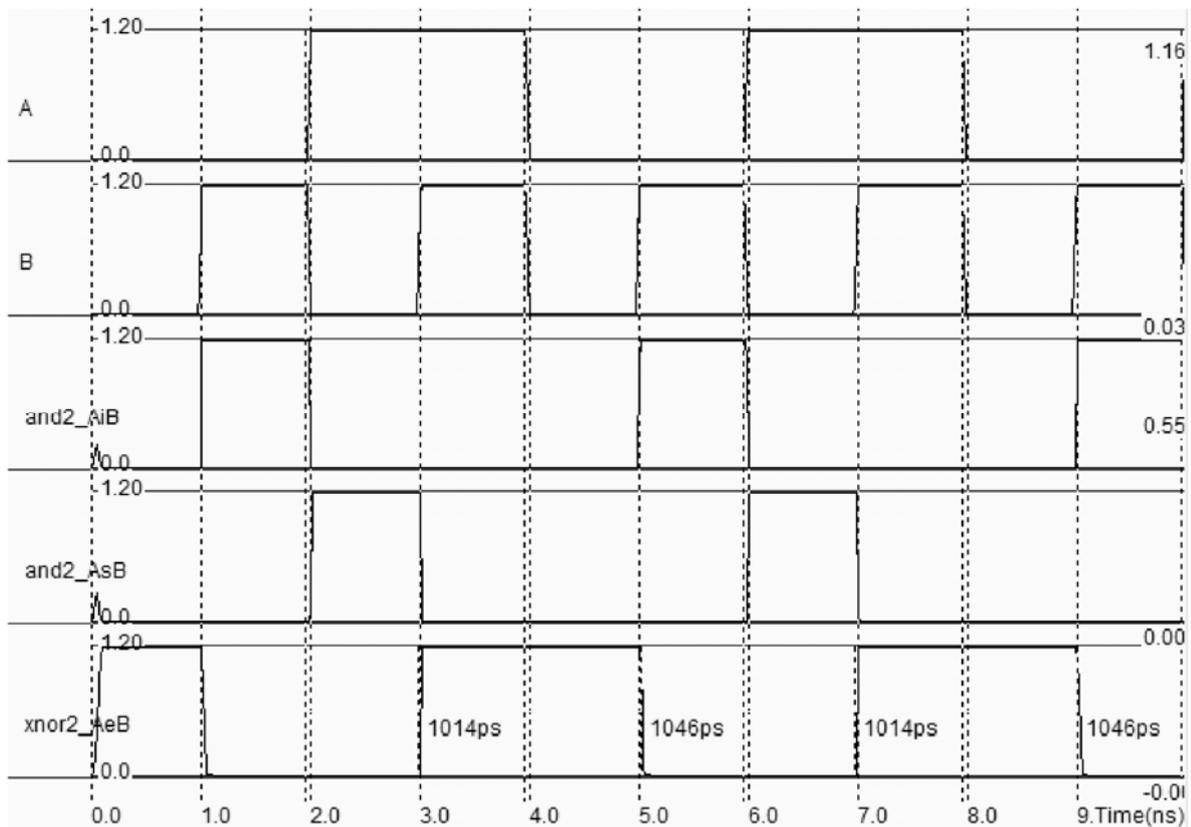


Рис. 2.16. Результаты моделирования компаратора (*COMP.MSK*)

2.3. Триггеры-защелки (Latches)

Основная (базовая) схема. Базовой схемой для хранения элементарных бинарных значений (память) называют триггер (триггер-защелка, latch). Простейшая CMOS схема состоит из 2 инверторов (рис. 2.17).

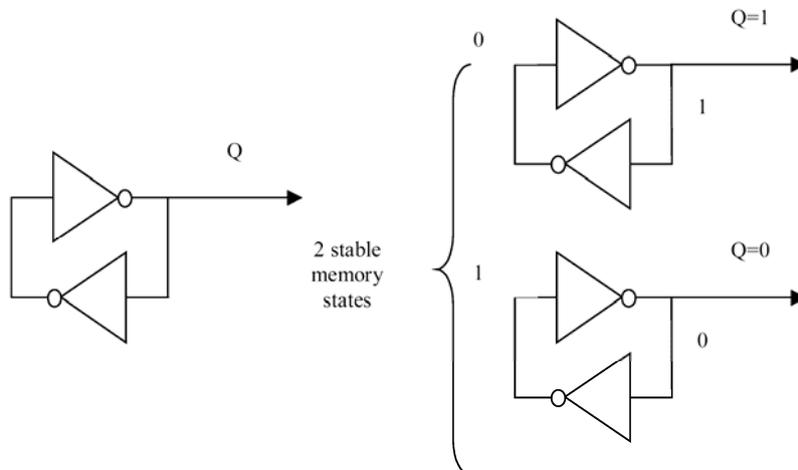


Рис. 2.17. Элементарная ячейка памяти на основе петли инверторов

RS триггер. RS триггер (Set-Reset Flip Flop, SR FF) преобразует импульс в непрерывное состояние. RS триггер может быть выполнен на основе двух связанных обратными связями элементах NAND (рис. 2.18). Входные сигналы *Reset* и *Set* связывают состояния памяти при $Reset=Set=1$. Комбинация $Reset=Set=0$ не должна использоваться [14].

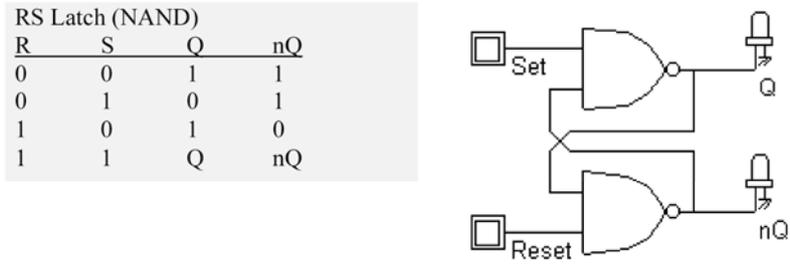


Рис. 2.18. Таблица истинности и схемное отображение RS-триггера (*RSNor.SCH*)

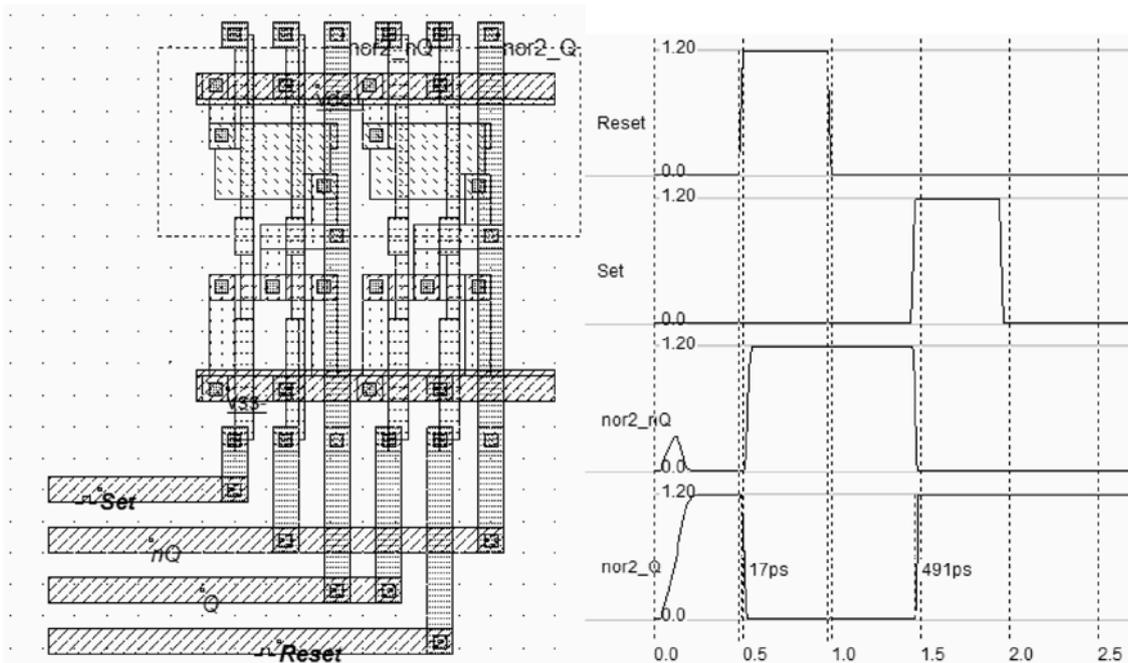


Рис. 2.19. Топология и результаты моделирования RS-триггера (*RSNor.MSK*)

Топология триггера представлена на рис. 2.19, здесь же приведены временные диаграммы. При моделировании (рис. 2.19), положительный импульс на входе *Set* переводит *Q* в стабильное состояние высокого уровня. Заметим, что когда *Set* возвращается в 0, *Q* остается в 1, которое называется состоянием «памяти». Когда положительный импульс подается на *Reset*, *Q* переходит в низкий уровень, а *nQ* переходит в высокий уровень. В данном моделировании комбинация $Reset=Set=1$ не присутствует.

D-Триггер. Таблица истинности и схема D-триггера (Static D-Flip-Flop), приведены на рис 2.20. Данные на входе *D* передаются на выход, если вход *clock* будет иметь 1. Когда *clock* возвратится в 0, то триггер удерживает его последнее значение.

D Latch (NOR)			
D	Clock	Q	nQ
0	0	Q	nQ
0	1	0	1
1	0	Q	nQ
1	1	1	0

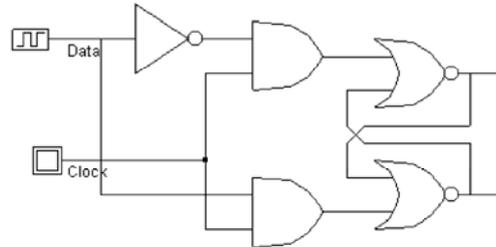


Рис. 2.20. Таблица истинности и схемное отображение D-триггера (File DLATCH.SCH)

Топология D-триггера приведена на рис. 2.21, а результаты моделирования - на рис. 2.22.

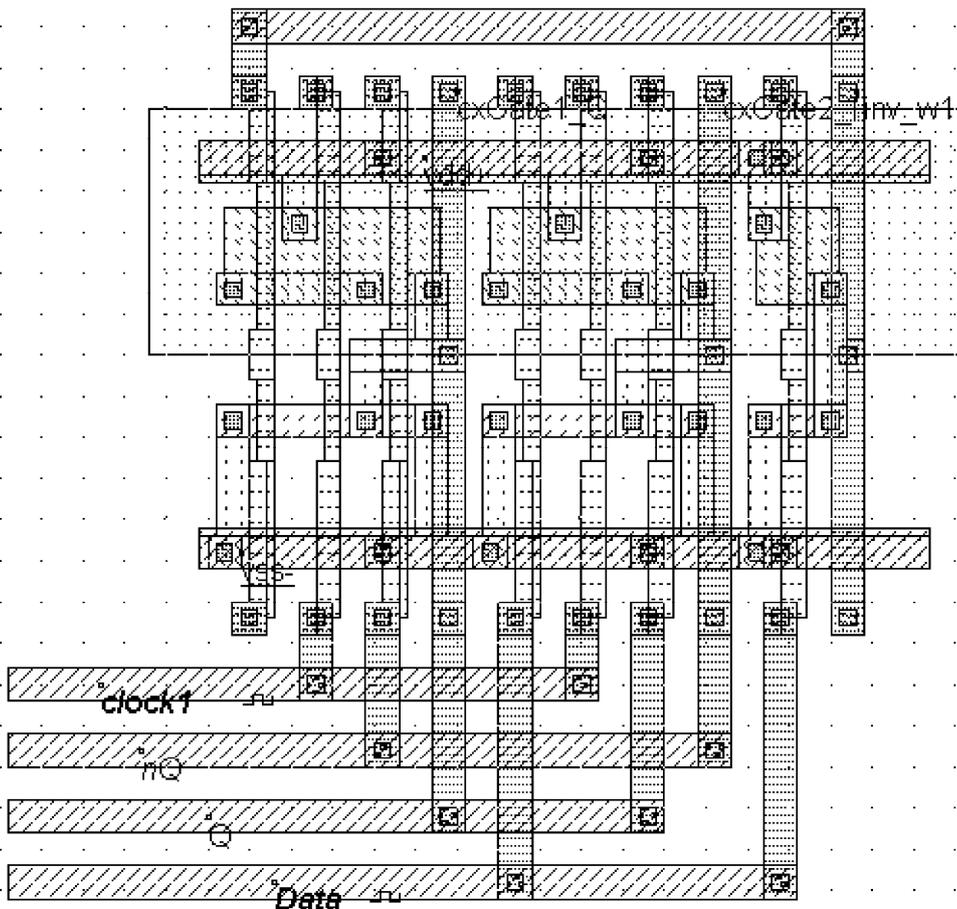


Рис. 2.21. Топология D-триггера (File DlatchCompile.MSK)

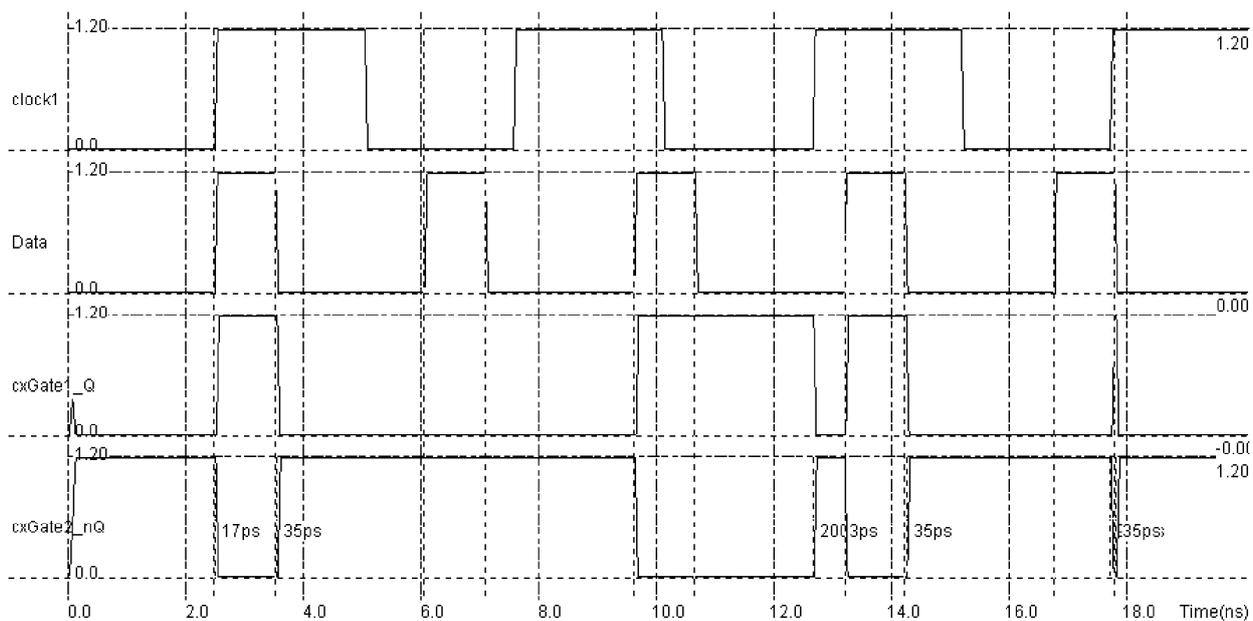


Рис. 2.22. Результаты моделирования D-триггера (*DlatchCompile.MSK*)

JK-триггер (Edge Triggered Latch). Схема JK триггера является одной из наиболее широко используемых ячеек при проектировании схем микроэлектроники. Структура ячейки содержит две базовых (master-slave) ячеек памяти (рис. 2.23).

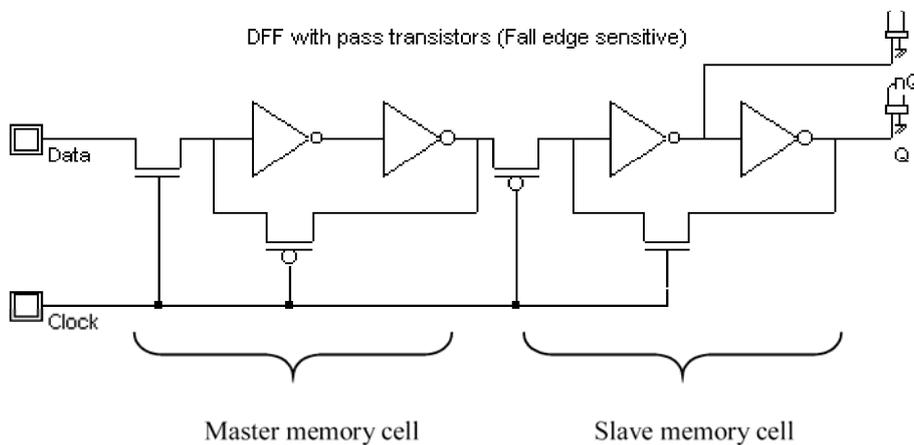


Рис. 2.23. Две ячейки JK-триггера

Наиболее компактная реализация такой схемы приведена на рис. 2.24. Схема основывается на инверторах и передаточных (pass)-транзисторах. В левой части схемы два связанных инвертора находятся в режиме памяти, когда pMOS транзистор в петле *P1* включен (проводит), и когда *Clk* = 0. Два связанных

инвертора в правой части работают в противоположном режиме. Функция «reset» получается прямым соединением с землей «master» и «slave» памяти, используя nMOS приборы [15].

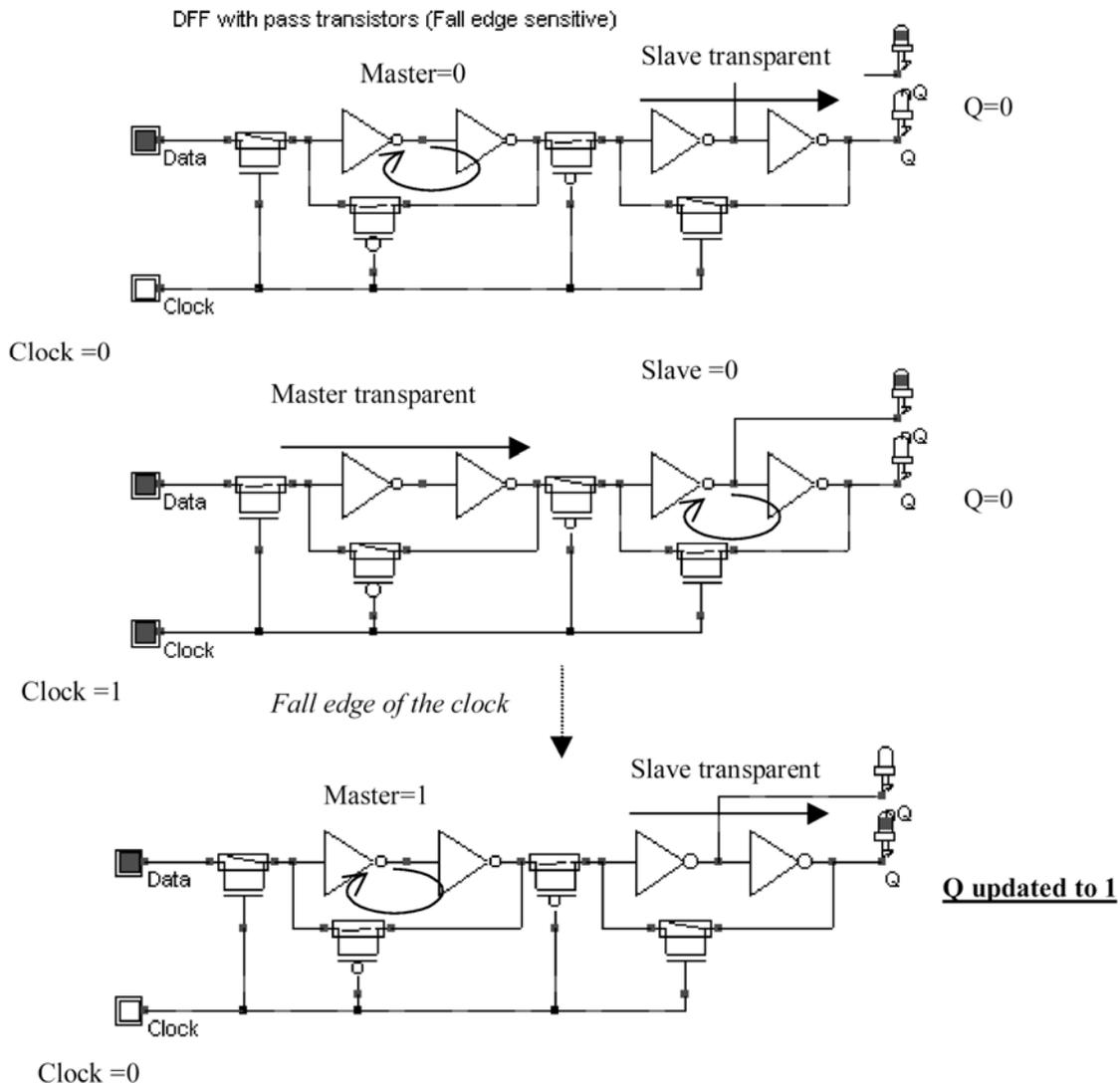


Рис. 2.24. JK-триггер и его логические интерпретации (*Dreg.MSK*)

На рис. 2.24 отображено что, когда сигнал *clock* имеет высокий потенциал (1), то подсистема «master latch» подстраивается под новое значение на входе *D*. Подсистема «Slave latch» передает на выход *Q* предыдущее значение *D*. Когда сигнал *clock* переходит в 0, то «master latch» возвращается в состояние памяти. Затем и ячейка «slave» схемы подстраивается. На рис. 2.25 представлена топология, сгенерированная автоматически [14].

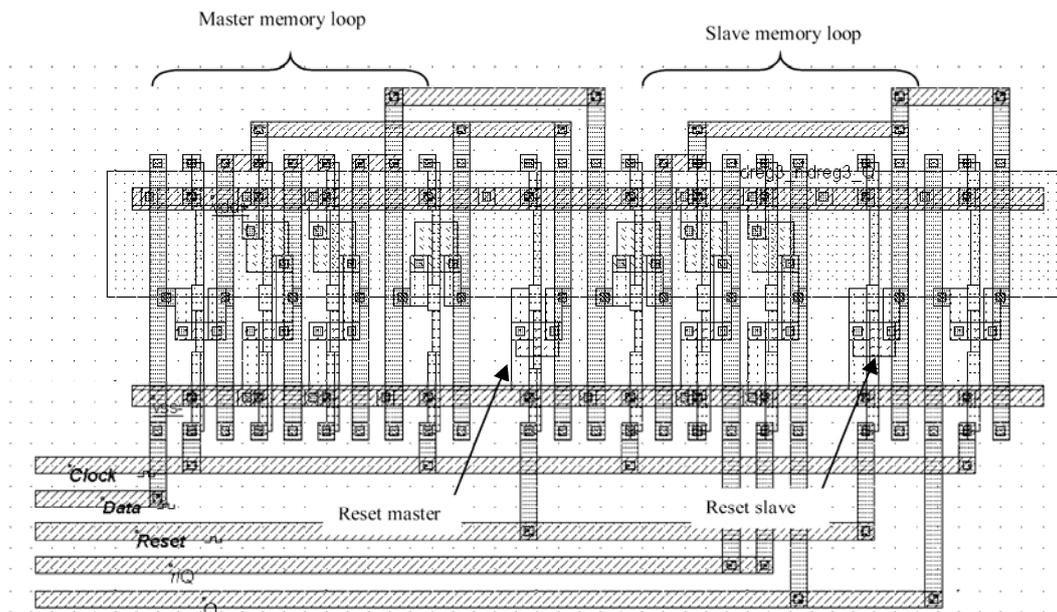


Рис. 2.25. Топология JK-триггера (*DregCompile.MSK*)

Для того чтобы выполнить моделирование, необходимо выполнить следующие установки для сигналов:

- *Reset* – активизируется до уровня 1. *Reset* активизируется дважды, вначале моделирования и позднее.
- *Clk* – синхросигнал с длительностью 10 нс при уровне 0 и 10 нс при 1.
- *D* – данные, выбранные здесь, не синхронизированы с *Clk* для того, чтобы оценить различные характеристики регистра.

Сигнал *Clock* имеет период в 2 нс. Результаты моделирования приведены на рис. 2.26. Сигналы *Q* и *nQ* всегда противоположны.

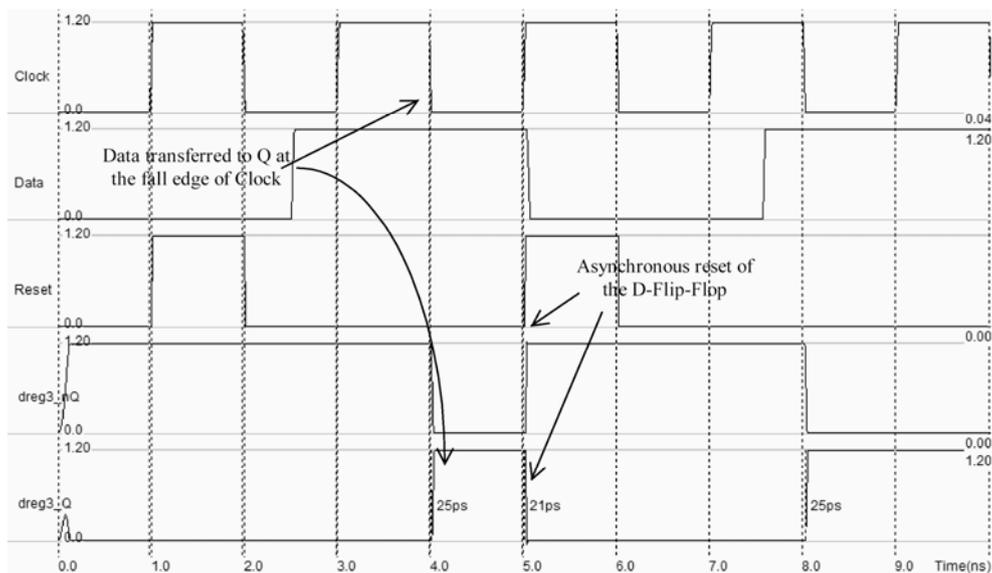


Рис. 2.26. Результаты моделирования JK-триггера (*DregCompile.MSK*)

Счетчики. Однобитовый счетчик выдает сигнал с частотой, равной половине сигнала clock. Наиболее простая реализация содержит D триггер, где выход nQ соединен с D , как показано на рис. 2.27 [15, 24]. Топология приведена на рис. 2.28.

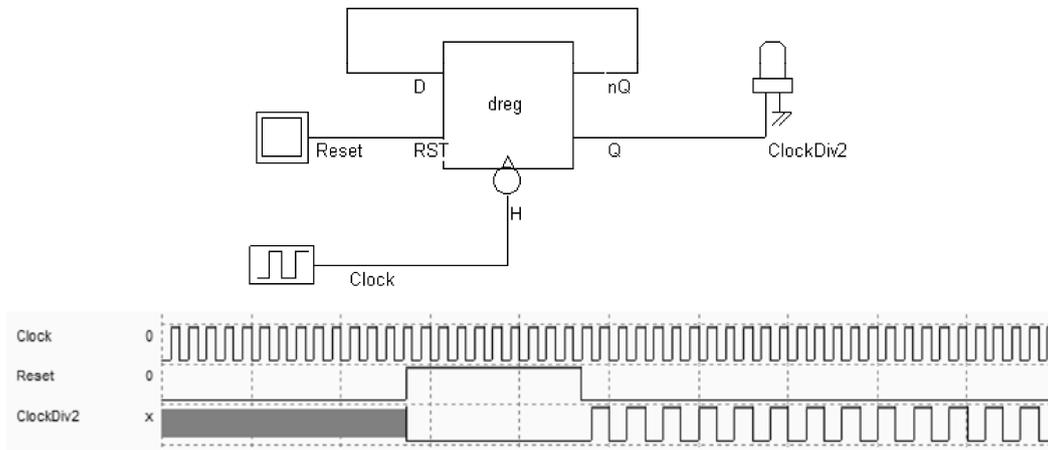


Рис. 2.27. Схема и результаты моделирования счетчика (*ClockDiv2.SCH*)

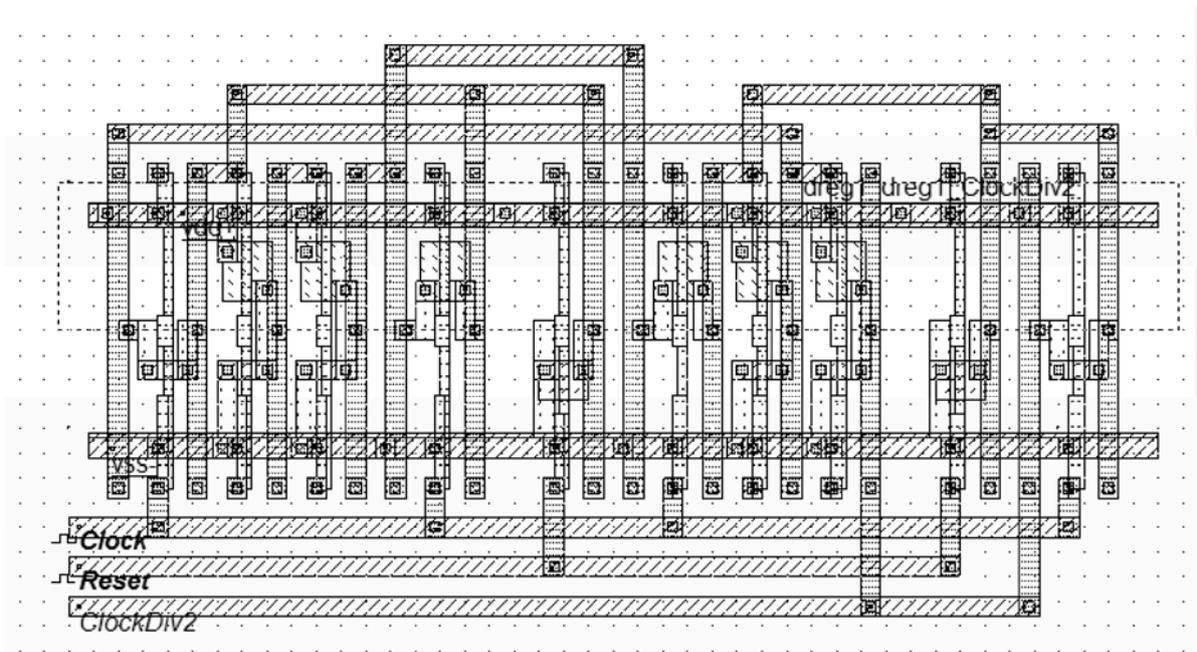


Рис. 2.28. Топология счетчика (*ClockDiv2.MSK*)

2.4. Схемы памяти (Memory)

Классификация схем. Полупроводниковая память – это один из базовых элементов современных интегральных схем [25]. Микросхемы памяти составляют

почти 30% мирового рынка ИМС. В системах на кристаллах схемы памяти представляют более 75% от общего числа транзисторов (рис 2.29).

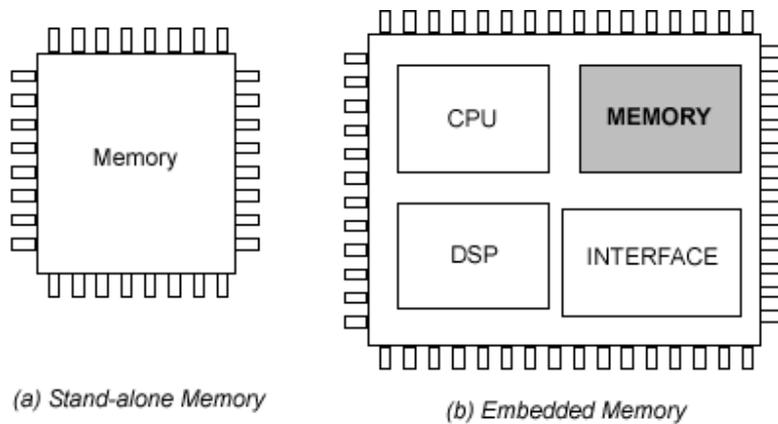


Рис. 2.29

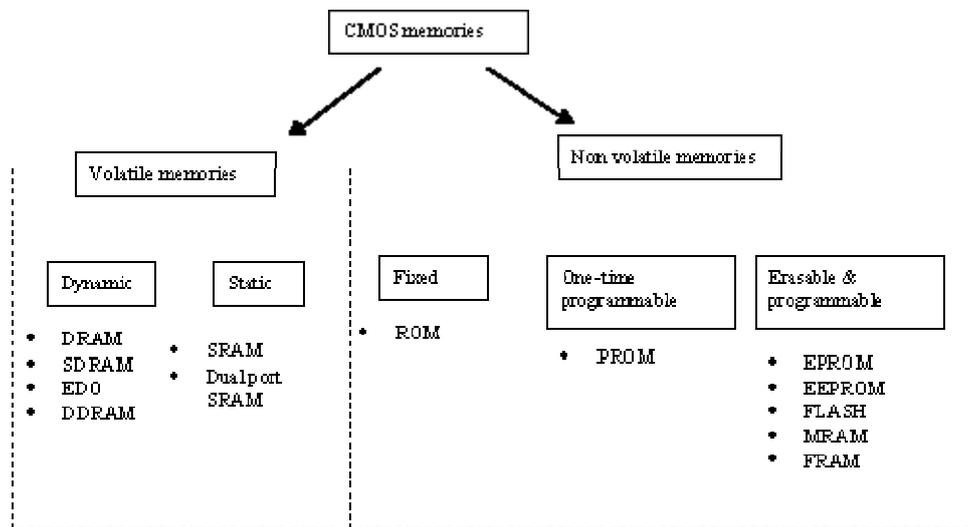


Рис. 2.30: Основные классы CMOS памяти

Имеется два основных семейства памяти (рис. 2.30): память, требующая напряжения питания (voltage memory) и не требующая (non voltage memories). В схемах, требующих питания, данные хранятся, пока есть напряжение питания. Для таких схем память с динамическим доступом (dynamic random access memory, DRAM) наиболее распространена. В таких схемах при выключении питания информация в памяти теряется. Схемы памяти, не зависящие от питания, сохраняют информацию постоянно (всегда). Такие схемы, как ПЗУ или «read-only memory» (ROM) являются простейшими типами таких схем. Однократно программируемая память (PROM) является вторым важным семейством, но наиболее популярны сейчас стираемые и перепрограммируемые приборы: давно используемые электрически программируемые ROM (EPROM), более новые электрически стираемые «Electrically Erasable» PROM (EEPROM, FLASH), и

новые магнитно-резистивные «magneto resistive» RAM (MRAM) и ферроэлектрические RAM (FRAM) памяти. Огромные объемы памяти используются в микропроцессорах для данных и программного обеспечения. Операционные системы и микропрограммы обычно хранятся в памяти, не зависящей от питания [24,25].

Организация памяти (структура). Рис. 2.31 показывает типичную организацию памяти. Она содержит массив памяти, декодеры строк и столбцов, схему чтения/записи. Декодер строк выбирает одну строку из 2^N по N-бит адресу выбора. Аналогично, декодер столбцов выбирает один из 2^M столбцов по M-бит адресу выбора столбца [24]. Массив памяти состоит из 2^N строк и 2^M столбцов регулярной структуры, базовых ячеек памяти. Типичное значение для N и M - 10, что дает 1024 строк и 1024 столбцов, что соответствует 1048576 элементарных ячеек памяти (1 Мб, Mega-bit). Существует несколько типов памяти: 1024x1024 бит, 128Кx8бит, 64Кx16бит, 32Кx32 бит, и т.д. Например, память 128Кx8бит состоит из 8 параллельных столбцов. В этом случае размер *DataOut* и *DataIn* шин равна 8 бит.

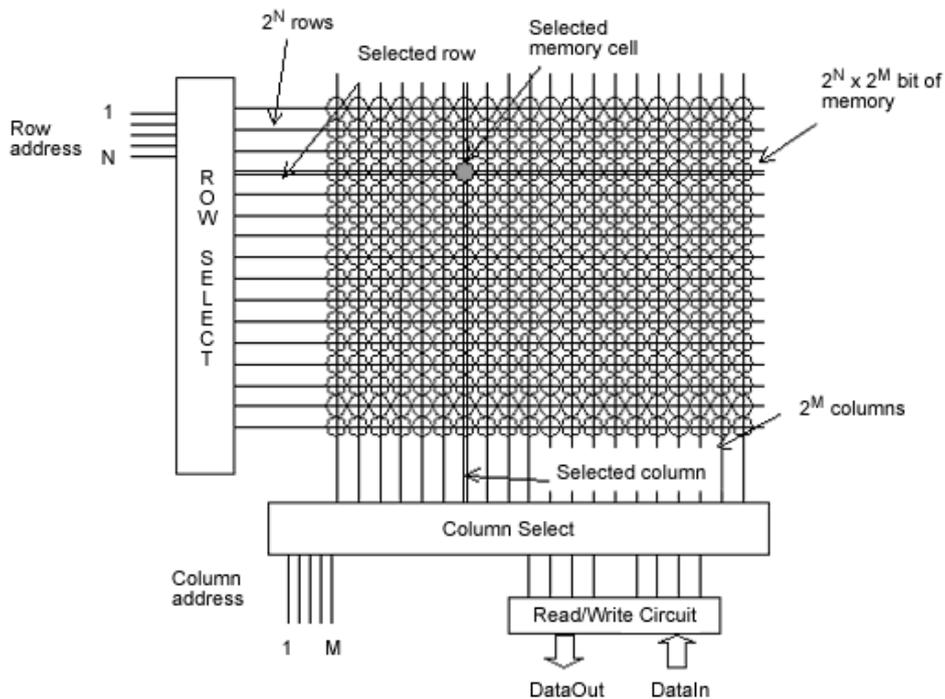


Рис. 2.31: Типичная организация памяти

Время доступа. Типичные временные диаграммы работы блока памяти приведены на рис. 2.32. Скоростной системный синхросигнал с частотой около 1ГГц синхронизирует всю последовательность действий.

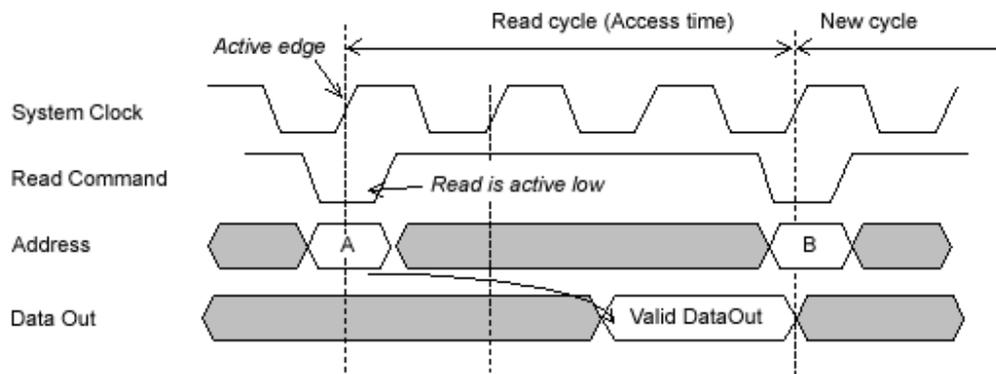


Рис. 2.32. Время доступа при чтении

При активном уровне команды *Read* (обычно низкий уровень), стартует фаза чтения. Может потребоваться нескольких циклов синхросигнала, прежде чем данные будут доступны. В случае рис. 2.32, два цикла потребовалось прежде чем данные поступили на шину *DataOut*. Типичное время доступа для Мега-бит памяти составляет от 1ns до 10ns.

Статическая (Static RAM, SRAM) память. SRAM очень важный класс памяти. Его ячейка состоит из двух соединенных инверторов в форме положительной обратной связи. Это дает два возможных состояния (рис. 2.33). Эта ячейка является также основой многих последовательных схем.

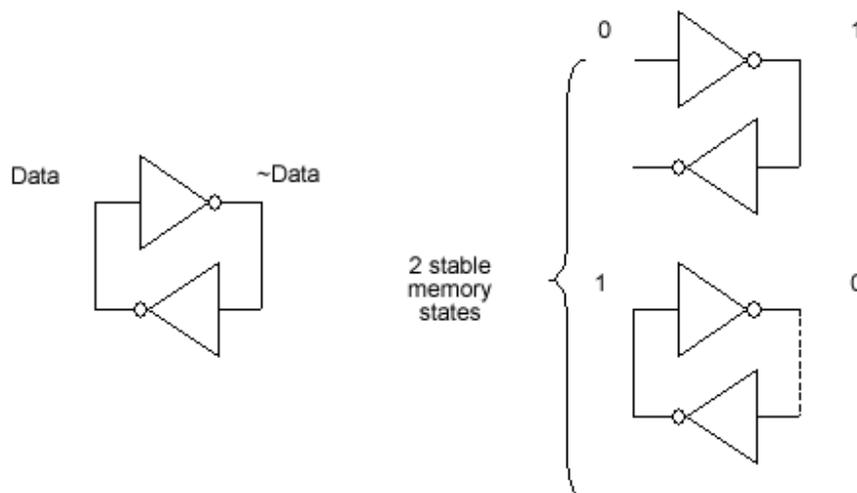


Рис. 2.33. Элементарная ячейка памяти на инверторах

Базовая ячейка для статической памяти основывается на 6 транзисторах с двумя затворами вместо одного. Соответствующая схема приведена на рис. 2.34. Такая ячейка легко повторяема, создавая большой массив памяти. Обычные размерности для Megabit SRAM памяти - 256 столбцов x 256 строк и больше. Схема из 4x4 SRAM ячеек представлена на рис. 2.35. Шина выбора

WL – одна для всех ячеек в одном ряду. Битовые шины BL и $\sim BL$ – для всех ячеек в одном столбце.

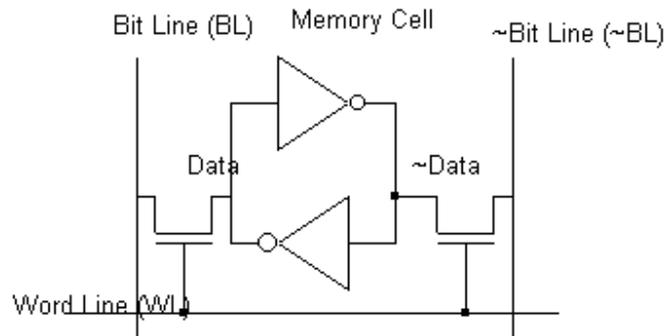


Рис. 2.34. Базовая ячейка из 6 транзисторов для SRAM (RAM6T.SCH)

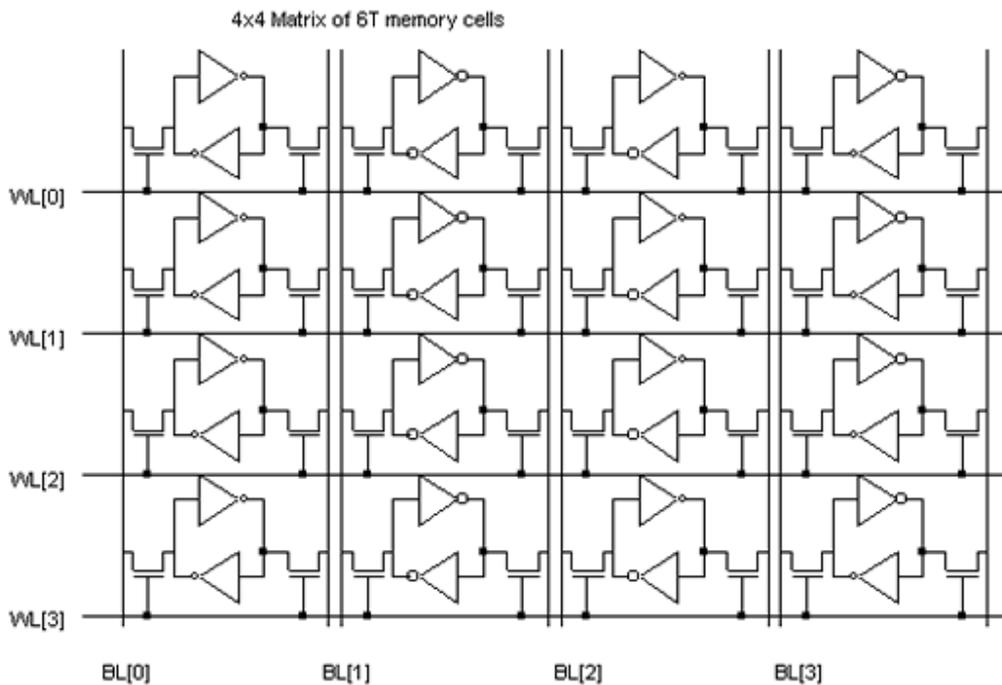


Figure 2.35. Матрица ячеек памяти с 4 рядами и 4 столбцами (RAM6T.SCH)

Топология SRAM ячейки приведена на рис. 2.36. Сигналы BL и $\sim BL$ связаны с metal2 и пересекают всю ячейку с верху до низу. Шины питания выполнены горизонтально в виде metal3. Это позволяет легко повторять ячейки в матричном стиле.

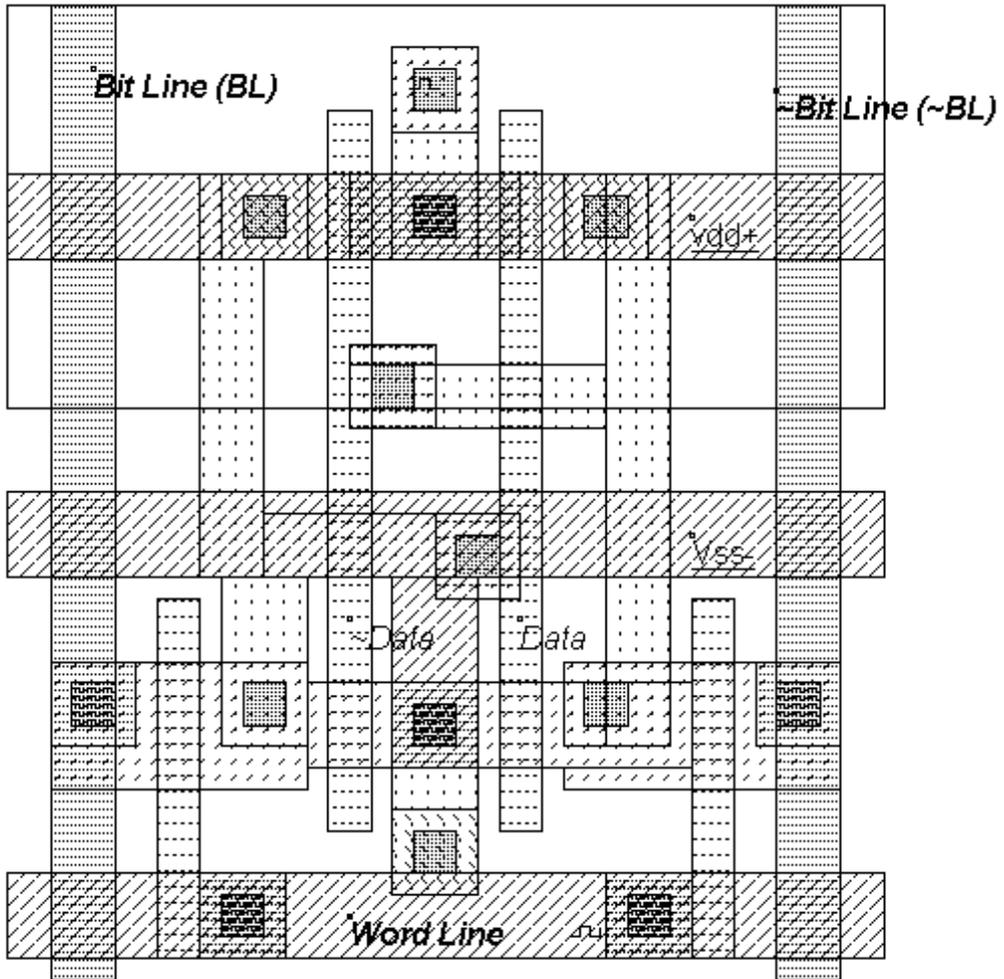
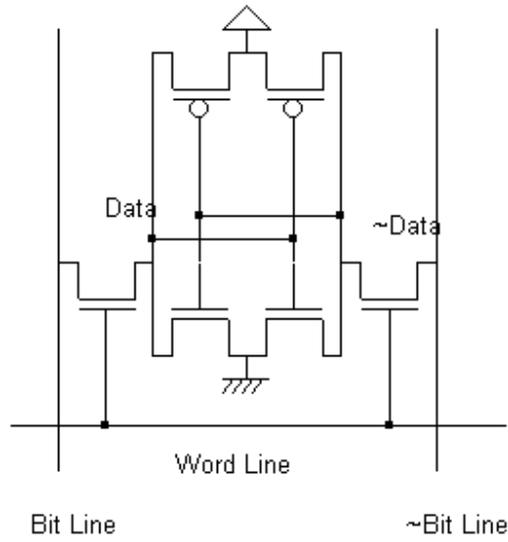


Рис. 2.36. Топология ячейки static RAM (RAM6T.MSK)

Сечение (рис. 2.37) показывает, что nMOS приборы соединены с питанием VSS используя metal3, расположенный в середине ячейки. Шины *BL* и *~BL* соединены с metal2 и расположены на обеих сторонах.

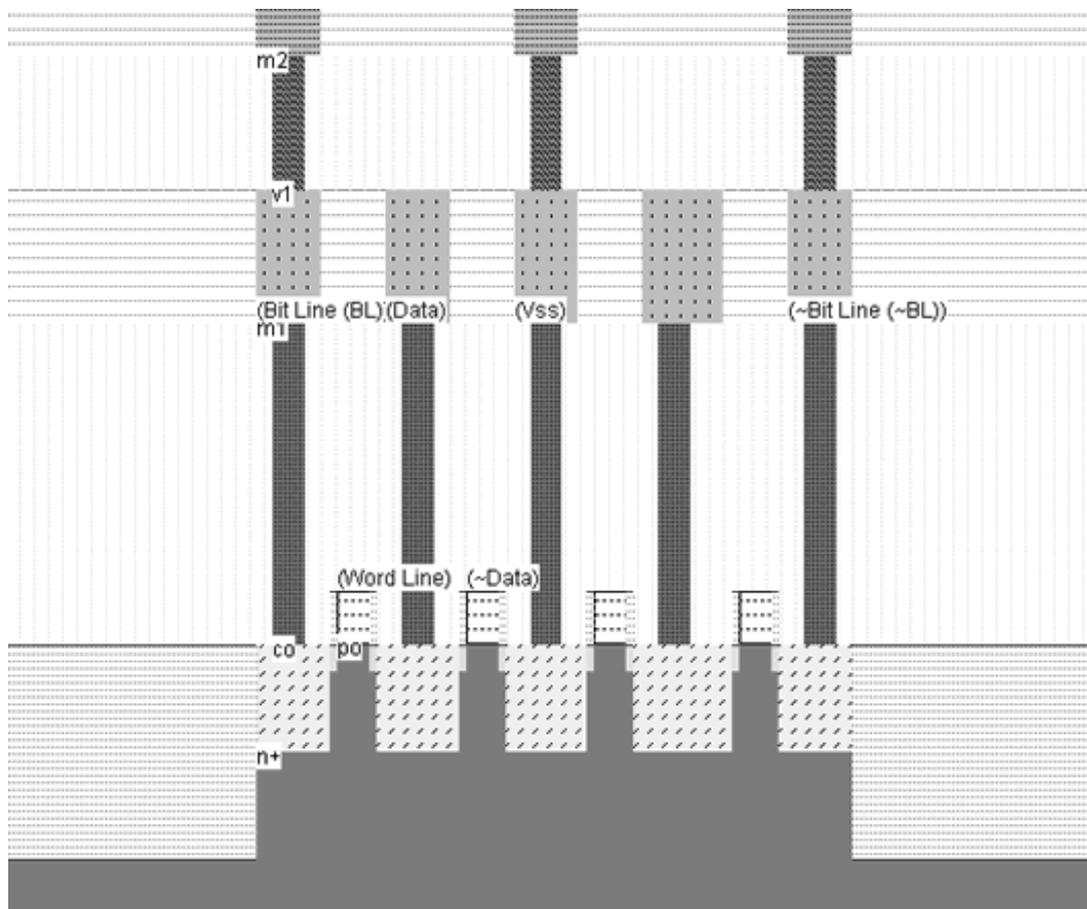


Рис. 2.37. Сечение ячейки static RAM в области n-channel MOS

Моделирование ячейки памяти. Параметры моделирования должны соответствовать циклам чтения и записи в ячейке RAM. Поэтому очень важно правильно задать последовательности сигналов по всем шинам. Шаги моделирования предлагаются на рис. 2.38 и состоят в записи 0, 1, и затем в чтении 1. Во второй фазе мы записываем 1, 0, и затем читаем 0. Сигналы *Bit Line* и *~Bit Line* контролируются синхросигналом. Состояния неопределенности (моделирование floating эффекта в затворах транзисторов) записывается как "x" вместо 1 или 0 [14].

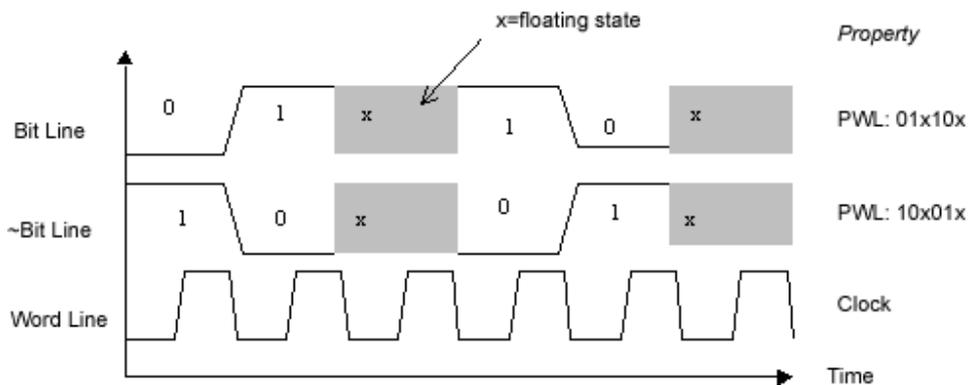


Рис. 2.38. Процедура моделирования static Ram

Результаты моделирования представлены на рис. 2.39.

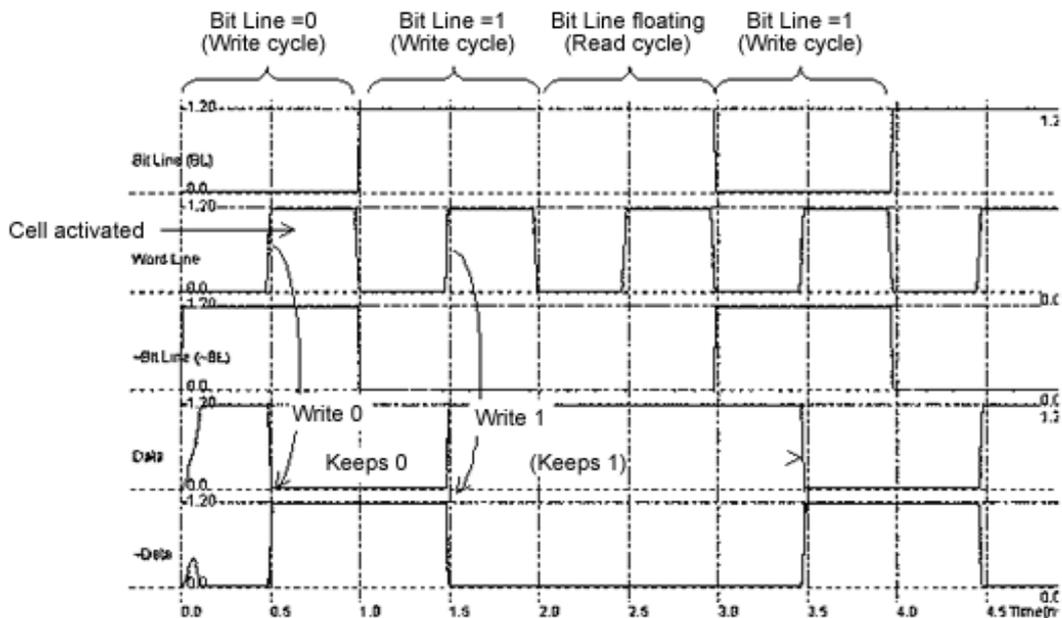


Рис. 2.39. Цикл записи для ячейки static RAM (RamStatic6T.MSK)

2.5. Пример 64 Bit Static RAM

Схемы выбора ряда (строки) матрицы памяти. Схема выбора ряда декодирует адрес ряда и активирует один единственный ряд. Этот ряд определяется сигналами «all word line» ряда. Эта схема основывается на схеме мультиплексора. В этом случае только одна шина будет выделена, в то время как все остальные шины будут равны нулю (рис. 2.40).

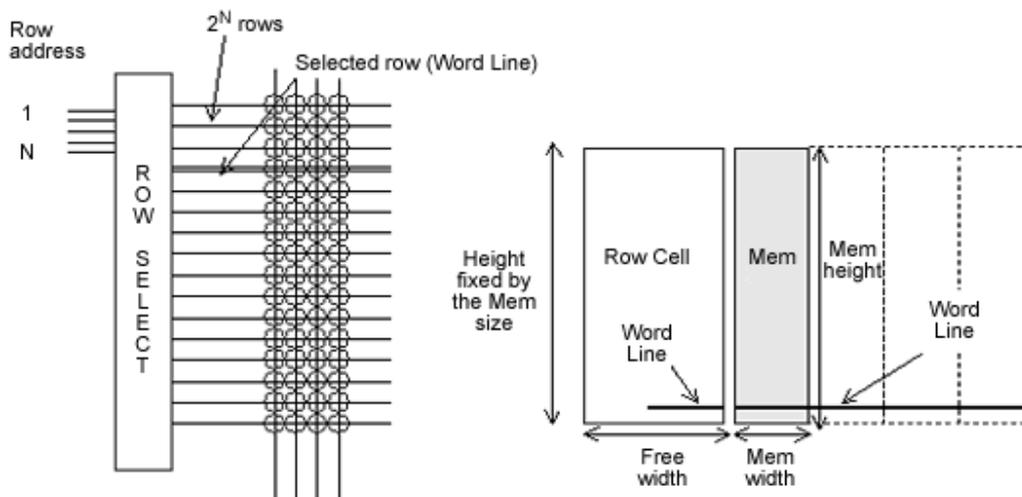


Рис. 2.40. Схема выбора ряда в матрице

В схеме выбора ряда для 16x4 матрицы памяти необходимо декодировать двухбитовый адрес. Простейшим решением является использование схемы «AND». На рис. 2.41 представлены варианты схем для 2-до-4 и 3-до-8 декодеров. В случае очень большого числа адресных шин, декодер разделяется на суб-декодеры, которые сокращают число адресных шин.

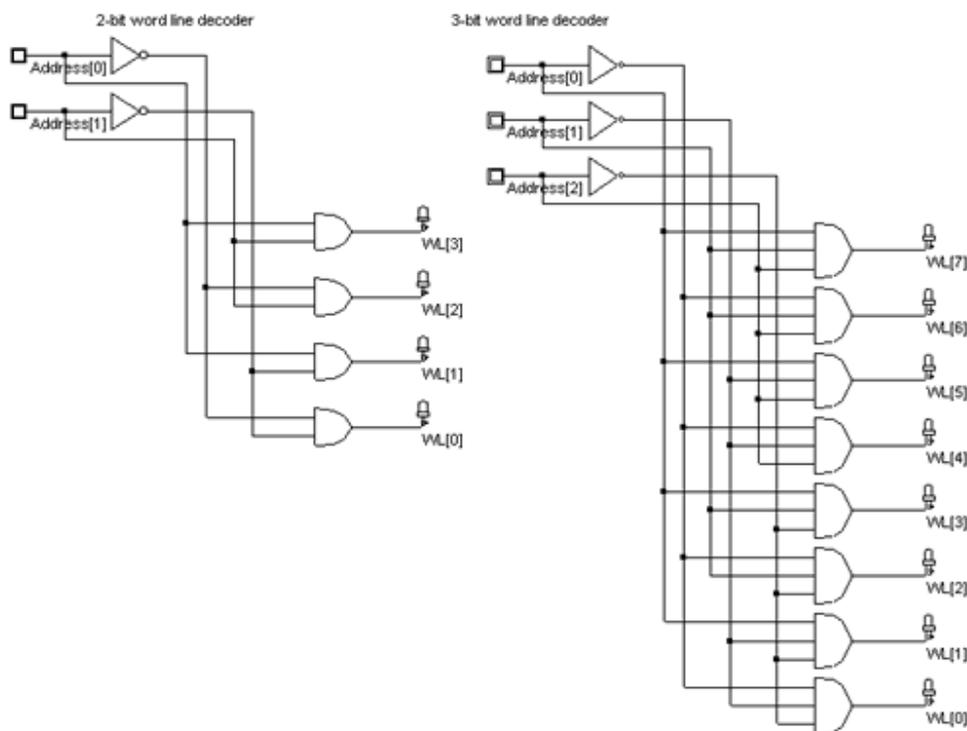


Рис. 2.41. Схема выбора ряда для 2- и 3-битовой конфигурации (RamWordLine.SCH)

На рис. 2.42 представлен 6-битовый декодер, который построен на основе двух каскадов 3-битовых декодеров. Общее число 64 шин реализуется на основе такой схемы. Для упрощения не все шины здесь показаны.

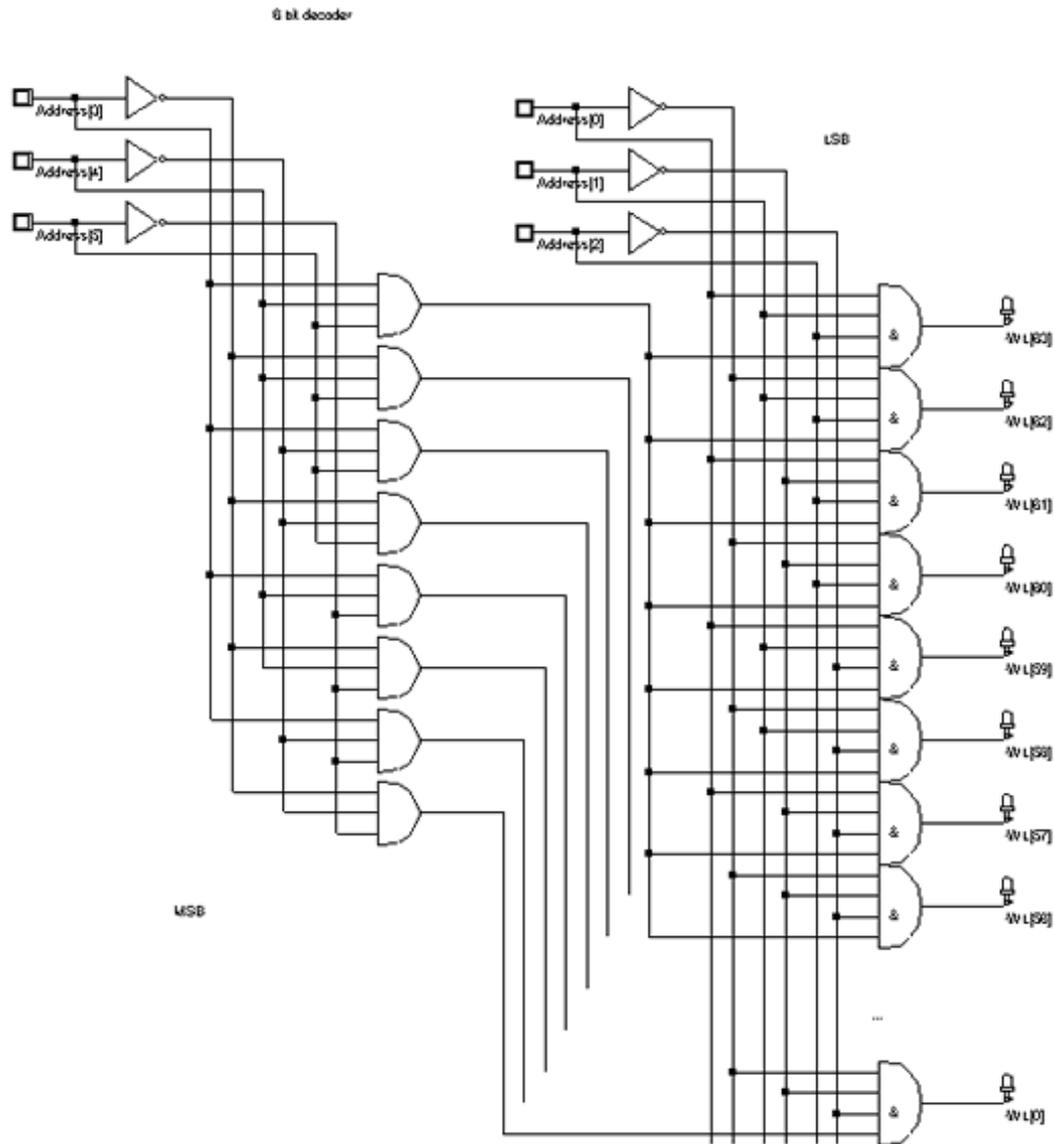


Рис. 2.42. Схема 6-битовой селекции ряда, используя группы по 3 бита

Схема выбора ряда нагружена очень значительной емкостью, которая является суммой *Word Bit* каждой элементарной ячейкой памяти. Кроме того, схема AND спроектирована используя NAND транзистор, который следует за значительным буфером для согласования (рис. 2.43).

Buffering the word line

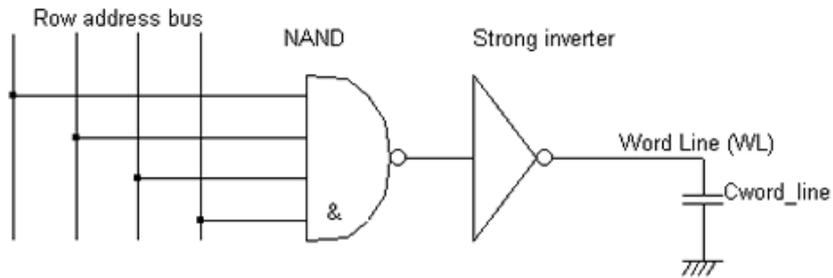


Рис. 2.43. Согласование шины word line

Элементы топологии схемы выбора ряда имеют регулярную структуру, поэтому в программном обеспечении имеются специальные команды для повторения ячеек и схем выбора (рис. 2.44).

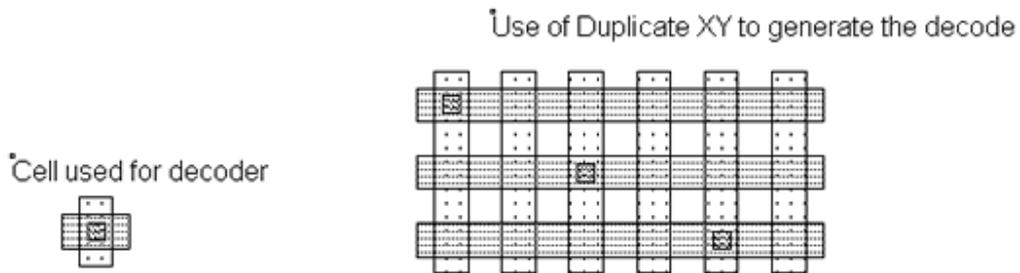


Рис. 2.44. Генерация матрицы контактов, используя команды повторения XY

Некоторые аспекты схем декодирования показаны на рис. 2.45.

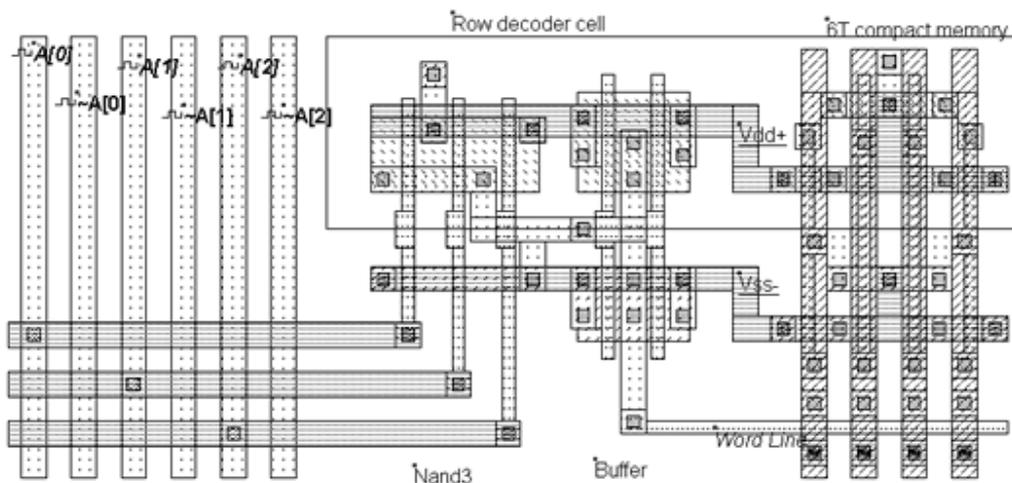


Рис. 2.45. Схема декодирования и ее связь с матрицей памяти

Схемы выбора столбцов. Декодер столбца выбирает какой-то столбец матрицы памяти для чтения содержимого выбранной ячейки (рис. 2.46) или модифицирует ее содержание. Используются те же принципы, что и в схемах выбора ряда. Основное отличие в том, что данные передаются в обоих направлениях: или из ячейки памяти к *DataOut* (цикл чтения), или из *DataIn* к ячейке (цикл записи).

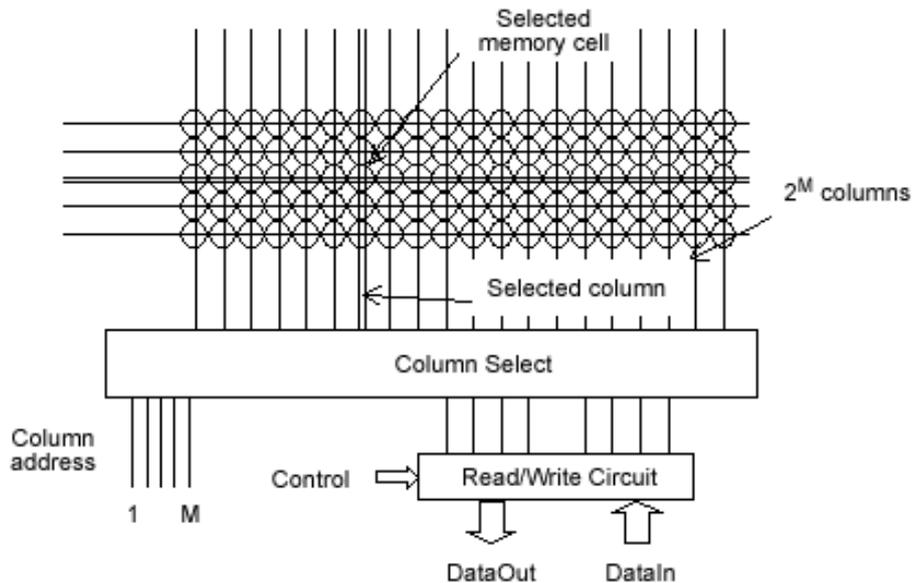


Рис. 2.46. Принципы работы схемы выбора столбца

На рис. 2.47 представлена архитектура схемы выбора на базе n-канальных MOS транзисторов [15]. Здесь представлены 4 столбца ячеек памяти, которые требуют 2 адресных сигнала: *Address_Col[0]* и *Address_Col[1]*. Транзистор используется как ключ, управляющий выбором столбца. Когда транзистор nMOS включен и шина *Write* активизирована, то сигнал *DataIn* усиливается буфером, передается от нижнего до верхнего ряда и достигает памяти через шины *BL* и $\sim BL$. Если шина *Write* отключена, то 3-режимный инвертор будет в состоянии высокого импеданса, что позволяет ему прочесть информацию из шины *DataOut*.

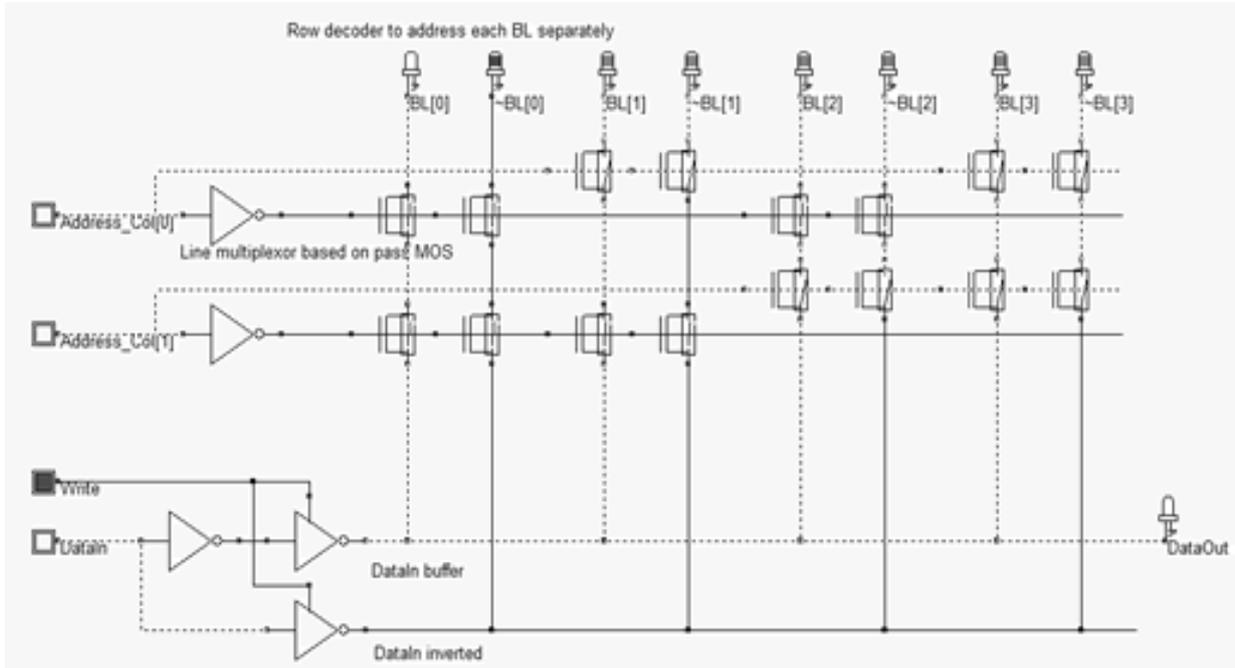


Рис. 2.47. Схемы выбора ряда чтения/записи (RamColumn.SCH)

Во многих случаях сигналы *DataIn* и *DataOut* имеют большую разрядность, обычно 8 или 16 бит. На схеме рис. 2.48, шины *DataIn* и *DataOut* имеют 2 разряда. Только одна адресная шина *Address_Col[0]* требуется для выбора необходимого столбца. С позиций топологии nMOS транзисторы должны иметь узкую ширину в ячейках памяти. Транзисторы включения (pass transistors) должны проектироваться с большей шириной.

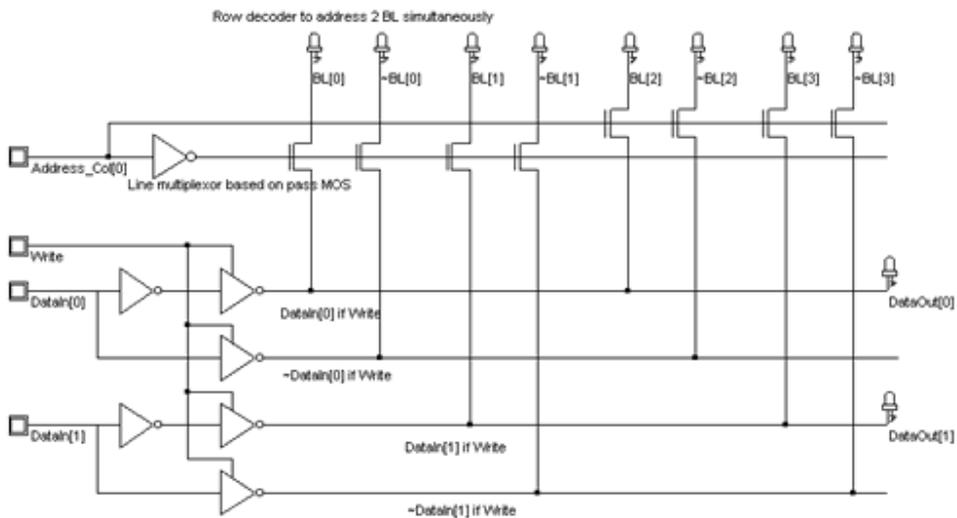


Рис. 2.48. Схемы выбора ряда и чтения/записи при 2-битовых сигналах DataIn и DataOut

Полная 64 бит память SRAM. Интерфейс 64 бит SRAM памяти показан на рис. 2.49. Память организуется в виде слов по 4 бит, так как *DataIn* и *DataOut* имеют 4 разряда. Каждые данные $D0..D15$ используют 4 ячейки памяти в массиве. Четыре адресные шины необходимы для декодирования одного адреса из 16. Используются две адресные шины $A0$ и $A1$ для шин $WL[0]..WL[3]$ и две адресные шины $A2$ и $A3$ для выбора битовой шины. Окончательная топология 64 бит static RAM представлена на рис. 2.50 [24].

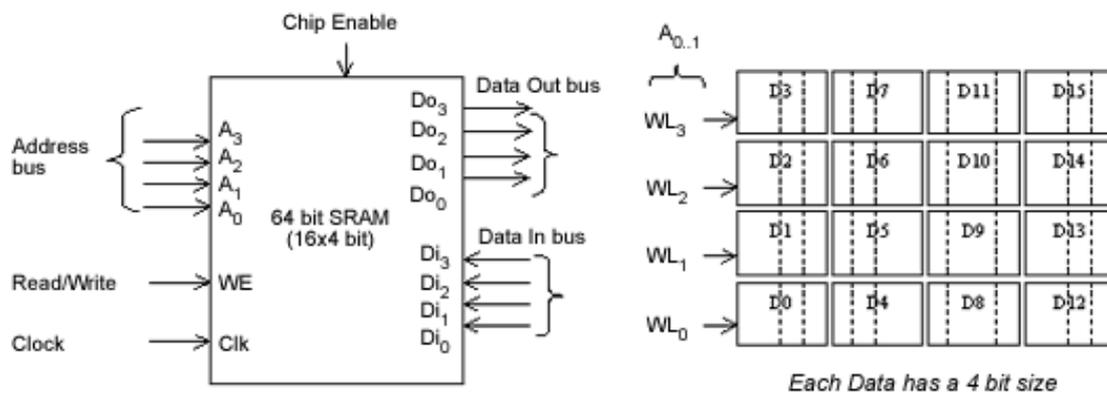


Рис. 2.49. Архитектура 64 бит RAM (RAM64.MSK)

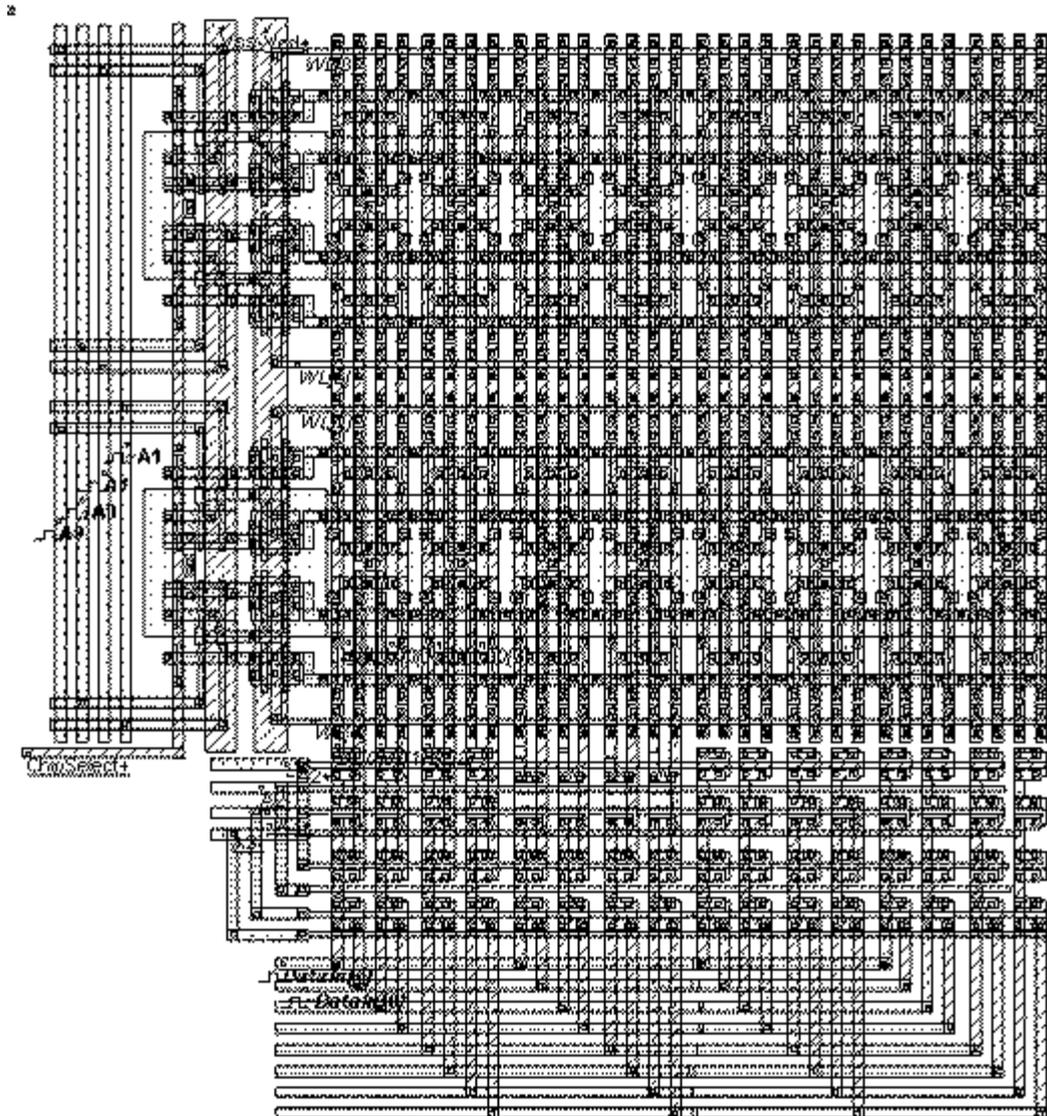


Рис. 2.50. Топология всей схемы RAM (RAM64.MSK)

Схема сохранения (Precharge Circuit). Сохранение операций чтения и записи требует модификации массива памяти и временных последовательностей, основанное на специальных схемах сохранения (precharge circuit). Обычное напряжение сохранения (precharge) равно $VDD/2$. Перед чтением или записью в память битовая шина (BL и $\sim BL$) сравнивается с $VDD/2$, используя соответствующий транзистор (pass), как ключ. Во время чтения значения шин BL и $\sim BL$ изменяются от $VDD/2$ (рис. 2.51) и достигают "1" и "0" уровням за короткое время. Так как ячейки SRAM базируются на активных приборах (два инвертора), то SRAM память обычно обеспечивает очень быстрое время доступа при чтении/записи [24].

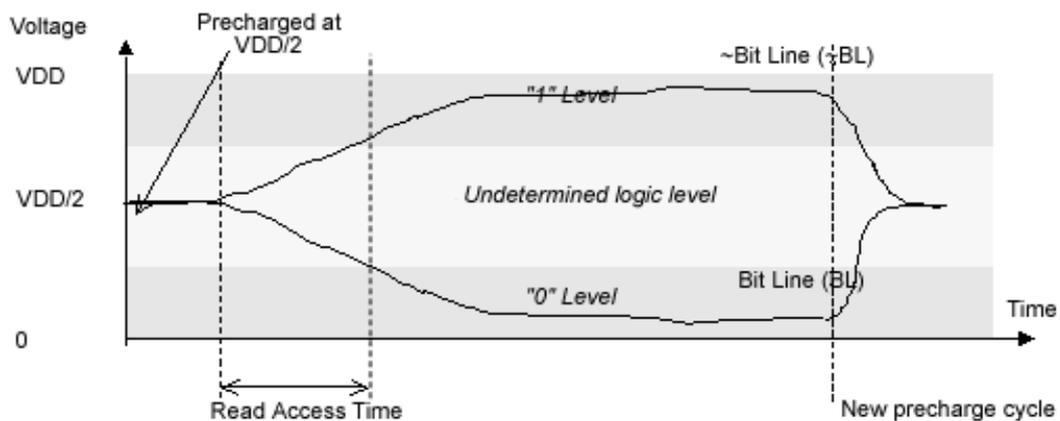


Рис. 2.51. Цикл операции чтения, используя схему сохранения

Простейшая схема сохранения состоит из n-канального MOS или p-канального MOS транзистора (оба переключают напряжение $V_{DD}/2$ без резкого уменьшения). Сток соединяется с $V_{DD}/2$, исток к битовой шине (рис. 2.52).

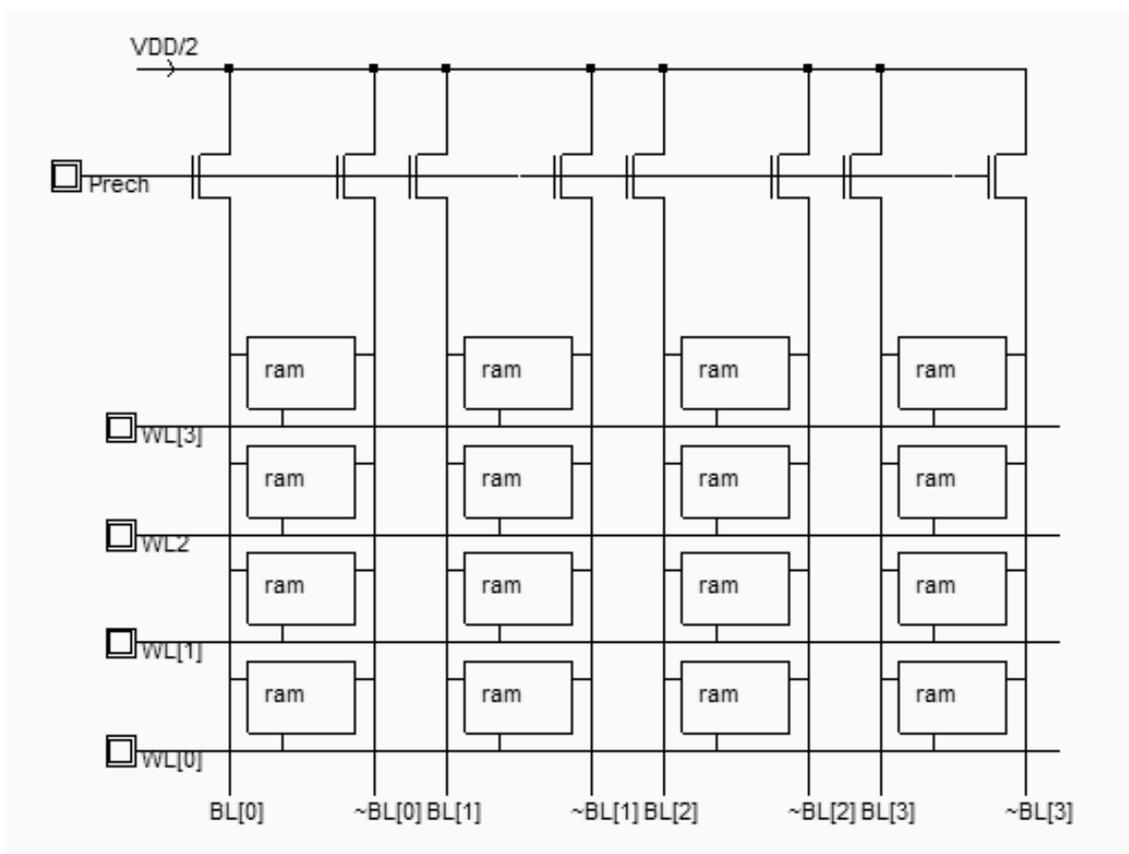


Рис. 2.52. Соединение схемы сохранения со всеми битовыми шинами

Аналоговый усилитель. Для дальнейшего увеличения скорости процесса чтения используется аналоговый усилитель. В этом случае, даже очень маленькая разность быстро конвертируется в логический уровень без всякого ожидания пока BL и $\sim BL$ достигнут финального напряжения (рис. 2.53).

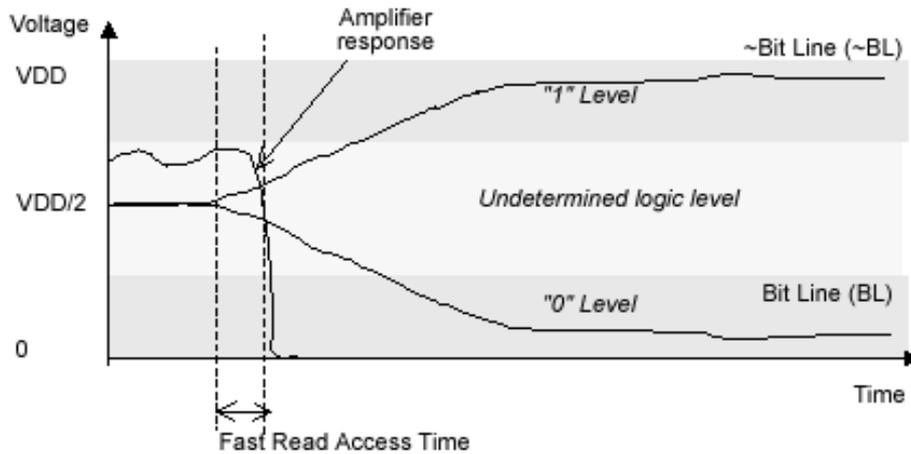


Рис. 2.53. Получение более быстрого времени доступа с помощью схемы сохранения

Два типа операционных усилителей используются в таких схемах (рис. 2.54).

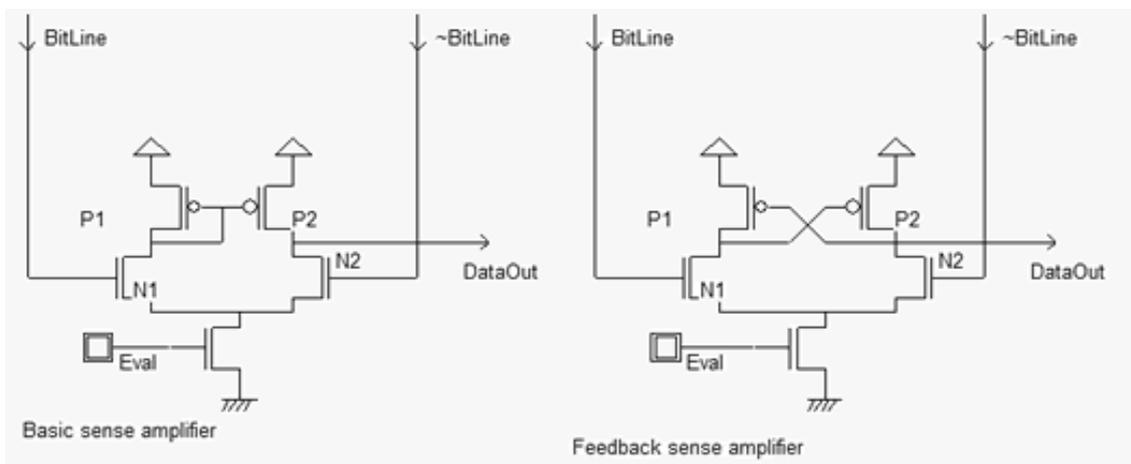


Рис. 2.54. Использование операционных усилителей для сокращения времени чтения

Полная схема, включая контроль чтения/записи, схему сохранения и аналоговый усилитель приведена на рис. 2.55.

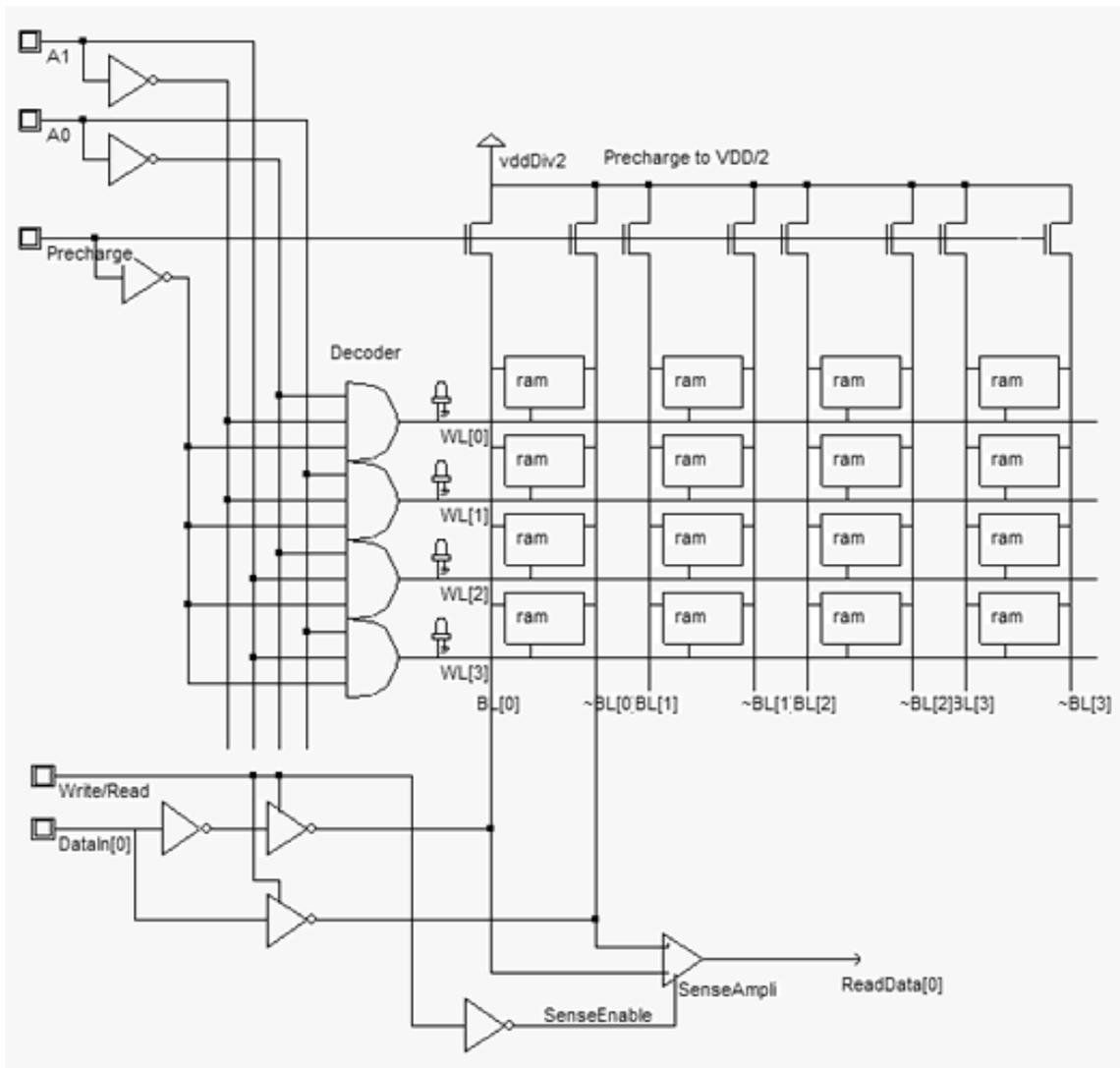


Рис. 2.55. Полная схема чтения/записи

На рис. 2.56 приведена топология, включающая только часть 64 бит RAM и управляющую логику. Паразитная нагрузка, соответствующая 1Mb реализации, добавлена к вертикальной битовой шине, используя виртуальную емкость в 0.3 пФ.

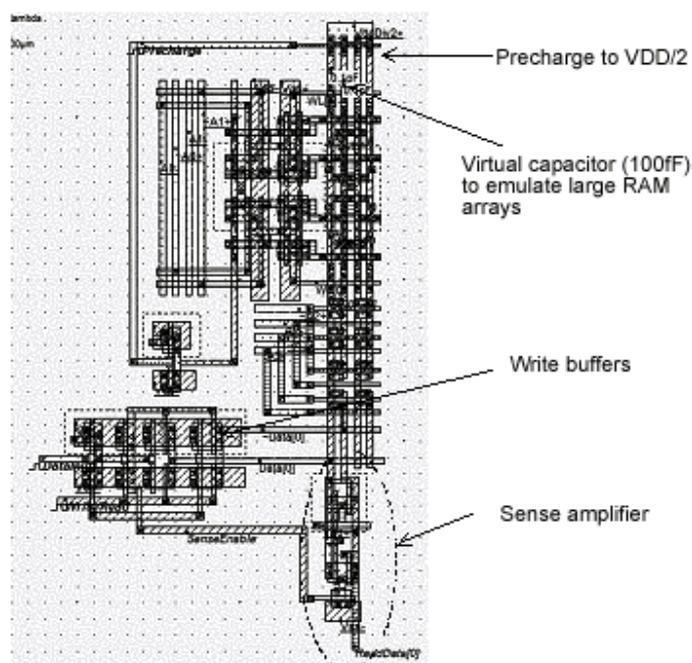


Рис. 2.56. Топология части RAM памяти

2.6. Динамическая (DRAM) память

Память DRAM имеет только один транзистор, что почти на порядок уменьшает плотность матрицы памяти. В качестве элемента памяти здесь используется конденсатор C_s , который называется емкость памяти (storage capacitor). Архитектура ячейки DRAM приведена на рис. 2.57 [15, 25].

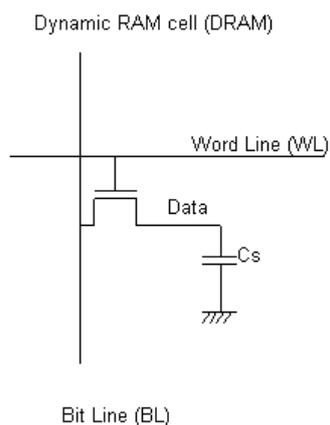


Рис. 2.57. Ячейка памяти на одном транзисторе

Операция записи и сохранения для "1" показана на рис. 2.58. Здесь данные представлены на битовой шине, шина WL затем активизируется и C_s заряжается. Так

как pass-транзистор является n-типа, то аналоговое значение напряжения достигает $V_{DD}-V_t$. Когда шина WL не активизирована, конденсатор памяти C_s удерживает значение "1".

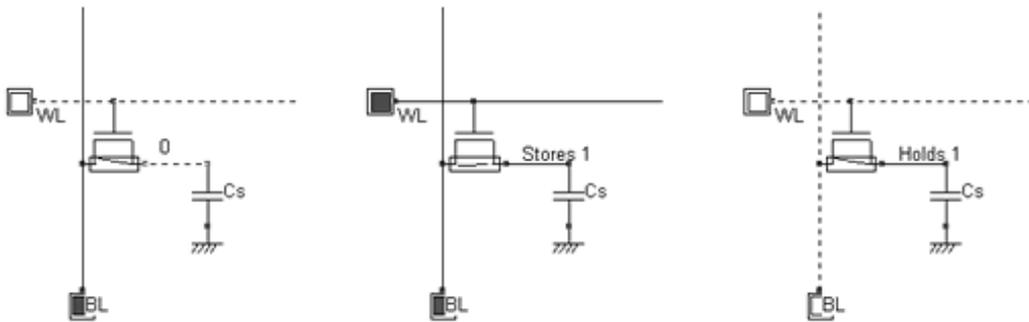


Рис. 2.58. Операция записи при схеме на 1 транзисторе для dynamic RAM

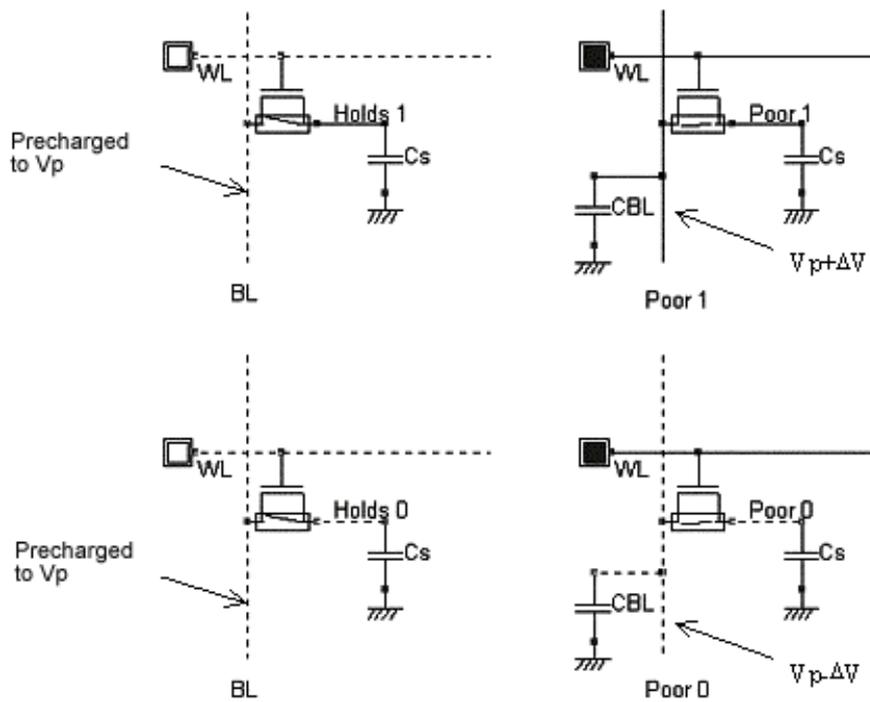


Рис. 2.59. Цикл чтения ячейки dynamic RAM на одном транзисторе (RAM1T.SCH)

Цикл чтения разрушает сохраняемую информацию. Предположим (рис. 2.59), что C_s сохраняет 1. Битовая шина предварительно задана напряжением V_p (обычно около $V_{DD}/2$). Когда WL активизирована, то связь устанавливается между битовой шиной, нагруженной емкостью C_{BL} , и памятью, нагруженной C_s . Заряд

распределяется между этими узлами, и как результат небольшое увеличение напряжения V_p на величину ΔV , благодаря инжекции некоторого заряда из памяти. Теперь, если C_s будет удерживать нуль, то активация WL приведет к небольшому уменьшению напряжения до $V_p - \Delta V$. В итоге, напряжение на битовой шине $V_p + \Delta V$ говорит о том, что состояние памяти было 1, напряжение $V_p - \Delta V$ говорит о том, что состояние памяти было 0. Говоря слово «было» мы отмечаем, что информация разрушается циклом чтения. Таким образом, память DRAM конвертирует $\pm \Delta V$ в 1/0.

Ячейка DRAM памяти. Ячейка для DRAM памяти должна быть очень малых размеров, но в то же время должна иметь хорошие возможности для хранения информации в емкости C_s . Первая идея состоит в использовании паразитной барьерной емкости (рис. 2.60) в качестве C_s . Поликремневый затвор соединяется со всеми шинами WL этого ряда, а металлизированное соединение связано со всеми битовыми шинами этого столбца. Емкость C_s равна примерно 0,1 фФ для 0.12 мкм технологии [15].

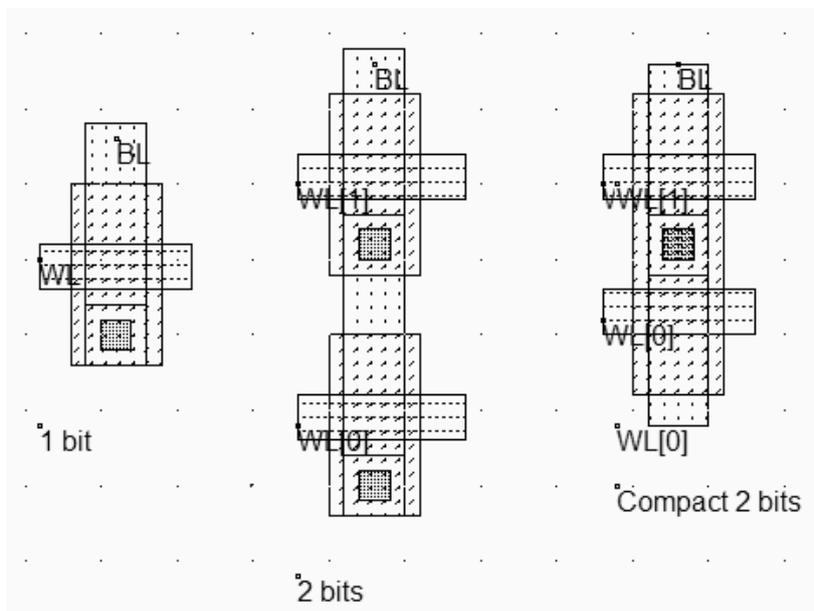


Рис. 2.60. DRAM память, используя паразитную емкость перехода

Для этого решения существуют две проблемы: первая, емкость очень мала, вторая, существует ток утечки между C_s и битовой шиной. Следовательно, информация в памяти может сохраняться не более 1 микросекунды, рис. 2.61 демонстрирует это.

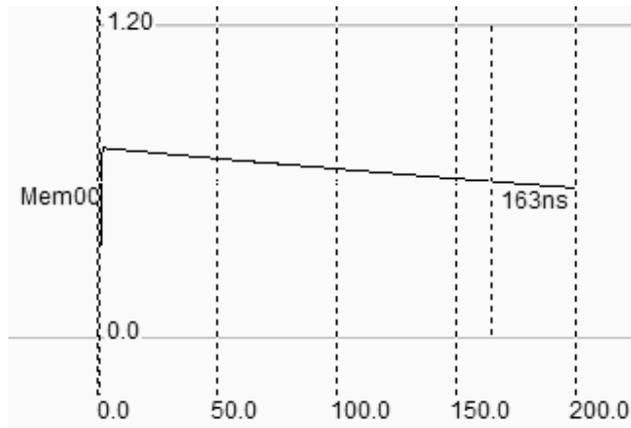


Рис. 2.61. Ток утечки емкости в dynamic RAM

Ток утечки может быть уменьшен применением MOS транзистора с малым током утечки, но такие транзисторы имеют большую длину канала, хотя это позволяет на два-три порядка улучшить свойства. Коммерческие DRAM памяти используют емкость от 10фФ до 50фФ. Это достигается специальными технологическими приемами, где создается специальная «stacked» емкость (рис. 2.62).

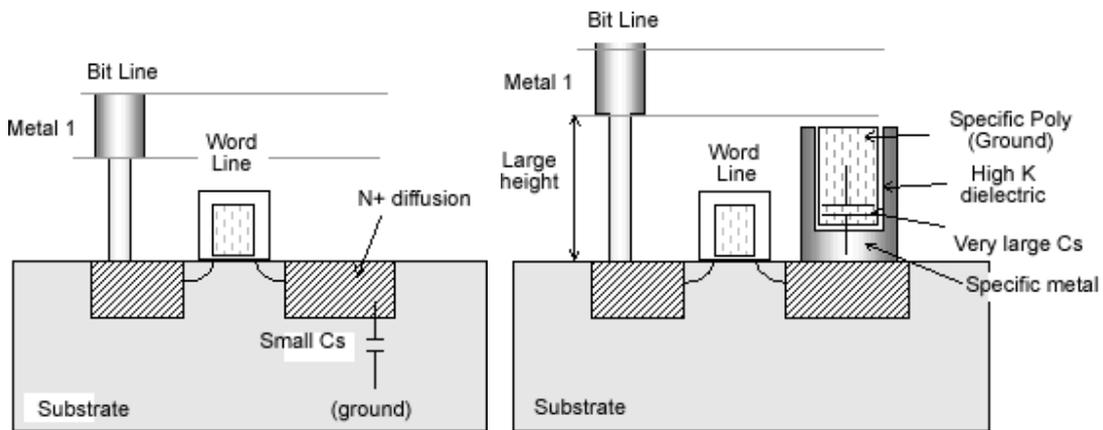


Рис. 2.62. Увеличение емкости (слева – емкость перехода, справа – встроенная емкость)

Недостатком этого подхода является необходимость дополнительных технологических операций для построения 3D емкости и удорожание на 25% по сравнению с базовыми операциями.

Сечение DRAM емкости представлено на рис. 2.63. Битовая шина соединена с *metal2*, и соединяется с ячейкой через *metal1* и диффузионный контакт. Шина *WL* подключена к поликремневому затвору. «Storage» конденсатор выполнен в виде сэндвича из проводящих материалов, соединенных с диффузией, и тонких оксидных пленок. В этом решении значение емкости порядка 20фФ.

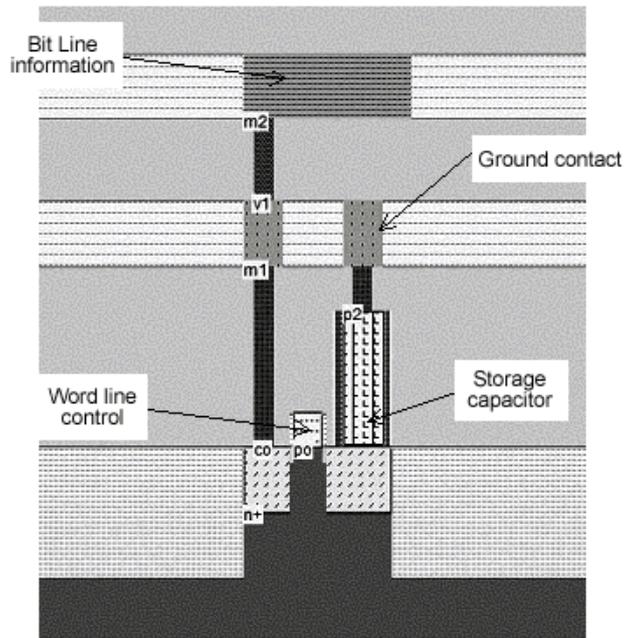


Рис. 2.63. Сечение ячейки DRAM

На рис. 2.64 представлен топология и сечение матрицы DRAM памяти.

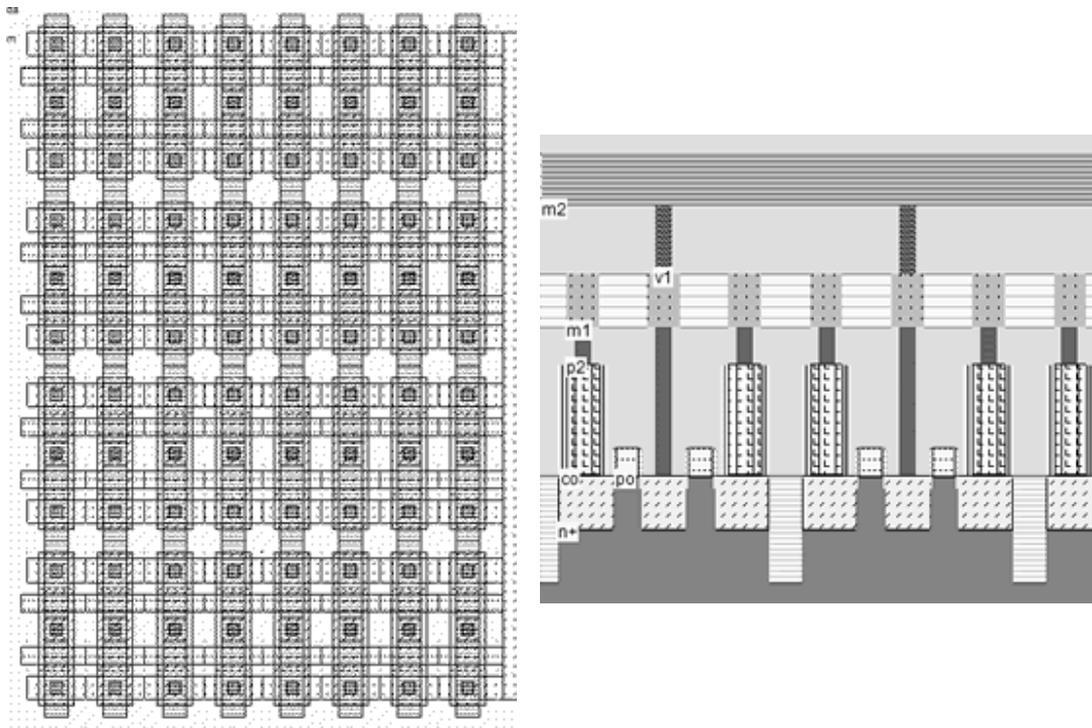


Рис. 2.64. Топология и сечение матрицы (DramEdram.MSK)

2.7. Память ROM

Наиболее простая, не зависящая от напряжения память, состоит из топологии, в которой данные одновременно записанные через специальные топологические возможности, не могут затем быть изменены пользователем после изготовления. Пояснения работы данной схемы приведены на рис. 2.67. Транзистор n-MOS работает как ключ, имея состояние "1", когда цепь замкнута, и состояние "0" для разомкнутой цепи. Логическое программирование заданной конфигурации схемы (1 или 0) определяется как часть процесса изготовления. Память ROM используется строго для сохранения микропроцессорных программ. Размер ROM памяти обычно невелик по сравнению с другими видами встроенной памяти, так как содержимое не может меняться [25].

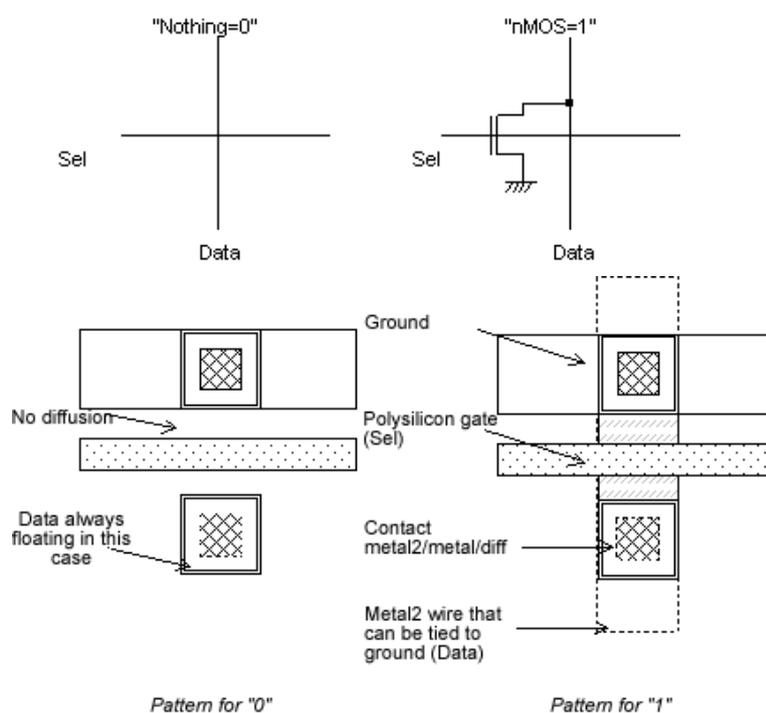


Рис. 2.67. Изменение состояния памяти используя слой диффузии

Архитектура ROM памяти, представленная на рис. 2.68 построена на базе схем NOR. Верхние PMOS транзисторы соединены вертикальными битовыми шинами с питанием VDD. В зависимости от адреса высокое напряжение прикладывается через одну из шин WL (WL[1] в данном примере), все остальные шины имеют низкий потенциал. Выбранная шина WL приводит все запрограммированные транзисторы в состояние включено (1), с значением напряжения VSS, в то время как битовые шины с незапрограммированными транзисторами будут иметь высокое напряжение. Инверторы, занимающие малую

часть матрицы ROM памяти, используются для восстановления или инвертирования информации битовых шин.

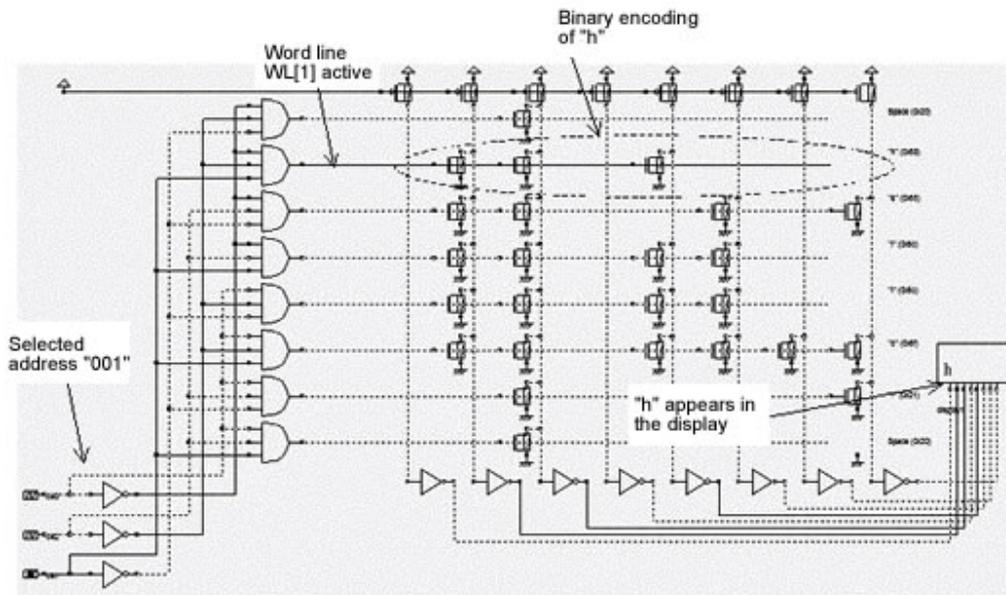


Рис. 2.68. Представление информации в памяти ROM

Особенности топологии. Базовая ячейка представлена на рис 2.69. Транзистор в левой части ("1") дает низкое сопротивление между битовой шиной и корпусом, в то время как шина WL – высокое. Топология, соответствующая "0", это уже не транзистор, так как слой диффузии удален. Данная ячейка может быть легко дублирована по координатам X и Y программным путем.

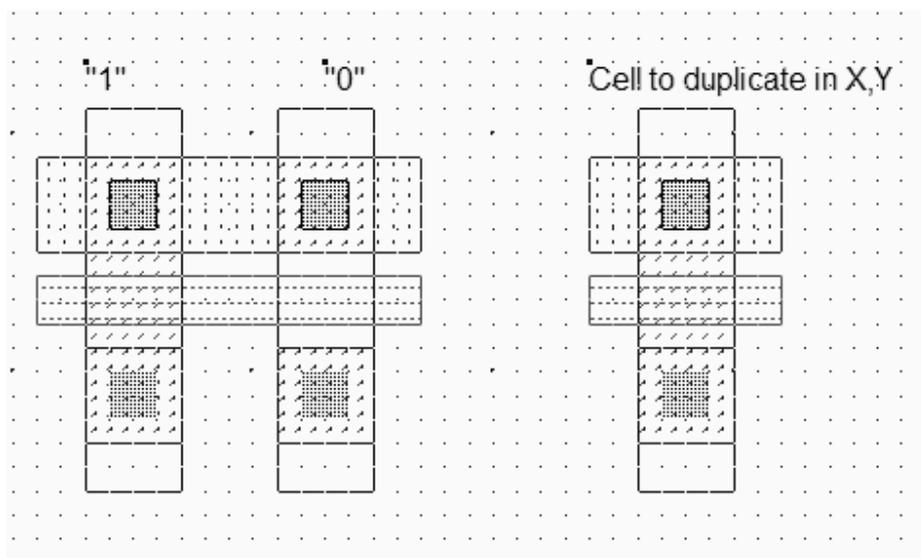


Рис. 2.69. Базовые топологии ячейки ROM памяти

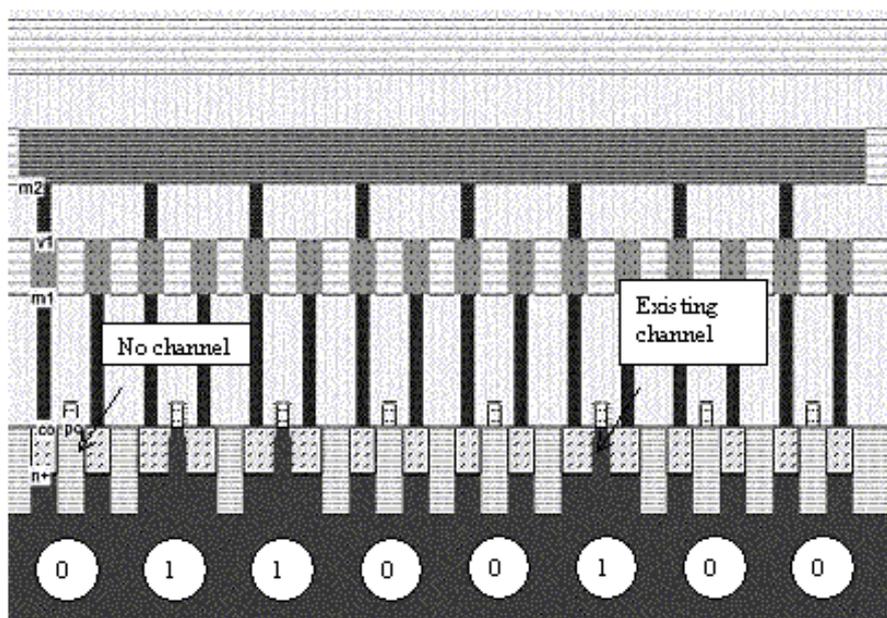


Рис. 2.70. Сечение ROM памяти

На рис. 2.70 приведено сечение, где заметны элементы диффузионного программирования. Если канал не создан, то память ячейки равна нулю, если канал существует, то память ячейки равна единице.

2.8. EEPROM память

Двухзатворные MOS транзисторы. Базовым элементом EEPROM (Electrically Erasable PROM) памяти является транзистор с плавающим затвором. Эта концепция была предложена ранее для EPROM (Erasable PROM). В основе лежит возможность задерживания электронов в изолированном поликремневом слое, расположенном между каналом и управляемым затвором. За счет этого управляется напряжение отсечки прибора с двойным затвором. Когда заряд не присутствует в плавающем затворе (рис. 2.71, верхняя часть), напряжение отсечки невелико, что дает возможность протеканию значительного тока между истоком и стоком транзистора, при условии подачи высокого напряжения на затвор. Однако, канал получается небольшим по сравнению с обычным MOS транзистором, и ток в 3 - 5 раз ниже, чем в канале такого же размера [11].

Когда заряд присутствует в плавающем затворе (рис. 2.71, нижняя часть), напряжение отсечки велико, и практически нет тока в приборе, независимо от напряжения на затворе. Но для данной технологии существует проблема: рассасывание заряда со временем. Типичный срок гарантии сохранения данных в EEPROM памяти 10 лет.

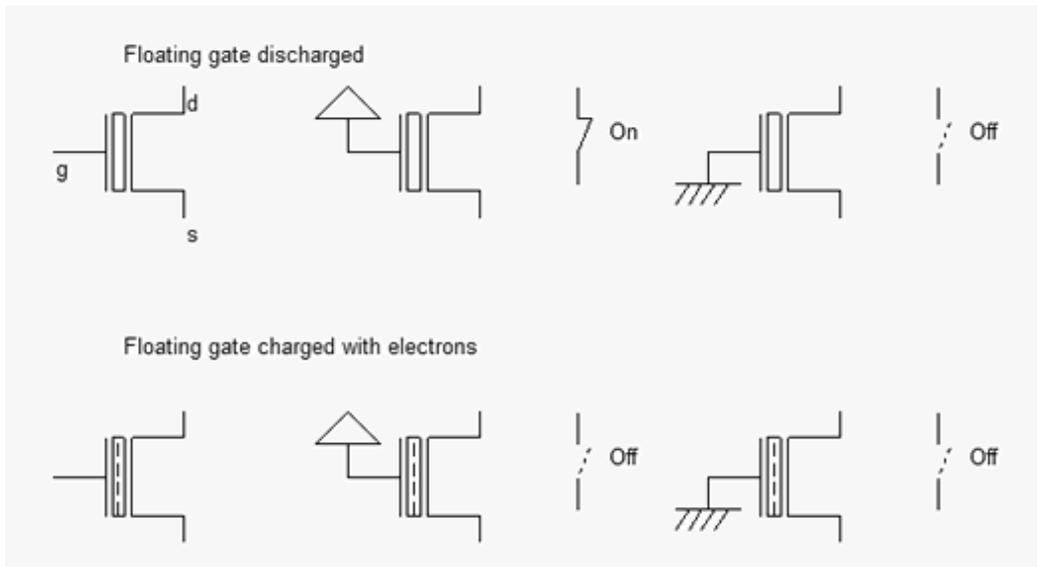


Рис. 2.71. Два состояния двухзатворного транзистора (EepromExplain.SCH)

Топология транзистора с двойным затвором. Структура топологии очень похожа на n-канальный MOS, за исключением того, что появляется *poly2* слой поверх поликремния (рис. 2.72).

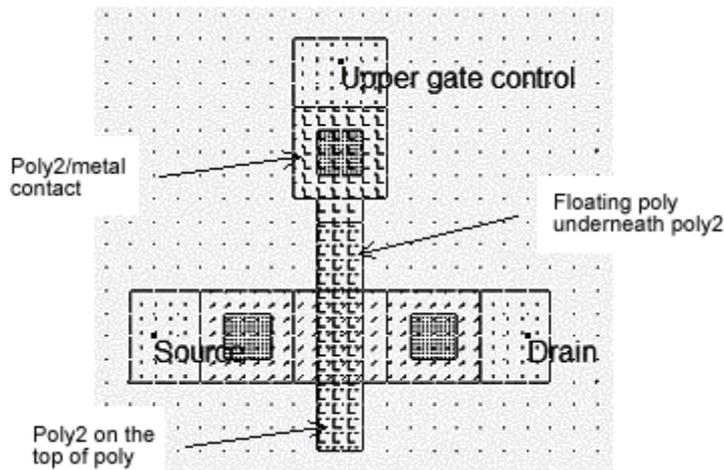


Рис. 2.72. Транзистор с двумя затворами (Eeprom.MSK)

Сечение транзистора приведено на рис. 2.73 и указывает на надстройку в виде *poly/poly2* структуры, разделенные тонкой пленкой оксида.

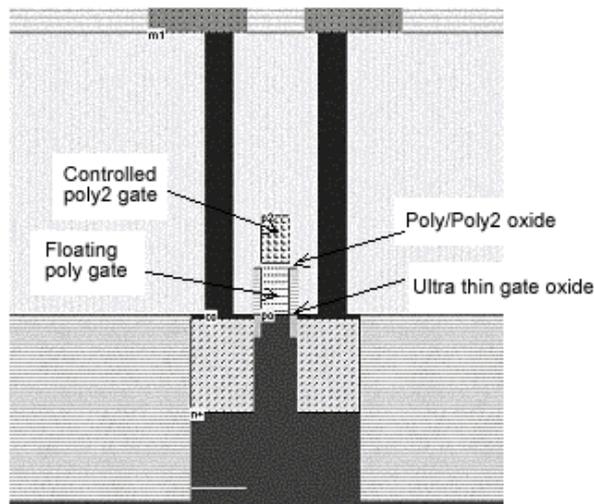
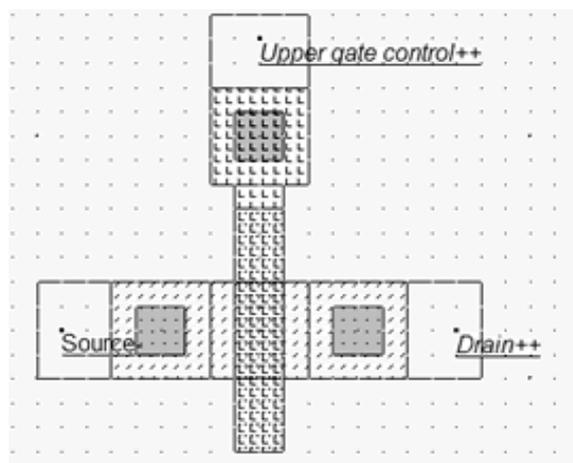


Рис. 2.73. Сечение двухзатворного транзистора (Еером.MSK)

Заряд (программирование) транзистора с двойным затвором.

Программирование транзистора заключается в переносе электронов из истока в плавающий затвор через пленку оксида (рис. 2.74). Высокое напряжение на стоке (3В), необходимое для переноса части электронов повышает температуру, и электроны становятся «горячими» ("hot"), очень высокое напряжение на управляемом затворе позволяет этим горячим электронам попасть в плавающий затвор через ультра-тонкую оксидную пленку. Высокое напряжение варьируется от 7В до 12В, завися от технологии. Символы "++" обозначают повышенное напряжение.



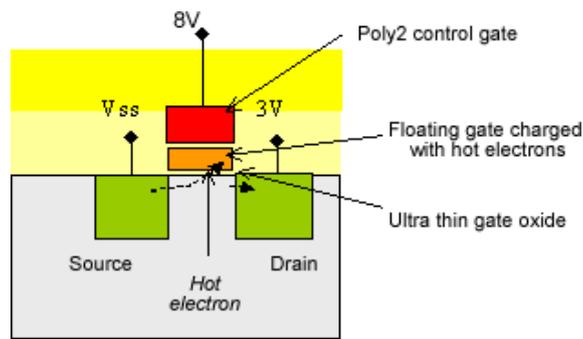


Рис. 2.74. Заряд «горячими» электронами

Разряд (перепрограммирование) транзистора. Плавающий затвор может быть разряжен (перепрограммирован) ультрафиолетом (УФ) или электрическим стиранием. Процесс УФ-стирания очень длительный, но после этого напряжение отсечки возвращается в свое низкое значение (рис. 2.75).

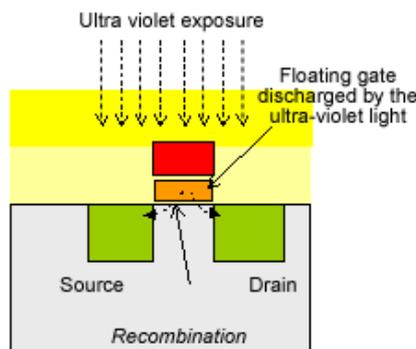


Рис. 2.75. Разряд (перепрограммирование) транзистора

Для электрического стирания poly2-затвор заземляется и высокое напряжение (примерно 8В) прикладывается к истоку. За счет высокого электрического поля электроны покидают плавающий затвор на основе туннельного эффекта (рис. 2.76).

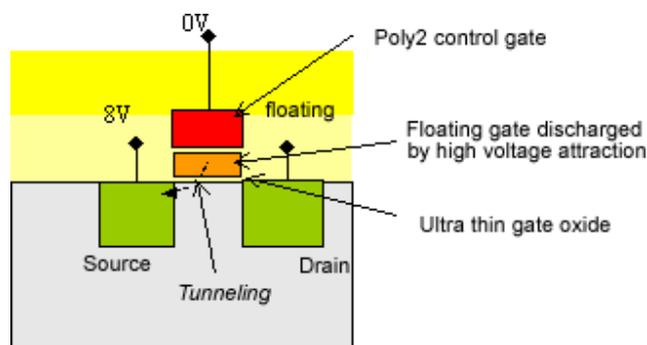


Рис. 2.76. Электрическое перепрограммирование

2.8. Flash память

Flash-память является разновидностью EEPROM памяти. Flash матрица может быть программирована электрически бит за битом, но очищается только по блокам. Flash память базируется на одном двойном poly-MOS приборе без какого-либо транзистора выбора (рис. 2.77). Это упрощает проектирование, получается более компактная топология. Flash память наиболее часто используется в микроконтроллерах для хранения прикладного кода программ, что дает преимущества независимости от питания, возможность реконфигурирования и изменения кода много раз.

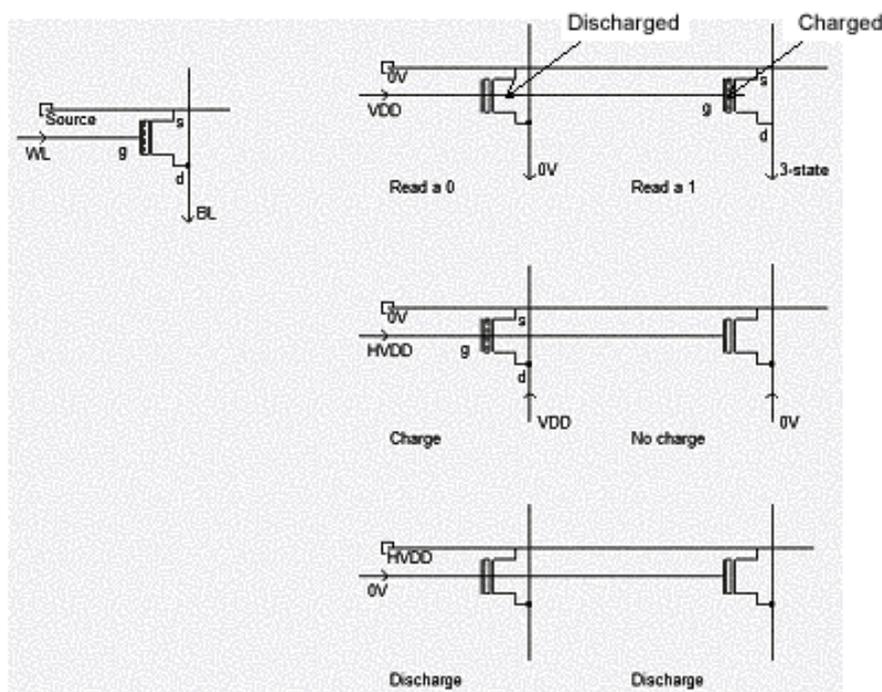


Рис. 2.77. Flash память и принципы заряда/разряда (FlashMemory.SCH)

Предполагая, что плавающий затвор может быть заряжен или разряжен, операция чтения состоит из подачи напряжения VDD на управляющий затвор и заземлении истока (WL). Битовая шина устанавливает 0, если затвор разряжен или устанавливается уровень высокого импеданса, если затвор заряжен. Режим заряда выбирается в зависимости от прикладываемой информации на вертикальной битовой шине: напряжение VDD запускает инжекцию заряда, в то время как значение VSS блокирует эффект горячих электронов. Процесс заряда требует очень высокого напряжения (high voltage) $HVDD$ на управляющем затворе. Разряд

является общим для всех транзисторов с двойным затвором и выполняется, как только будет приложено $HVDD$ к истоку. Это основное отличие от ячеек EEPROM.

Топология Flash памяти. В топологии уменьшены размеры истока для оптимизации туннельного эффекта. Горизонтальный слой polysilicon2 является битовой шиной, вертикальный слой metal2 является шиной WL, которая соединяет все стоки вместе. Горизонтальная шина metal соединяет все истоки. Это наиболее широко используемые на практике правила проектирования для достижения более компактного решения. В случае рис. 2.78 размер слоя poly сокращен с 3λ до 2λ . На рис. 2.79 приведен пример 8x8 бит Flash памяти.

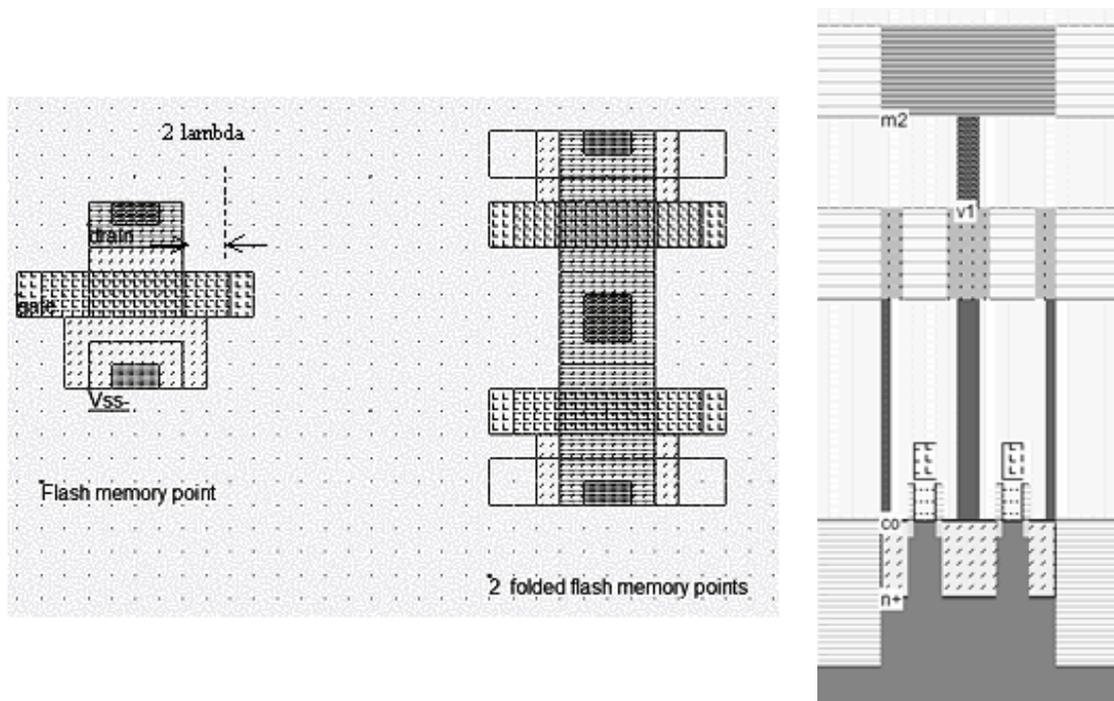


Рис. 2.78. Топология и сечение flash памяти (Flash8x8.MSK)

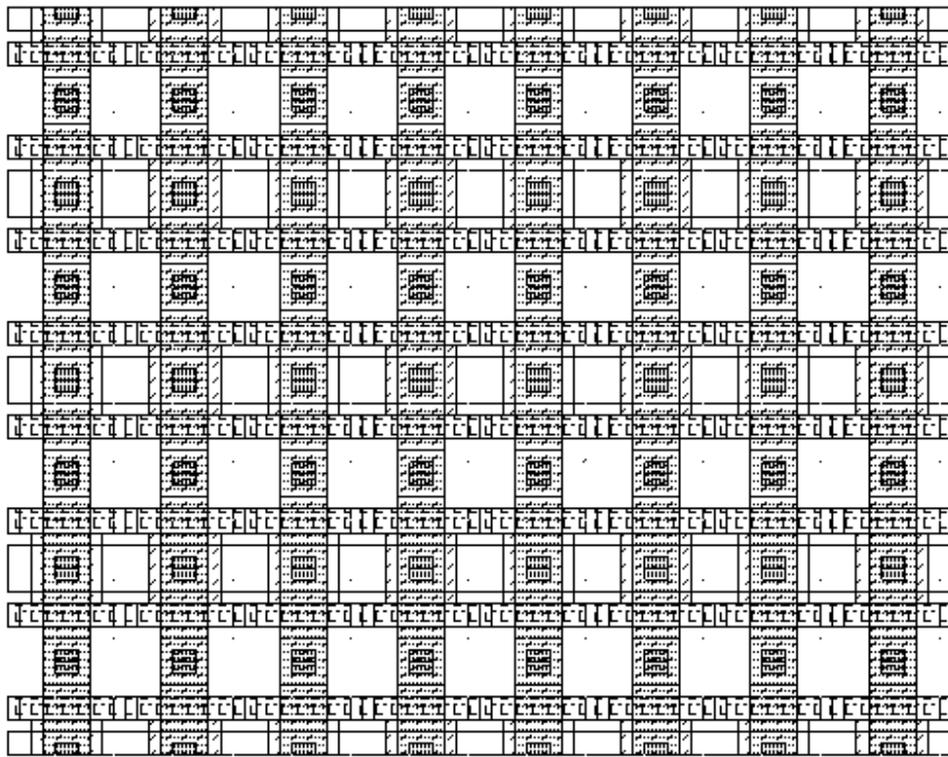


Рис. 2.79. Матрица flash памяти из 8x8 ячеек

Ферроэлектрическая RAM (FRAM) память. FRAM-память является одной из перспективнейших для Flash памяти. FRAM память полностью соответствует DRAM, отличие в том, что FRAM память основана на двух состояниях ферроэлектрического изолятора (рис. 2.80), а DRAM – на кремниевом диоксидном конденсаторе. Мегабитная FRAM уже доступна как отдельный продукт в настоящее время. Однако, FRAM-встраиваемая память изготавливается только начиная с 90 мкм CMOS технологии [15].

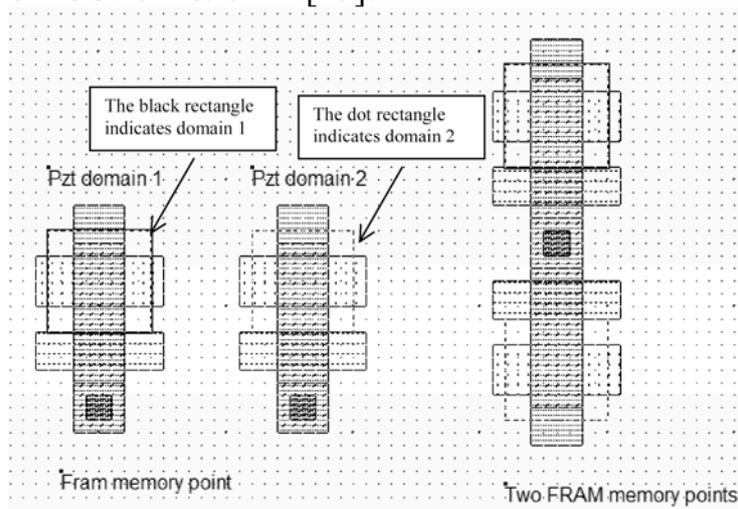


Рис. 2.80. Две области FRAM памяти (FramCell.MSK)

Сечение (рис. 2.81) показывает ферроэлектрический кристалл, изготовленный из сложного сочетания «compound of lead, zirconium and titanium (PZT). Химическая формулировка PZT есть $PbZr_{1-x}Ti_xO_3$.

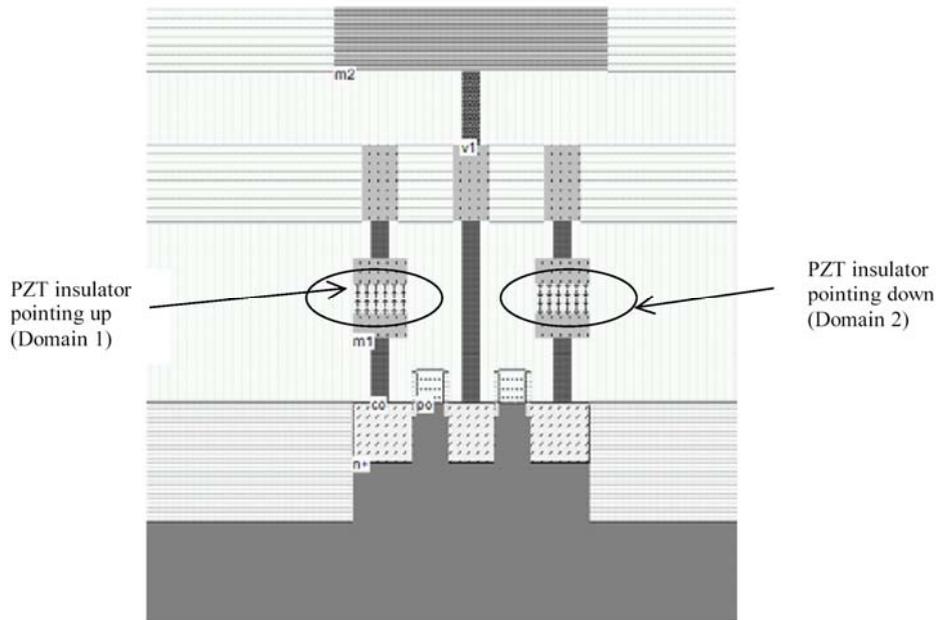


Рис. 2.81. Сечение *FRAM* памяти (*FramCell.MSK*)

Молекулярная структура $PbTiO_3$ дана на рис. 2.82. Она эквивалентна кубу, где каждые восемь углов есть атомы lead (Pb). В центре куба атом titanium, который относится к IVb классу элементов, с атомами oxygen на концах. Два устойчивых состояния молекулы приведены на петле гистерезиса рис. 2.83.

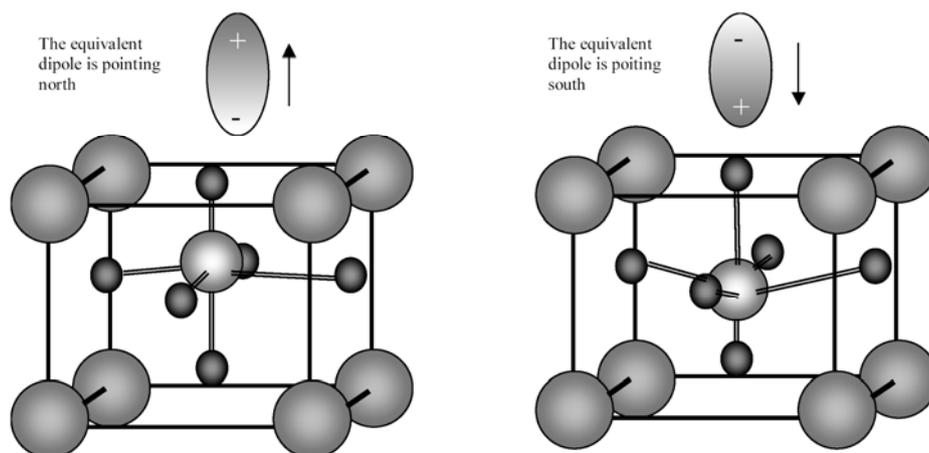


Рис. 2.82. Два устойчивых состояния *FRAM* памяти

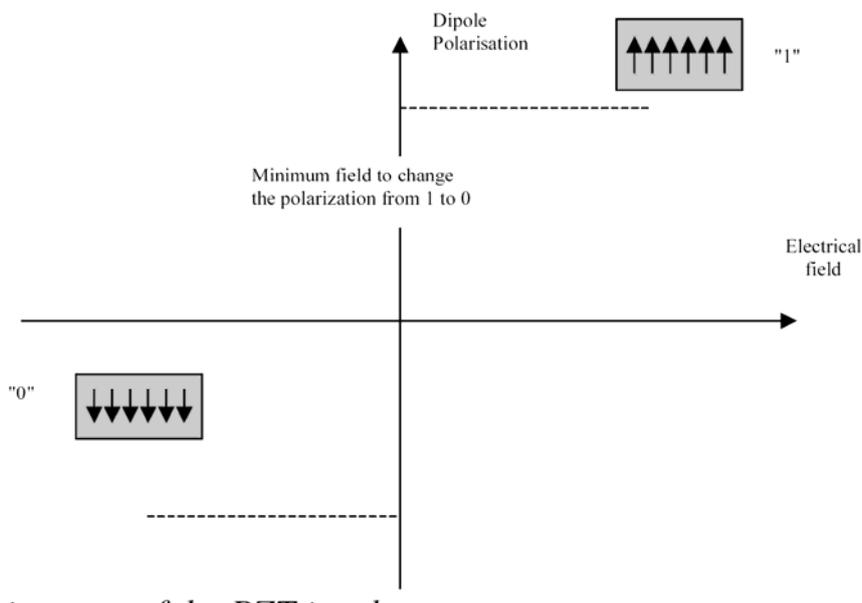


Рис. 2.83. Гистерезисная кривая для PZT

Цикл записи “1” состоит в прикладывании большого положительного скачка потенциала, который ориентирует диполи на север, а для “0” – в прикладывании отрицательного скачка напряжения, который ориентирует диполи на юг. Для чтения информации электрическое поле прикладывается к PZT конденсатору, через импульс напряжения. Если электрическое поле ориентируется в противоположном направлении элементарного диполя и достаточно сильно, то ориентация внутреннего атома изменится, что создаст значительный ток, который усиливается и рассматривается как “1”. Если электрическое поле ориентировано в том же направлении, что и элементарный диполь, то только небольшой импульс тока появится, то это рассматривается как “0”.

2.9. Классификация

Некоторые суммарные характеристики встроенных в технологию CMOS элементов памяти приведены в таблице 2.2. Емкость памяти дает преимущества для ROM, EPROM, EEPROM и Flash памяти, что прямо зависит от площади ячейки. Параметры чтения/записи варьируются очень значительно, как и время утечки (старения). DRAM является медленной, но очень компактной. SRAM является быстрой, но больших размеров. Чтение информации из пассивной емкости, как в DRAM, намного медленнее, чем чтение из памяти на активных инверторах, как в SRAM. FLASH память сочетает малую площадь, приемлемую скорость чтения и возможности работать без питания, но медленный процесс записи (1 мкс). Многообещающие характеристики дают FRAM.

Таблица 2.2

Сравнительные характеристики различных типов памяти

Тип памяти	Типичная емкость	Размеры ячейки	Чтение	Запись	Циклы	Старение	Сложность процесса	Высокое напряжение
ROM	32Mb	Very small	Medium	Impossible	0	No limit	0	no
EPROM	16Mb	Very small	Slow	Extremely slow	1-10	>30 YEARS	3	yes
E ² PROM	1Mb	Large	Slow	Very slow	1E5-1E7	>10 YEARS	4	no
FLASH	16Mb	Very small	Medium	Very slow	1E4-1E5	>10 YEARS	4	yes
FRAM	4Mb	Small	Fast	Fast	1E12-1E15	>10 YEARS	2	no
eDRAM	32Mb	Small	Slow	Fast	>1E15	Volatile, needs to refresh	8	no
SRAM	4Mb	Large	Very fast	Very fast	>1E15	Volatile	0	no

Интерфейсы микросхем памяти. Все входы и выходы микросхем памяти RAM синхронизируются циклами синхросигнала последовательно, при этом не может быть больше одного слова записано или прочитано. Типичная временная диаграмма приведена на рис. 2.84. Для одной операции чтения необходимо 3 системных сигнала (на примере рис. 2.84). Выбор адреса строки активизируется на первом сигнале, затем выполняется выбор адреса столбца. Данные передаются в конце третьего сигнала.

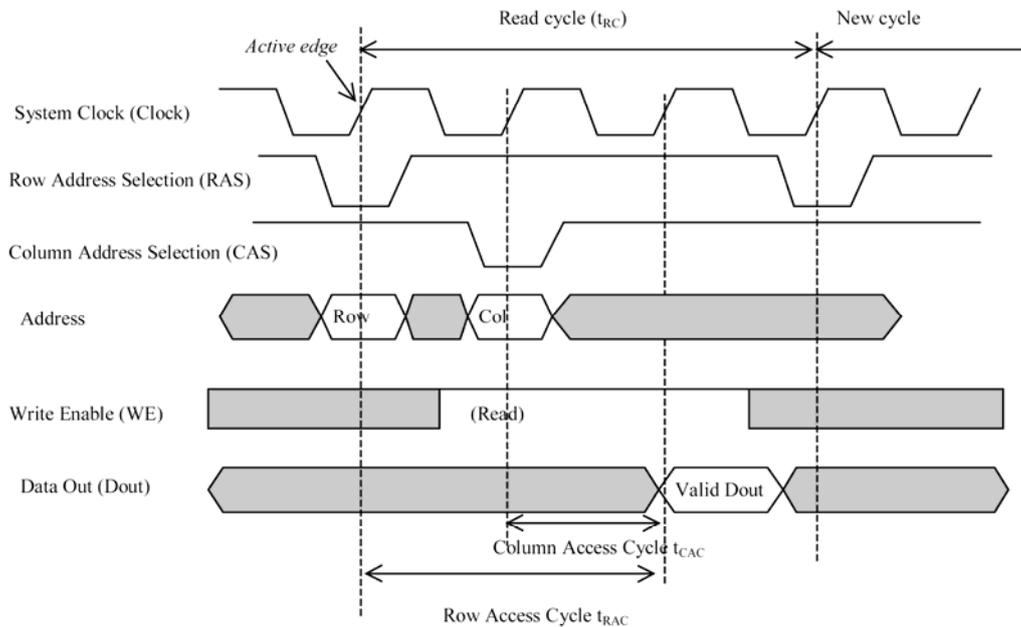


Рис. 2.84. Временная диаграмма синхронизации

2.10. Элементы Ввода/Вывода микросхем

Элементы Ввода/Вывода (ВВ) обеспечивают связь между интегральной микросхемой (ИМС) и внешним миром (рис. 2.85), играет важную роль импорта и экспорта сигналов и напряжений питания [15, 24].

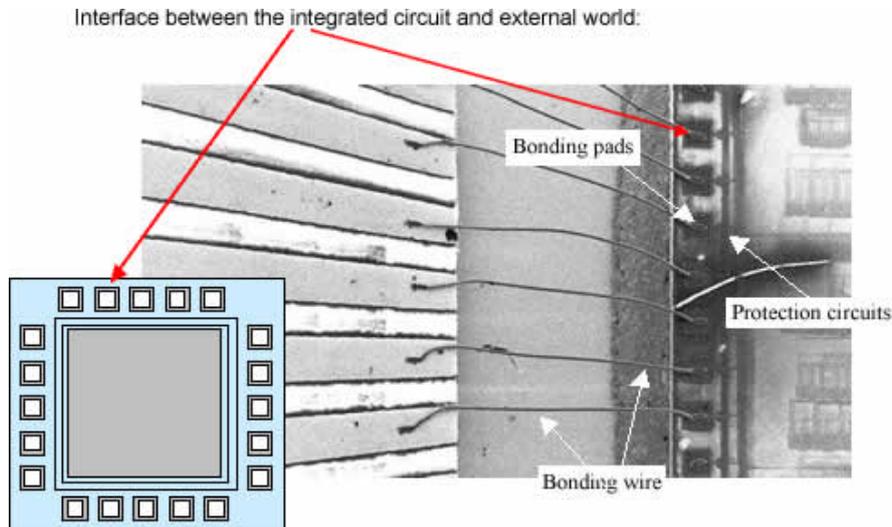


Рис. 2.85. Элементы ввода/вывода ИМС

Разъемы (The Bonding Pad). Разъемы – это интерфейс между внутренним кристаллом и корпусом. Разъемы имеют достаточно большую площадь (можно сказать гигантскую по сравнению с размерами логических ячеек), так как это место где припаиваются проводники для связи с внешними элементами. Размеры разъемов могут быть 80 x 80 мкм или 100 x 100 мкм. Основные правила проектирования разъемов показаны на рис. 2.86.

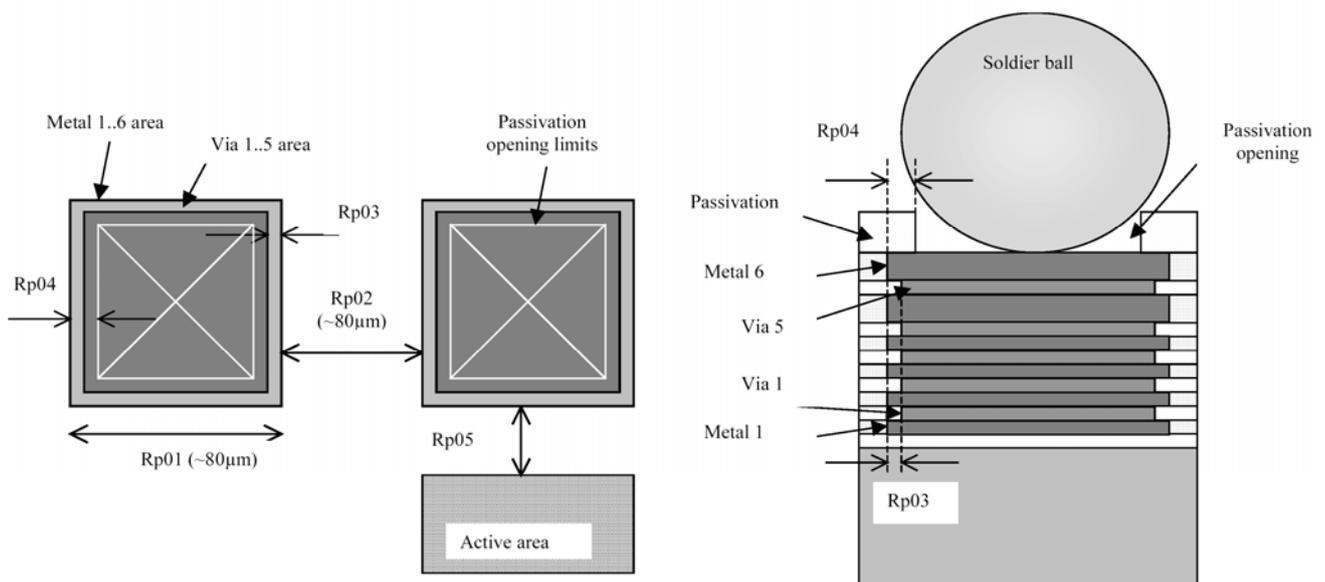


Рис. 2.86. Правила проектирования для разъемов

Разъем (контакт) состоит из сэндвича слоев металлизации. В современных технологиях пассивный оксид удаляется с разъема, так что золоченые проводники для лучшей проводимости могут фиксироваться прямо. Контакт состоит из одного входного каскада и двух предохранительных диодов. Выходной каскад содержит цепочку инверторов. Последний каскад – это инвертор с тремя состояниями.

Питание микросхем. Напряжение питания в зависимости от технологии может быть 5В, 3.3В, 2.5В, 1.8В или 1.2В. Большинство проектов в технологии 0.12 мкм используют 1.2В для питания внутренних цепей и 2.5В для схем интерфейса. Это связано с тем, что основные внутренние логические блоки работают при более низком напряжении для уменьшения мощности потребления, в то время как элементы ВВ работают при более высоком напряжении. Обычно, внутрочиповый преобразователь конвертирует высокое напряжение во внутреннее низкое. Металлический слой не может пропускать неограниченное значение тока. Когда среднее значение плотности тока выше чем 2.109 A/m^2 , то специальные поликристаллы алюминия начинают мигрировать (этот феномен называется электромиграцией). Сложная логика может потреблять Амперы. В этом случае правила проектирования рекомендуют регулярную (grid structure) структуру, как иллюстрировано на рис. 2.87.

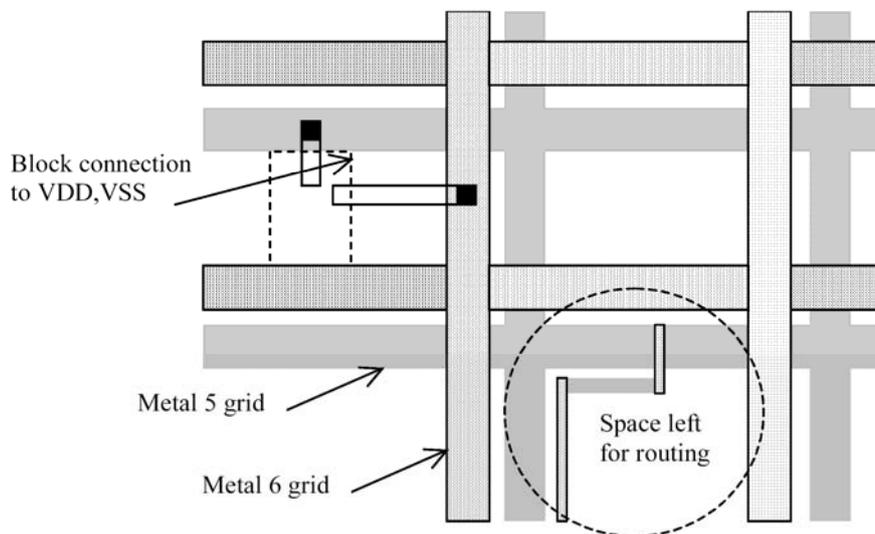


Рис. 2.87. Напряжение питания подается на шины metal5 и metal6 в виде регулярной структуры в виде сетки для обеспечения доступа напряжения питания ко всем областям интегральной схемы

Диффузионный резистор (рис. 2.88) имеет значение от 10 до 500 Ом. Его основная роль – ограничение тока. Диоды используются для ограничения

входного напряжения между $V_{dd} + V_t$ и $V_{ss} - V_t$ и защиты от электростатических зарядов (electro static discharge, ESD), которые могут достигать 5000В!

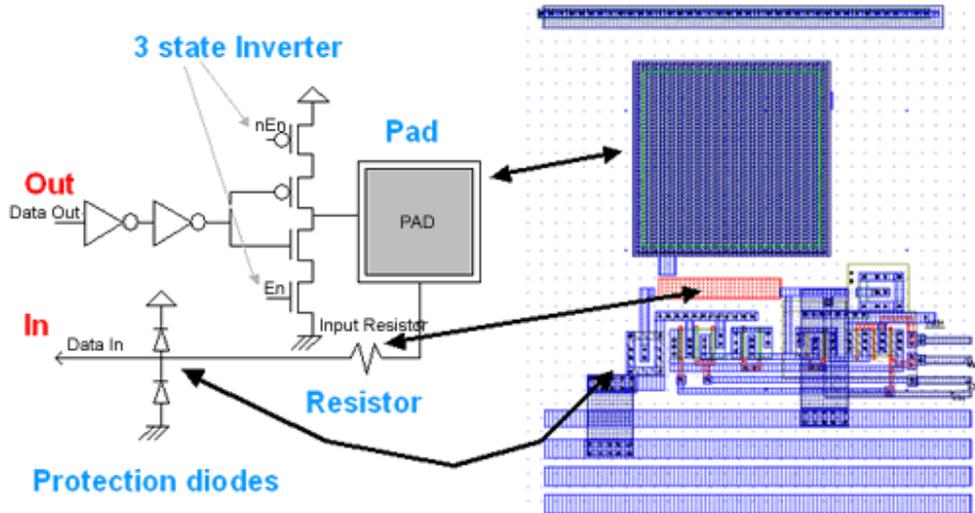


Рис. 2.88. Схема входного разъема

Цифровой выход. Простейший пример выходного разъема приведен на рис. 2.89. Он содержит только n-канальный MOS и p-канальный MOS транзисторы с большой шириной для управления большим током. Более сложный пример (рис. 2.90) имеет три состояния и обеспечивается двумя дополнительными транзисторами: один p-MOS на шину V_{DD} , другой n-MOS на шину «земля». Когда оба транзистора (в качестве ключа) открыты (включены) ($Enable=1$), то разъем работает как нормальный выходной разъем. Когда $enable=0$, разъем изолирует V_{DD} и V_{SS} .

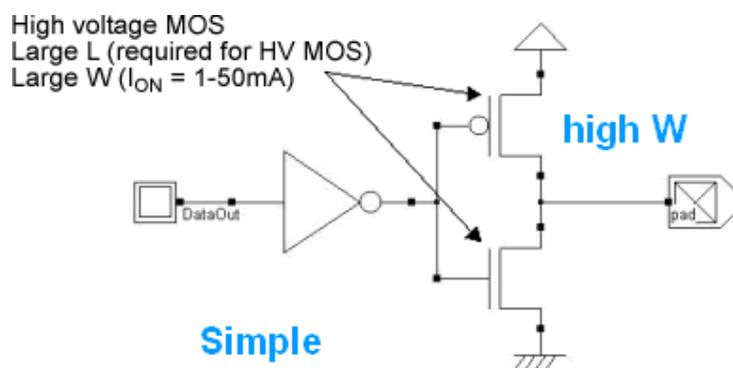


Рис. 2.89. Простейший пример схема выходного разъема

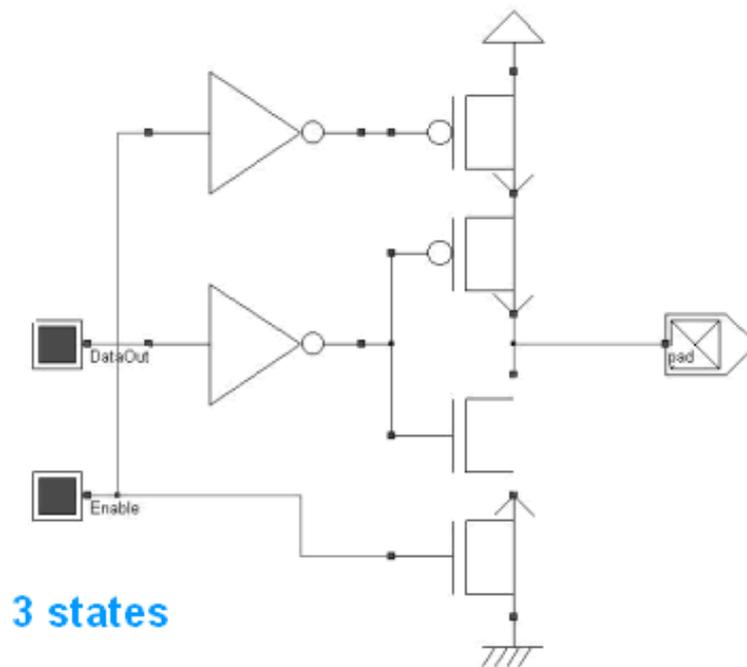


Рис. 2.90. Схема выходного разъема с тремя состояниями

Цифровой вывод с программируемым током. Ток выходного разъема является важным параметром для низковольтных приложений. Ограничивая ток 2мА, мощность падает, но приводит к падению скорости переключений. Когда ток от 2 до 4мА обеспечивается нормальное потребление при высокой скорости переключений, ток в 6мА обеспечивает обработку выходного сигнала быстро и при малом потреблении.

Цифровой выход с pull-up транзистором. Обычно добавление pull-up транзистора приводит к слабой связи с V_{DD} , особенно в случае конфигурации с тремя состояниями (рис. 2.91). Схема pull-up связывает выход с V_{DD} через 10кО эквивалентного сопротивления, что почти в 10 раз больше чем обычный выход MOS-транзистора с R_{on} сопротивлением.

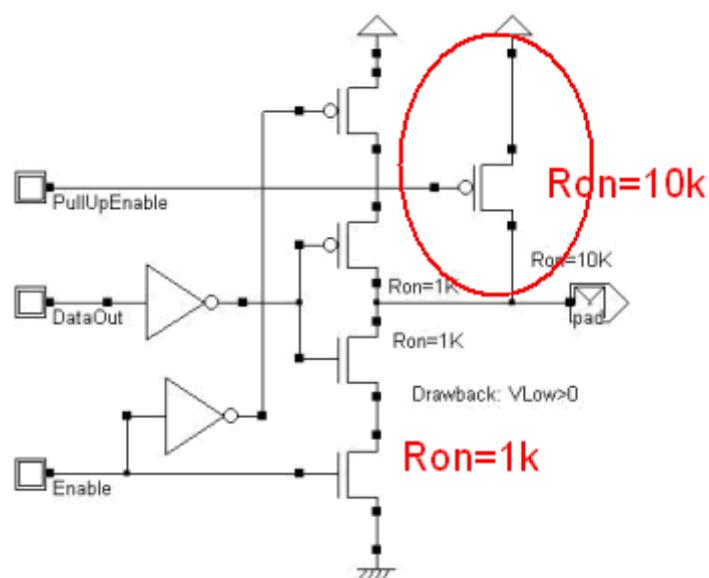


Рис. 2.91. Добавление pull-up транзистора

Аналоговый выход. Имеются специальные разъемы для аналогового выхода. Обычный аналоговый разъем включает широкий класс усилителей, включенных по схеме «voltage follower» (рис. 2.92). Здесь диоды добавлены для ограничения превышения границ напряжения.

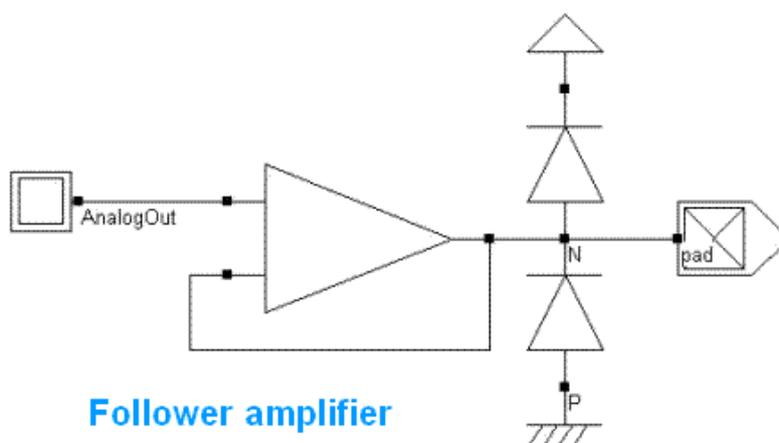


Рис. 2.92. Схема аналогового выхода

Выход для шин управления. Структура, ориентированная на специальные приложения, например для схем автоматики, представлена на рис. 2.93. Такая схема применяется для схем ВВ в сетях Control Area Network (CAN). Здесь несколько специфических возможностей реализовано: дифференциальный выход с двумя состояниями, первый дает CAN-L до 1.5В, второй CAN-H до 3.5В.

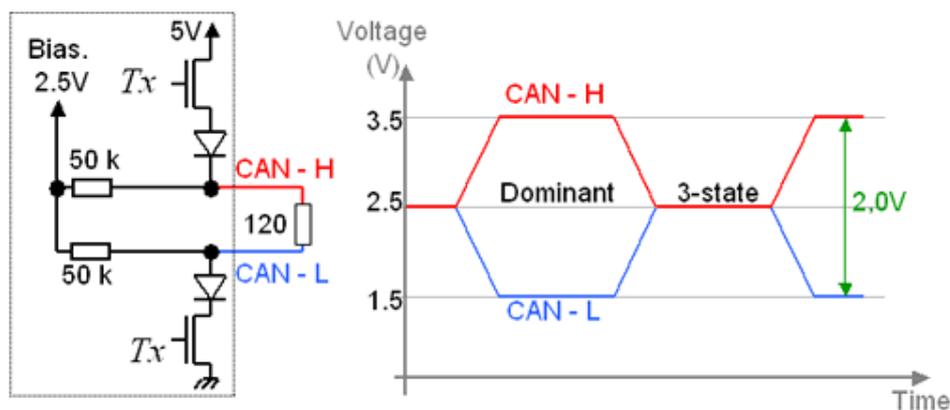


Рис. 2.93. Схема выхода для специальных приложений

Входы. Входные схемы ИМС (рис. 2.94) используют диод Зенера (ограничение по напряжению с обеих сторон) для ограничения электростатического разряда и шунтирующий резистор.

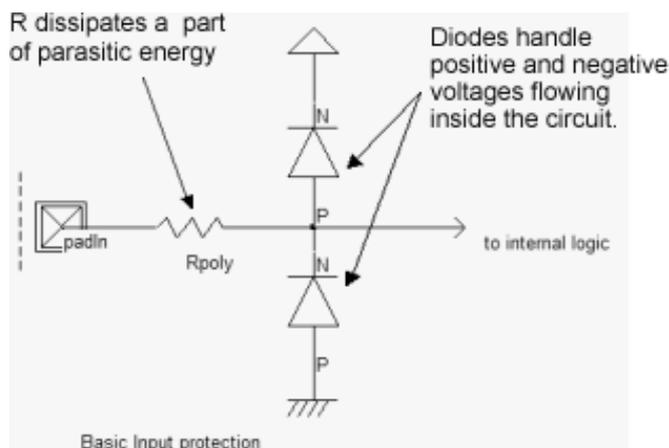


Рис. 2.94. Схема входа с диодами Зенера и шунтирующим резистором (IOPadIn.SCH)

Кольцевая структура разъемов. Так как активная площадь чипа в основном является ограничивающим фактором, то структура разъема проектируется так, что ширина является большой, но высота должна быть минимальной. В этом случае, общие размеры разъема будут минимизированы. Специальные схемы защиты размещаются по обе стороны области разъема. Такая ситуация часто называется "ограничение по площади чипа (Core Limited)", и соответствует проекту, показанному на рис. 2.95. В большинстве библиотек разъемов такие структуры имеют минимальную высоту, что часто позволяет помещать схемы защиты по обе стороны разъема.

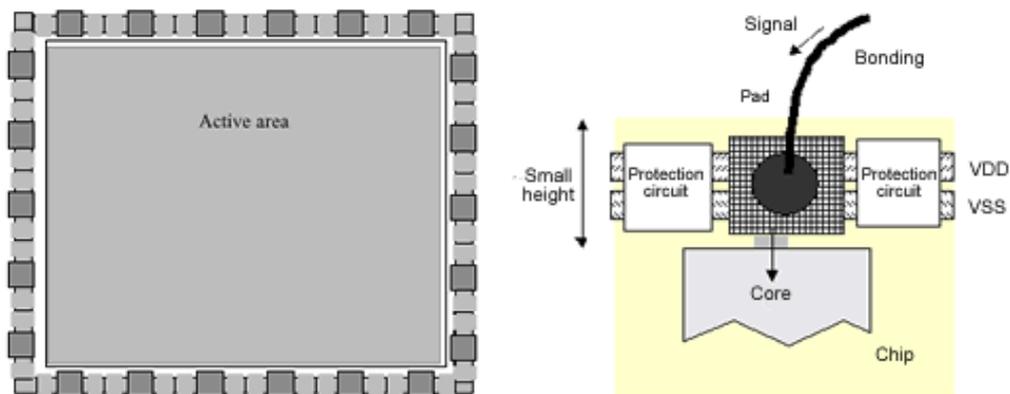


Рис. 2.95. Ограничение по площади чипа

Когда число разъемов на чипе является огранивающим фактором, то это называется "ограничение по числу разъемов (Pad Limited)", и соответствует проекту на рис. 2.96. Структура разъема проектируется так, что ширина будет малой, а высота большой.

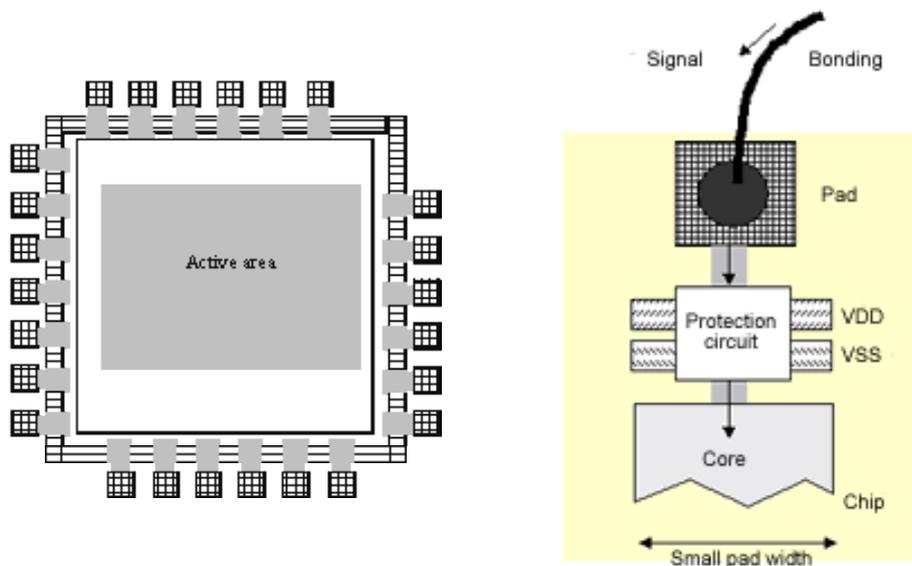


Рис. 2.96. Ограничение по числу разъемов

Большие размеры площади кристалла могут быть уменьшены, используя двойные пары разъемов ВВ (I/O), как показано на рис. 2.97. Такие возможности доступны начиная с 0.25 мкм технологии.

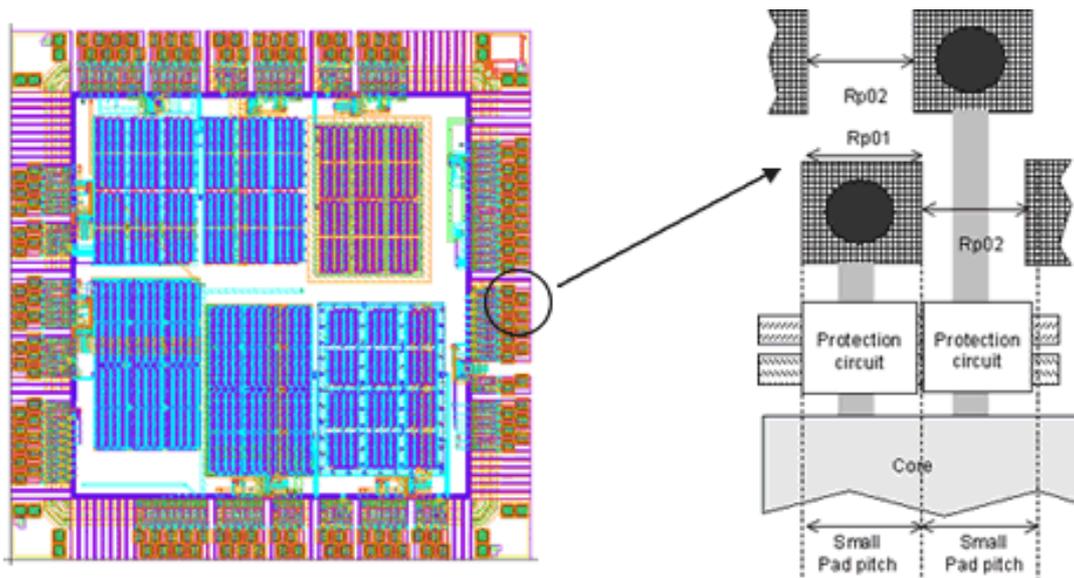


Рис. 2.97. Пример двойной пары разъемов

Глава 3. Проектирование аналоговых ячеек

3.1. Резистор

Существует несколько способов реализации резистора [15, 24]:

1. Довольно эффективный резистор может быть достигнут в CMOS технологии и состоит из полосок поликремния (рис. 3.1). Резистор между $s1$ и $s2$ обычно рассчитывается по очень удобной независимой величине, называемой «Ом на квадрат» ("ohm per square"), и обозначается Ω/S . Значение «по умолчанию» для поликремневого резистора (сопротивления) на квадрат равен 10Ω , что достаточно невелико, но может достигать 200Ω , если «salicide» материал убирается (рис. 3.1). Сечение, представленное на рис. 8-2, показывает данные особенности.

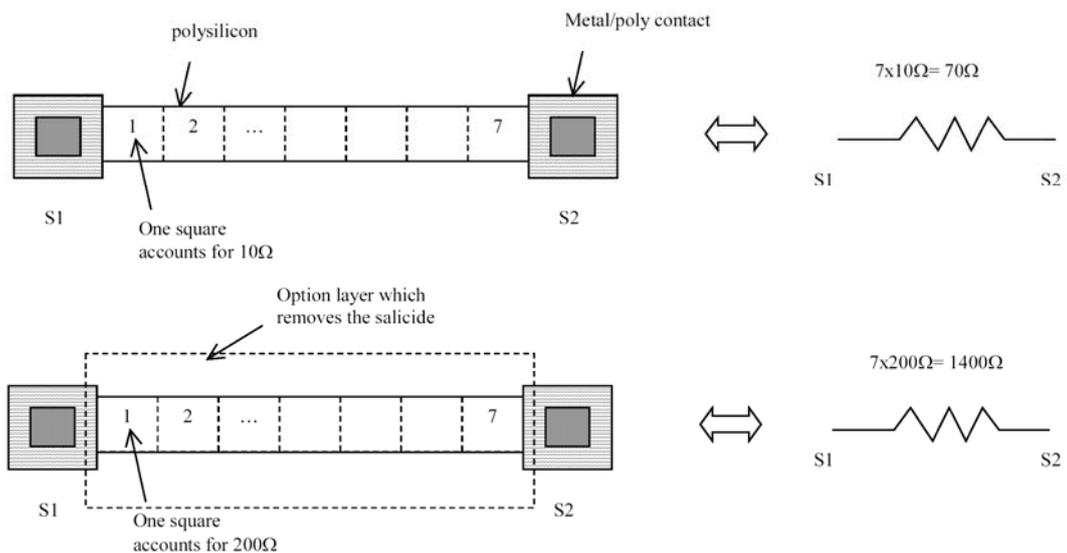


Рис. 8.1. Резистор в КМОП технологии на основе полосок поликремния

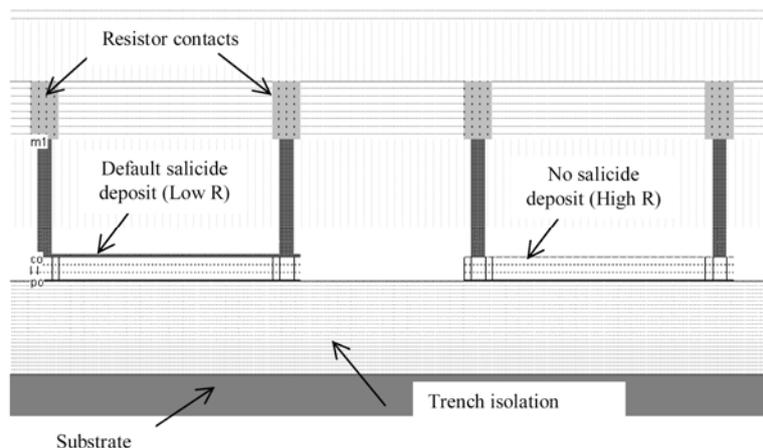


Рис. 3.2. Сечение двух вариантов реализации резистора (ResPoly.MSK)

2. Другой тип резистора состоит из N+ или P+ диффузий. Здесь возможности значительно расширяются и позволяют комбинировать эффекты резистора (сопротивления) и эффекты диода. Диффузионный резистор используется как вход/выход прибора.

Значение сопротивления резистора зависит от технологий литографии и типа процесса. В случае полирезистора, ширина, высота и «густота» (doping) могут сильно варьироваться (рис 3.3, левая часть). Поликремневый резистор проектируется с минимальной шириной 2λ , но чаще как 4 или 6λ . Но эквивалентное сопротивление невелико из-за потери эффективности кремния. Вариацией ΔW от 0.2λ по обеим сторонам дает 20% вариации сопротивления для резистора с шириной в 2λ , но только 10% вариации достигается для больших сопротивлений с шириной 4λ .

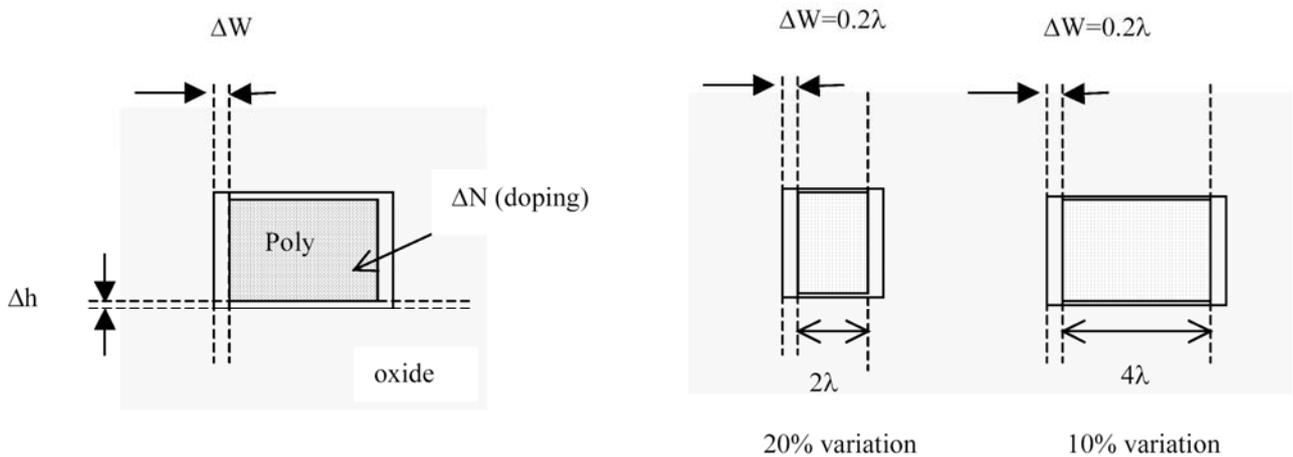


Рис. 3.3. Вариации резистора в зависимости от процесса

Величина сопротивлений для резисторов, полученных такими схемами, может легко достигать 100 кО при очень малой площади кремния. Такие же значения сопротивления могут быть получены и в поликремнии, но потребуют значительно большей площади кристалла. На рис. 3.4 поликремневый резистор в 20 кО прорисован рядом с MOS диодом с сопротивлением 30 кО. Достоинства использования MOS диода в качестве резистора очевидны.

Достоинства MOS диода: большое сопротивление, малая площадь, уменьшенные шумы

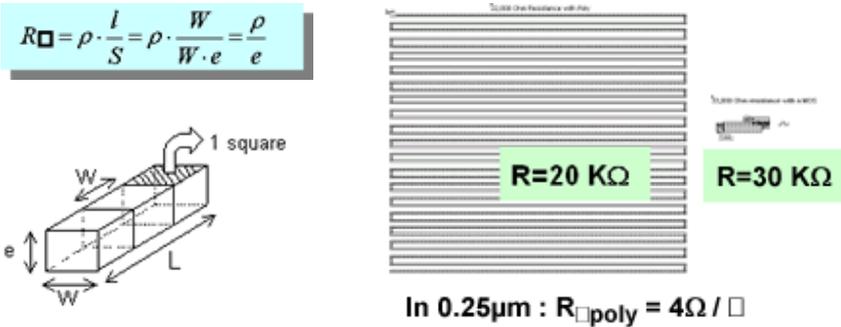


Рис. 3.4. Сравнение поликремневого резистора и МОП диода

3.2. Конденсаторы

Конденсаторы используются в аналоговых схемах для построения фильтров, развязок и т.д. В идеале значение емкости конденсатора должно не зависеть от условий поданного напряжения. Для использования диода в качестве конденсатора используется режим обратного включения, однако значение емкости сильно зависит от подаваемого напряжения (смещения). Простейшая N+ диффузия на P-подложке есть обычный NP диод (рис. 3.5), который может рассматриваться как конденсатор. Для технологии 0.12 мкм емкость получается порядка 300 аФ/мкм² (1 atto-Фарад равен 10⁻¹⁸ Фарад).

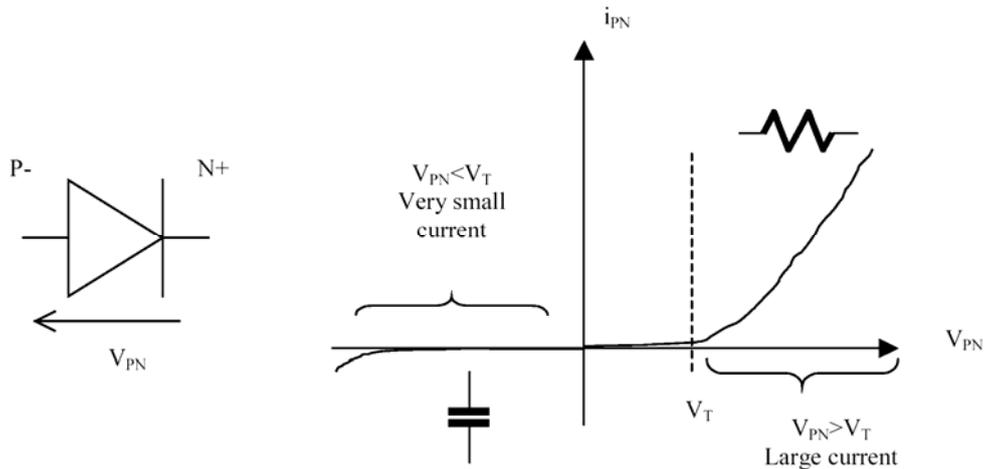


Рис. 3.5. Диффузия на подложке как нелинейный конденсатор (Сара. MSK)

Типичная вариация емкости в зависимости от диффузионного напряжения V_N представлена на рис. 3.6. Емкость на мкм² определяется электрическими свойствами и грубо аппроксимирует вариации конденсатора. Большая разница по напряжению между V_N и подложкой приводит к широкой зоне с почти нулевым

зарядом, который соответствует малой емкости. При уменьшении V_N зона заряда сокращается и емкость увеличивается. Если значение V_N будет меньше чем напряжение подложки, то диод начинает проводить ток.

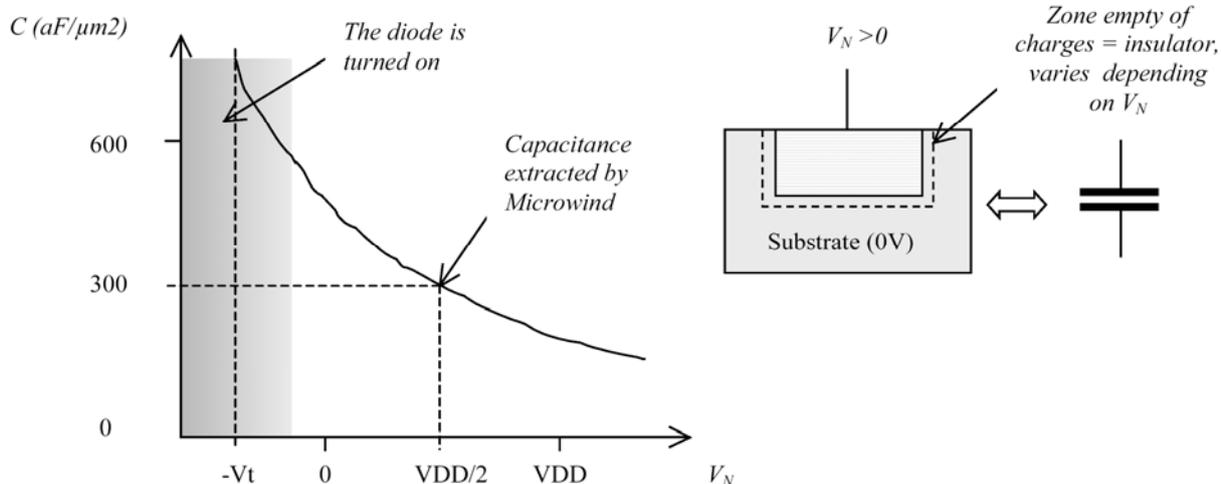


Рис. 3.6. Зависимость диффузионной емкости от напряжения поляризации

Конденсатор Poly-Poly2. Большинство субмикронных CMOS технологий включают второй поликремневый слой (poly2) для построения «плавающего» затвора в приборах для EEPROM. Тонкая оксидная пленка приблизительно 20 нм помещается между слоями poly и poly2, что создает пластины конденсатора порядка $1,7 \text{ фФ}/\mu\text{м}^2$.

MOS транзистор в диодном включении. Схемы диодного включения MOS транзистора представлены на рис. 3.7. Такая схема дает высокое сопротивление при малой площади кремния [14]. Основная идея состоит в создании временного соединения между стоком и затвором. Большую часть времени исток соединен с «землей» в случае n-канального MOS, и с VDD в случае p-канального MOS транзистора.

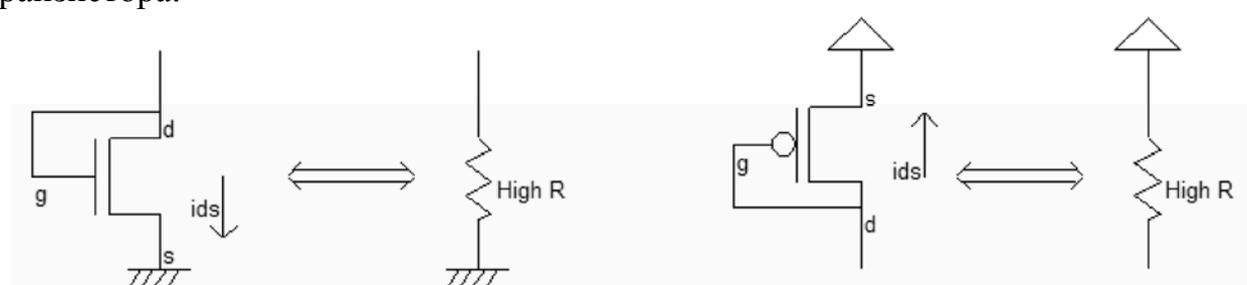


Рис. 3.7. Схемы включения МОП транзистора в диодном включении (*MosRes.SCH*)

Для создания диодного включения MOS транзистора наиболее легкий путь – использование в программном обеспечении MOS генератора в стандартных ячейках. Вводя большую длину и малую ширину, например $W=0.24\mu\text{м}$ и

$L=2.4\mu\text{м}$. Такие размеры соответствуют увеличенной длины канала, что приводит к очень высокому эквивалентному сопротивлению. Топология приведена на рис. 3.8.

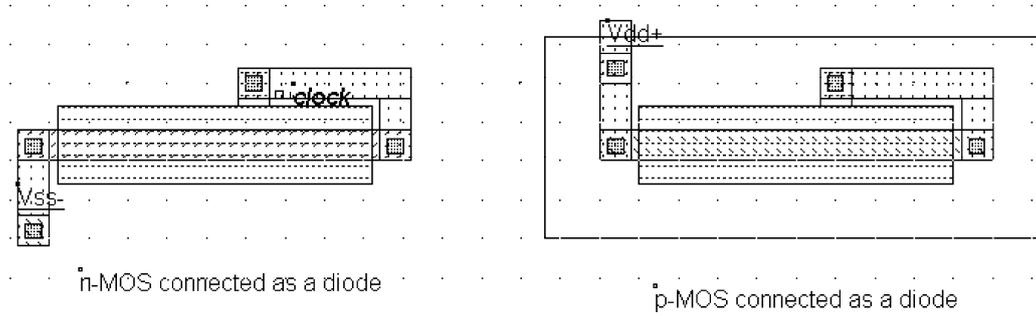


Рис. 3.8. Топология МОП транзистора в диодном включении (*ResMos.MSK*)

MOS транзистор, включенный как диод может использоваться как конденсатор при $V_{gs} < V_t$, или как высокоомный резистор, когда V_{gs} больше чем напряжение отсечки V_t . Сопротивление, полученное такой схемой может легко достигать 100 кО при очень малой площади кристалла.

3.3. Делитель напряжения (Voltage Reference)

Обычно делитель напряжения основывается на делении напряжения на резисторах. Здесь основной проблемой является то, что значение сопротивления резистора должно быть очень высоким, чтобы ток короткого замыкания был очень низким для понижения потребляемой мощности. Основная идея – использование МОП транзистора вместо поликремневого или диффузионного резисторов при значительном сокращении площади кремния. Выходное напряжение V_{ref} определяется по формуле 3.1.

$$V_{ref} = \frac{R_N}{R_N + R_P} V_{DD}, \quad (3.1)$$

где

V_{DD} = напряжение питания (1.2В в 0.12мкм технологии)

R_N = эквивалентное сопротивление n-канального MOS (Ом)

R_P = эквивалентное сопротивление p-канального MOS (Ом)

Отметим, что два n-MOS или два p-MOS транзистора выполняют одинаковые функции. P-MOS транзистор обеспечивает более высокое сопротивление по сравнению с n-канальным MOS. Четыре варианта делителя напряжения представлены на рис. 3.9. Наиболее популярным решением является использование одного p-канального MOS и одного n-канального MOS в диодном включении.

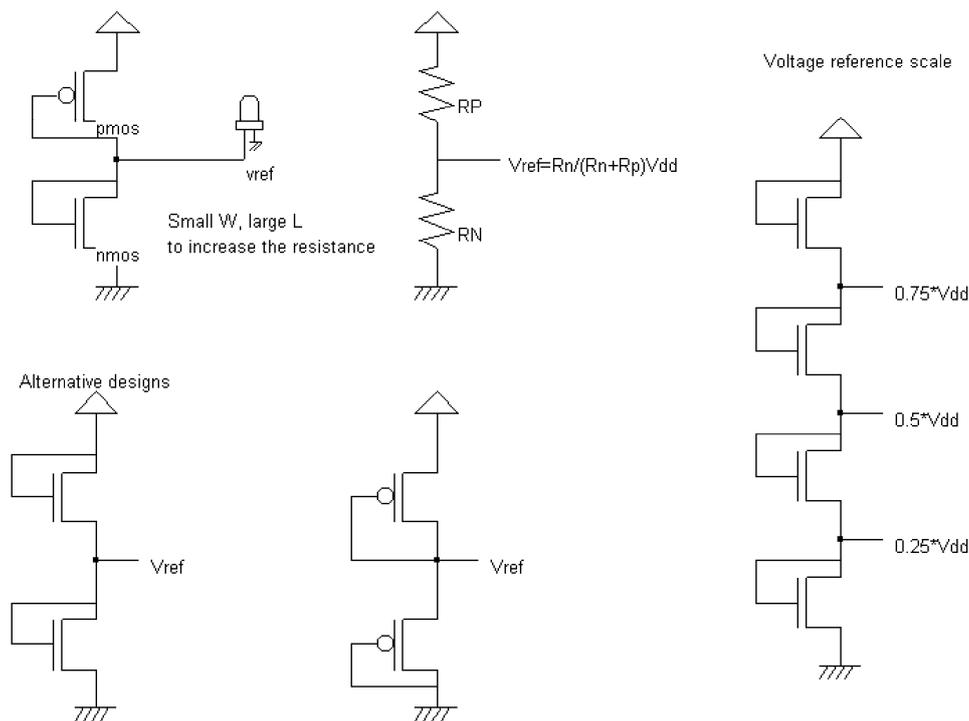


Рис. 3.9. Делитель напряжения, используя РМОП и NМОП транзисторы как резисторы большого значения

Альтернативным решением является использование только двух n-канальных MOS транзисторов (левая нижняя часть рисунка), или наоборот только двух p-канальных прибора. Могут быть созданы не только один делитель напряжения, но также и три, как показано в правой части рисунка, где используются 4 n-канальных MOS транзистора в диодном включении. Топология делителя напряжения приведена на рис. 3.10.

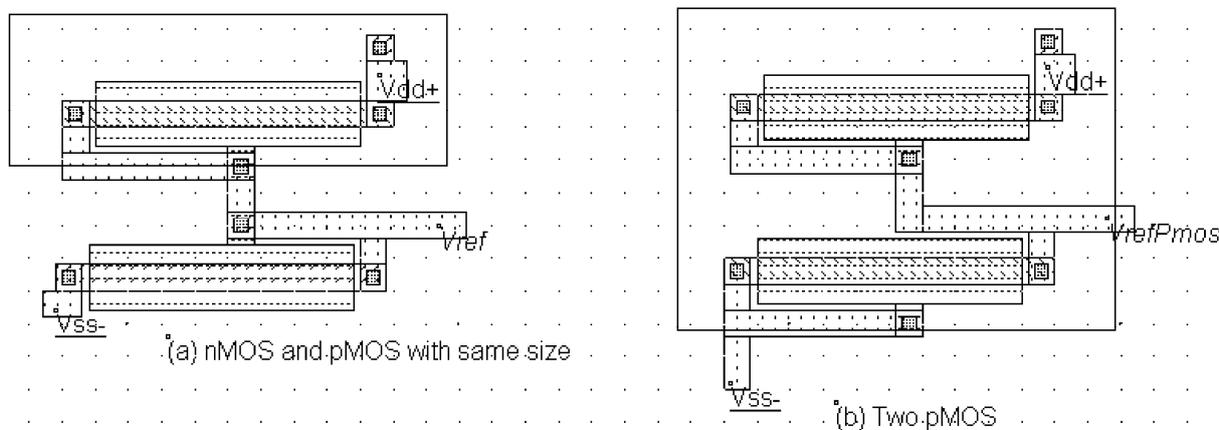


Рис. 3.10. Делитель напряжения с одним nMOS и одним pMOS с двумя pMOS ($V_{ref.MSK}$)

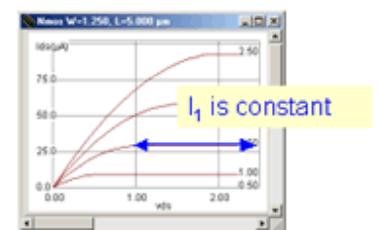
3.4. Зеркало токов (Current Mirror)

Зеркало токов является наиболее часто используемым блоком при аналоговом проектировании. В наиболее простейшей конфигурации он содержит два MOS транзистора. Ток I_1 nMOS транзистора в качестве лидера (Master) повторяется во втором MOS транзисторе (Slave). Если размеры Master и Slave транзисторов идентичны, то в большинстве операций токи будут одинаковы. Базовым понятием является то, что ток не зависит от напряжения стока slave-транзистора V_2 . Если отношение W/L Slave транзистора в 10 раз выше чем Master-транзистора, то ток правой части в 10 раз больше чем ток в левой части.

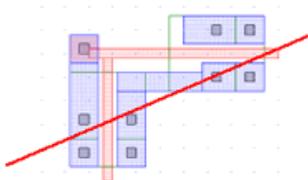
Имеется ряд подходов для проектирования характеристик зеркала токов (рис. 3.11):

- Все MOS транзисторы должны иметь одинаковую ориентацию. В процессе изготовления, химические процессы могут слегка отличаться по ориентации, что приводит к различным длинам канала. Это рассогласование может помешать повторению тока.
- Длинный канал для MOS транзисторов является предпочтительней. В таких приборах модуляция длины канала незначительна и, следовательно I_{ds} практически не зависит от напряжения V_{ds} .
- Ложные затворы должны быть добавлены в обе стороны зеркала токов. Хотя теряется часть площади кристалла, но это приводит к более качественным результатам.
- MOS транзисторы должны быть в параллели для сокращения эффектов градиентов резисторов и емкостей по отношению к подложке.

1. Проектирование MOS с большим L:



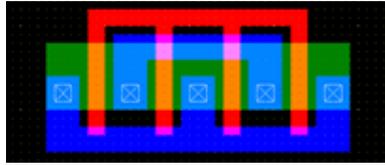
2. Необходимо иметь одинаковые ориентации для всех MOS приборов:



Технологии с разной ориентацией



3. Необходимость параллельных структур



4. Добавление ложных затворов на каждой стороне:

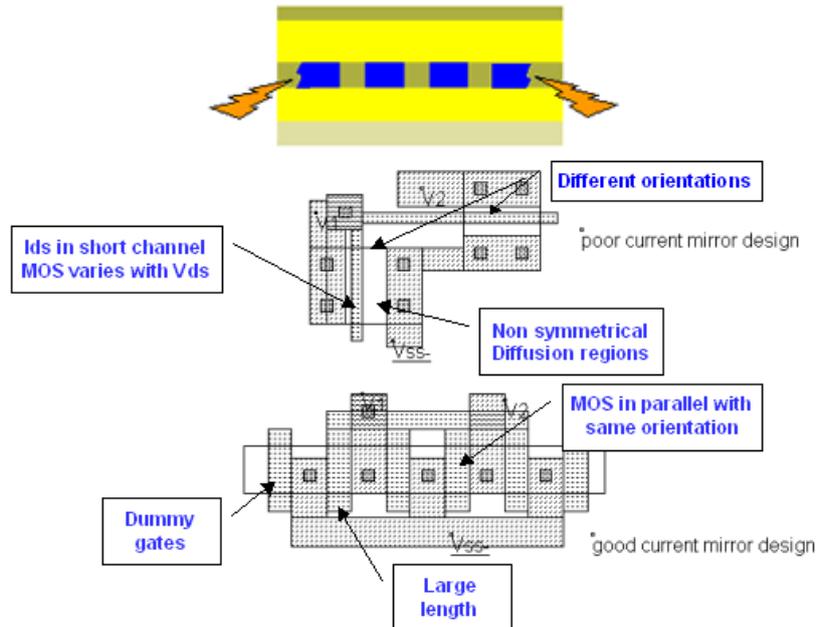


Рис. 3.11. Подходы к проектированию делителя напряжения

3.5. Усилитель (Amplifier)

Первый возникающий вопрос, можно ли использовать обычный логический CMOS инвертор как усилитель? В принципе, да. Основной проблемой усилителя – это достижение высокого коэффициента усиления. Передаточная характеристика инвертора дает наклон 180 (рис. 3.12). Для работы в зоне усиления необходимо подавать сигнал порядка 1.20В, в этом случае нет никаких шансов достижения высокого коэффициента усиления. Более того, так как параметры технологического процесса не очень хорошо контролируются, то точка коммутации инвертора может флюктуировать в значительном диапазоне. Поэтому структура с высоким усилением не является стабильной. Обычно усилители с коэффициентом усиления около 10 (это порядка 20dB) используются, например, в малошумящих входных усилителях для GSM приложений.

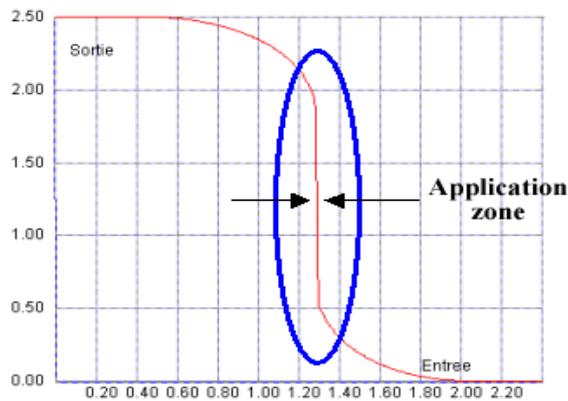
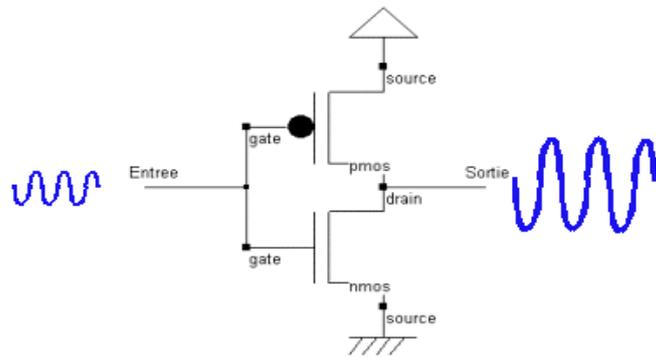


Рис. 3.12. Инвертор в качестве усилителя

Проблемы инвертора как усилителя:

- Нельзя сильно менять усиление;
- При высоком усилении теряется точность;
- Зона усиления очень мала.

Однокаскадный усилитель. Целью усилителя является умножение на значительный коэффициент амплитуды синусоидального входного сигнала V_{in} , и выделение амплитуды синусоидального сигнала на выходе V_{out} на нагрузке. Однокаскадный усилитель может состоять из MOS транзистора (например, n-канальный MOS) и нагрузки. Нагрузка может быть в виде резистора (полупроводниковый или диффузионный) или индуктивности. В дальнейших примерах мы используем в качестве резистора p-канальный MOS прибор, где затвор и сток соединены (рис. 3.13). Транзистор pMOS, который заменяет пассивную нагрузку, называется активным сопротивлением (резистором). Так как усиление пропорционально сопротивлению нагрузки, то активная нагрузка дает большее значение сопротивления и меньшую площадь кристалла.

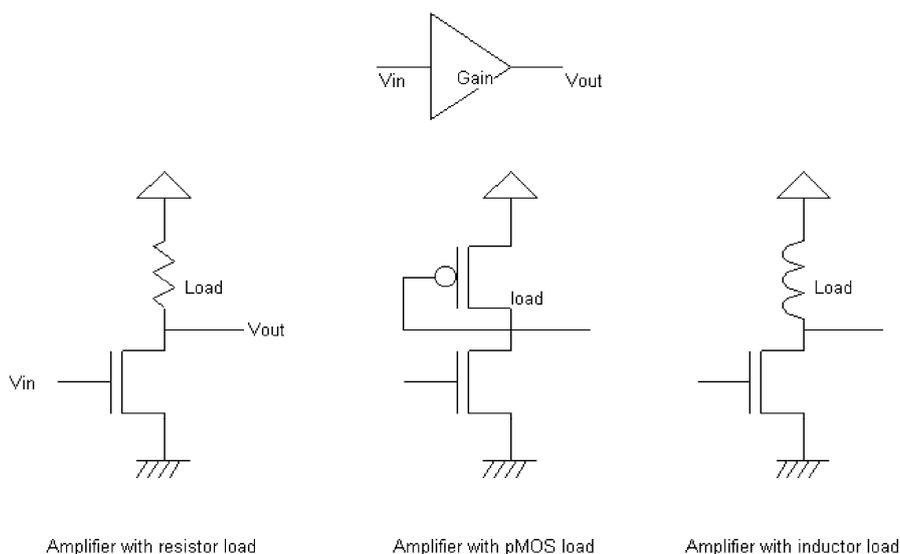


Рис. 3.13. Однокаскадный усилитель на МОП транзисторе (*AmpliSingle.SCH*)

Характеристики однокаскадного усилителя между V_{in} и V_{out} отражены на рис. 3.14. Наиболее интересной зоной для подачи входного напряжения, является зона, где передаточная функция имеет линейный наклон между V_{IN_low} и V_{IN_high} . Если мы подадим малый сигнал v_{in} в точке V_{IN} , то малые изменения тока i_{ds} добавятся к статическому току I_{DS} , который приведет к вариации v_{out} выходного напряжения V_{OUT} .

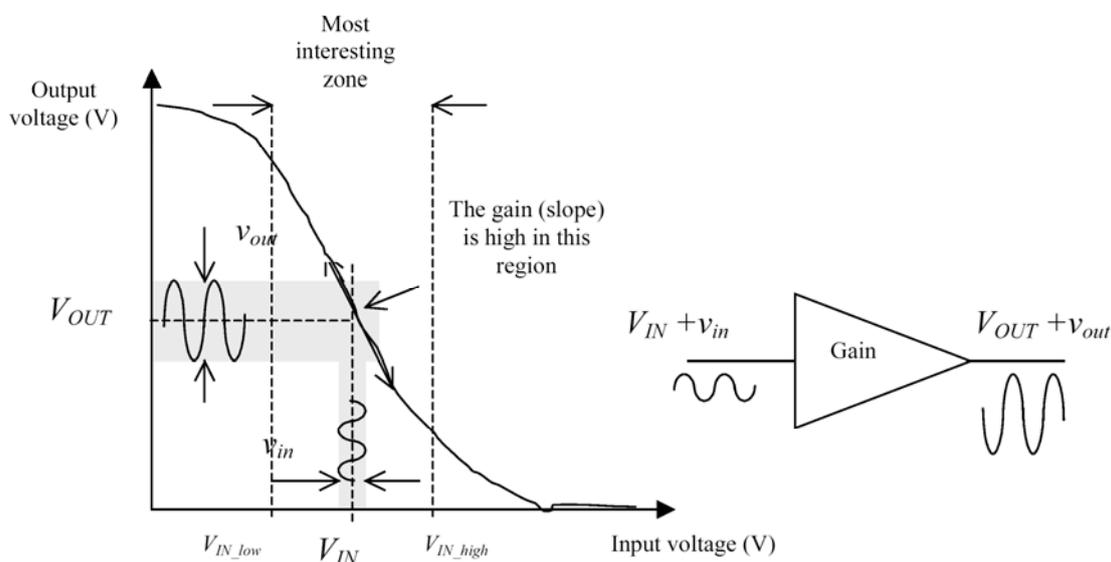


Рис. 3.14. Усилитель имеет высокий коэффициент усиления в центре входного диапазона, где малое значение входного сигнала дает большое значение выходного сигнала

Соотношение между i_{ds} и v_{in} может быть аппроксимировано уравнением 3.2.

$$i_{ds} = g_m v_{gs}, \tag{3.2}$$

На рис. 3.15, nMOS транзистор с большой шириной и минимальной длиной соединен с высокоомной нагрузкой в виде pMOS транзистора. Пусть амплитуда 50мВ синусоидального входного напряжения (v_{in}) воздействует на статическую точку (рабочую точку по постоянному току) 0.6В (V_{IN}). Тогда мы можем предположить получение 500мВ синусоидального колебания (v_{out}) при заданном режиме DC (V_{OUT}).

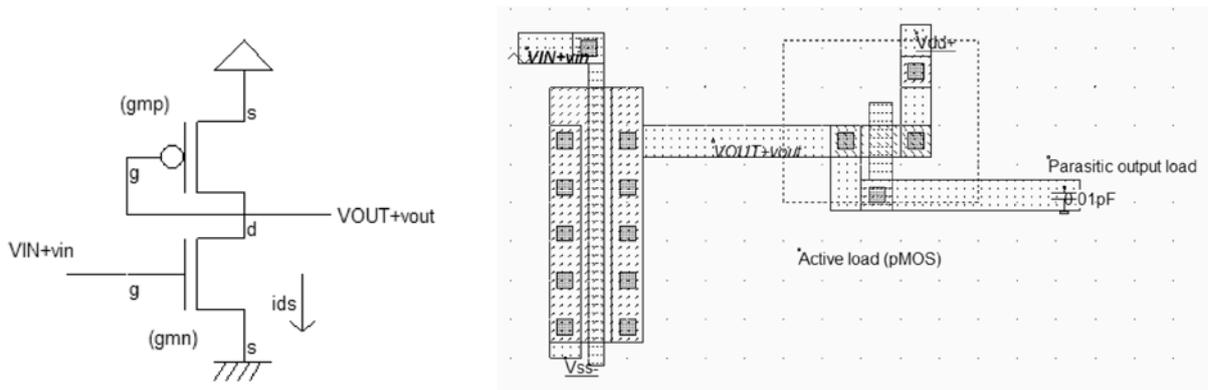


Рис. 3.15. Схема и топология однокаскадного усилителя с нагрузкой в виде pMOS транзистора как резистора (*AmpliSingle.MSK*)

Рабочие точки транзистора (V_{out}/V_{in}) можно найти с помощью моделирования и определить напряжение смещения V_{IN} . Например, на диаграмме моделирования (рис. 3.16) мы можем легко определить диапазон возможного усиления. Для V_{DS} выше чем 0.25В и ниже чем 0.4В, усиление на выходе будет примерно 3. Поэтому оптимальным напряжением смещения будет примерно 0.35В.

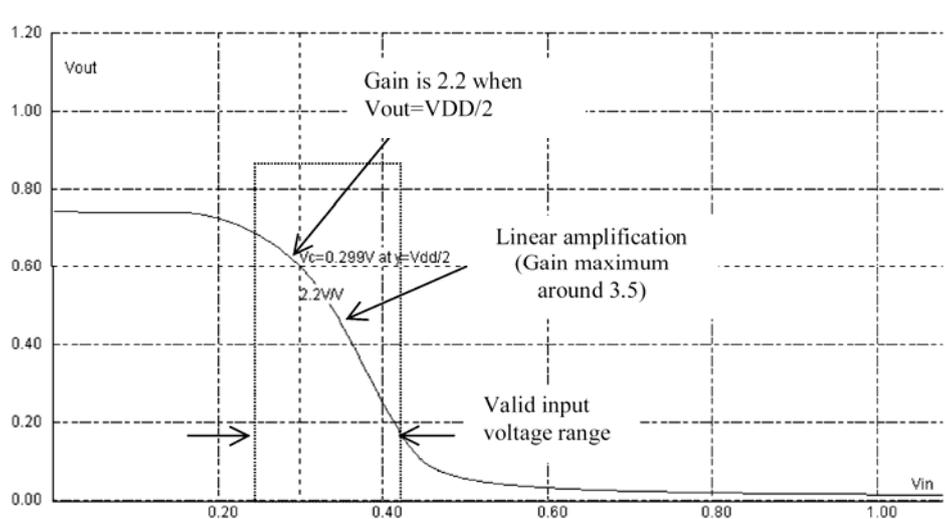


Рис. 3.16. Статическая характеристика однокаскадного усилителя

Используя самую простую аппроксимацию тока транзистора MOS в насыщении, можно получить зависимость gm для насыщения. Таким образом, можно определить усиление (рис. 3.17):

Single stage:

$$I_{DS} = \frac{K_p}{2} \frac{W}{L} (V_{GS} - V_T)^2$$

$$g_{mos} = \left[\frac{\partial I_{DS}}{\partial V_{GS}} \right]$$

$$g_m = K_p \frac{W}{L} (V_{GS} - V_T)$$

$$Gain = \frac{Sinus_Out}{Sinus_In} = \frac{\left| \begin{matrix} -i_{ds} & 1 \\ i_{ds} & 1 \end{matrix} \right|}{g_{pmos}} = \left| \frac{g_{nmos}}{g_{pmos}} \right|$$

Transconductance

Рис. 3.17. Основные отношения, определяющие усиление каскада усилителя

Выводы:

- Для увеличения усиления необходимо планировать отношение W_N/W_P .
- Если уменьшать W_P (R_P увеличивается), то увеличивается шум.
- Если увеличивать W_N (R_N уменьшается), то увеличивается потребление.
- При высоком усилении есть проблемы точности.
- Основное решение – использовать многокаскадные схемы.

3.6. Многокаскадные схемы усиления

Для дальнейшего увеличения усиления соотношение между активным сопротивлением нагрузки и n-канальным MOS резистором должно быть увеличено (рис. 3.18).

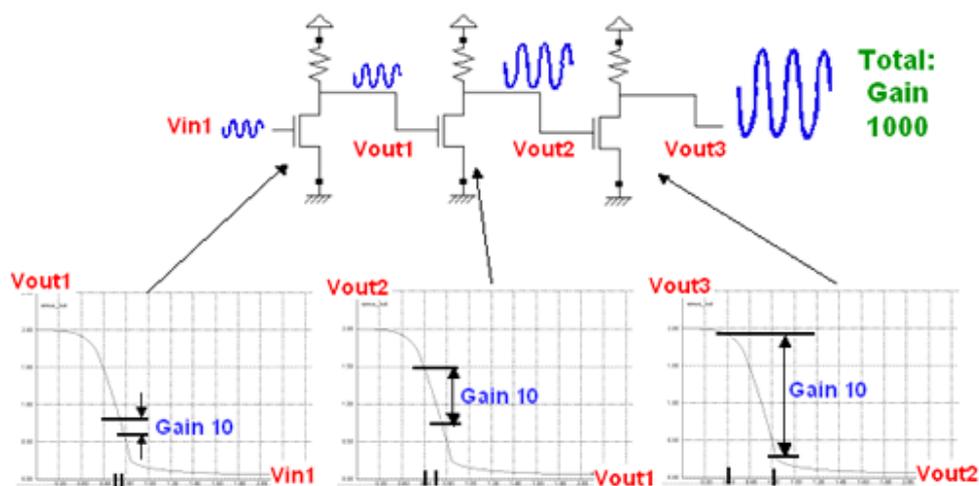


Рис. 3.18. Принципы многокаскадного усиления

Простейший дифференциальный усилитель. Целью дифференциального усилителя (ДУ) является сравнение двух аналоговых сигналов и усиление их разницы (рис. 3.19). Транзистор nMOS добавляется между дифференциальной парой и «землей» для улучшения усиления. Напряжение на затворе V_{bias} управляет величиной тока, который протекает по обеим ветвям. Транзисторы дифференциальной пары работают при низком значении V_{ds} , что дает более хорошие аналоговые характеристики и меньшие эффекты насыщения.

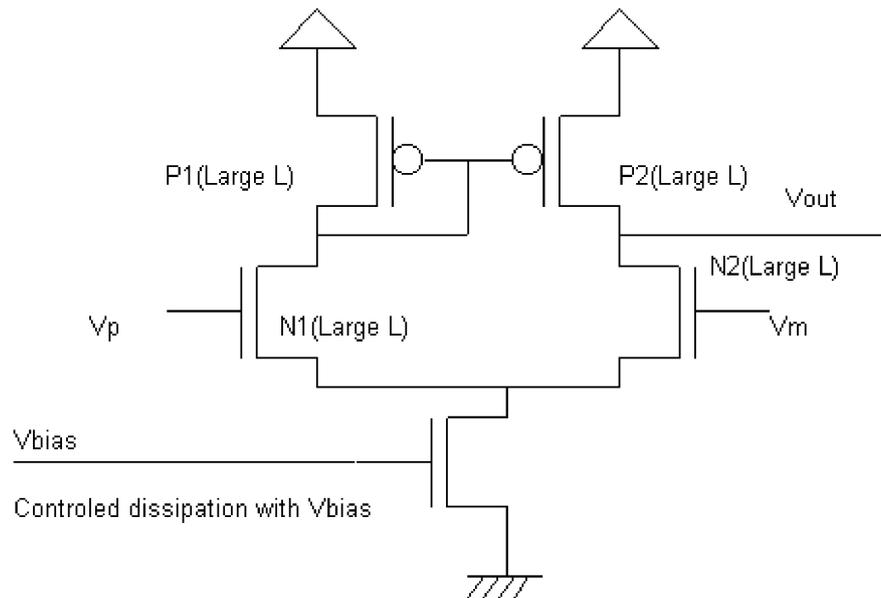


Рис. 3.19. Схема дифференциального усилителя (*AmpliDiff.SCH*)

Основное соотношение для описания ДУ можно представить в виде уравнения 3.3. Обычно коэффициент усиления K очень высок в диапазоне от 10 до 1000. Дифференциальная пара строится на n-канальных MOS транзисторах. Размеры и ориентация их должны быть идентичными и согласованными.

$$V_{out} = K (V_p - V_m) \quad (3.3)$$

Топология дифференциального усилителя представлена на рис. 3.20.

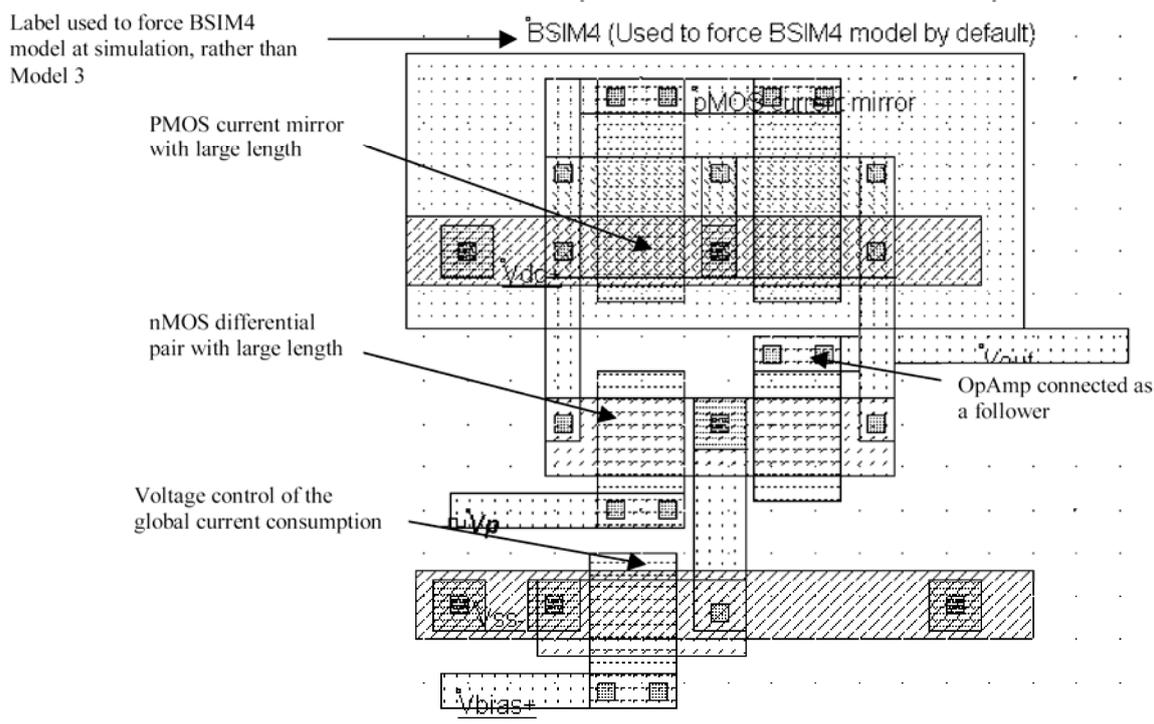


Рис. 3.20. Топология дифференциального усилителя (*AmpliDiffLargeLength.SCH*)

Как видно из результатов моделирования (рис. 3.21), малое значение V_{bias} дает большой диапазон напряжения, особенно при больших значениях напряжения. Работа может начинаться с 0.4В, независимо от значений V_{bias} . Большие значения V_{bias} приводят к чуть более быстрым откликам, но сокращают диапазон по входу и увеличивают потребление. Напряжение V_{bias} часто фиксируется к значению чуть большему чем (threshold voltage) V_t . Это соответствует хорошему компромиссу между скоростью переключения и входным диапазоном.

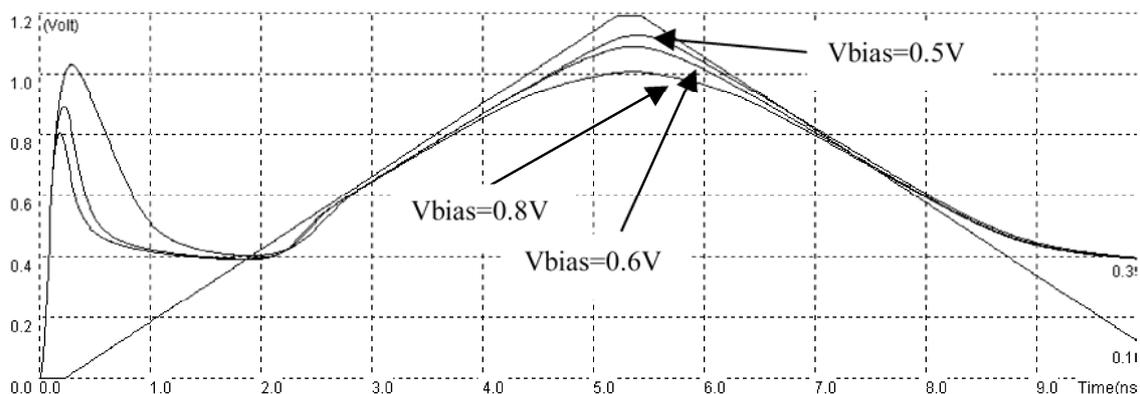


Рис. 3.21. Моделирование эффекта смещения (V_{bias}) на характеристики дифференциального усилителя (*AmpliDiffVbias.MSK*)

Push Pull Усилитель. Push-pull усилитель строится на основе компаратора напряжения и каскада усилителя мощности (рис. 3.22). Разница между $V+$ и $V-$ усиливается, что дает результат: V_{out} .

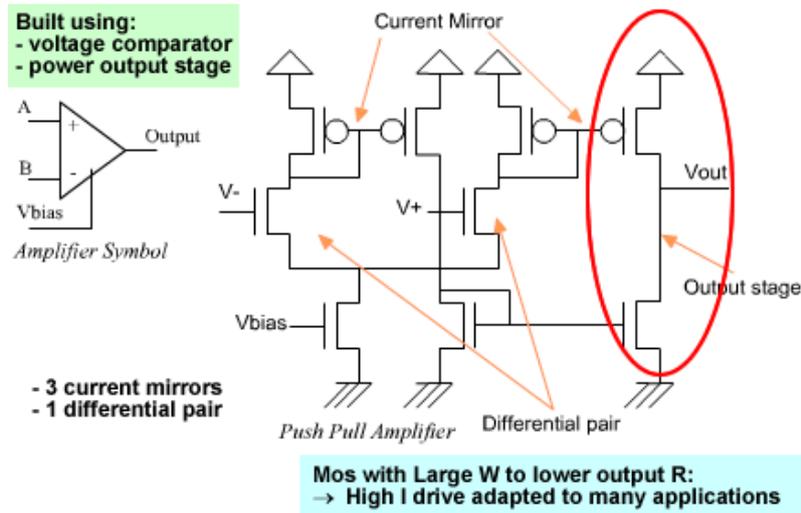


Рис. 3.22. Схема Push-pull усилителя

Коэффициент усиления такого усилителя более чем 1 000. Передаточная характеристика определяется $V_{out}/V+$. Входной диапазон примерно от 0.5В до 4.0В.

3.7. Радиочастотные схемы

Системы беспроводной связи требуют специфических высокочастотных (ВЧ) ИМС, которые наряду с традиционными требованиями: малое потребление, высокую скорость обработки, имеют также специфические требования: низкий процент изменений параметров при производстве, эффективная мощность, линейность характеристик, слабая температурная зависимость, низкая чувствительность (табл. 3.1).

Таблица 3.1

Применение радиочастотных ИМС

Стандарты применения	GSM	DECT	UMTS	Bluetooth	IEEE 820.11a	IEEE 820.1b
Описание	1-я генерация мобильной связи	2-я генерация мобильной связи	3-я генерация мобильной связи	Беспроводные сети	Очень высокоскоростная сеть	Высокоскоростная сеть
Диапазон (МГц)	890-915	1880-1900	1910-2200	2450	5200	2450
Скорость	12кБ/с	100кБ/с	0.1-2МБ/с	0.72-10МБ/с	6-18МБ/с	1-5МБ/с
Выходная мощность	1-2 Ватт	100 мВт	1 Вт	100мВт	0.1-1 Вт	0.1-1 Вт

Современное радиочастотное оборудование работает в частотном диапазоне ВЧ (ultra-high frequencies, UHF) от 300МГц до 3ГГц, и СВЧ диапазоне (super high frequencies, SHF) от 3ГГц до 30ГГц. Полоса частот обычно от 3 до 30МГц. Мобильные телефоны, беспроводные сети используют ВЧ ИМС, как представлено на рис. 3.23.

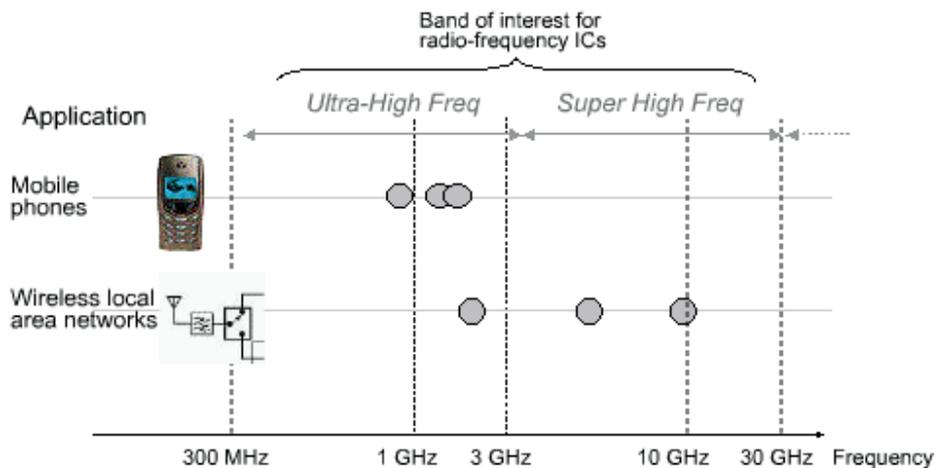


Рис. 3.23. Некоторые ключевые ВЧ приложения

Индуктивности в микросхемах. Индуктивности широко используются для фильтрации, усиления или создания резонансных цепей в ВЧ приложениях. В программах обозначаются как (рис. 3.24):

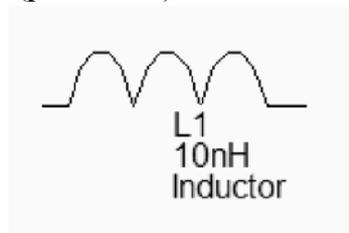


Рис. 3.24. Обозначение индуктивности в программном обеспечении

Индуктивности, выполняемые в кристалле, имеют типичное значение от 1 до 100нГн, и имеют эквивалентный импеданс между 10 и 1000 Ом в диапазоне 300МГц – 3ГГц (рис. 3.25). На частотах ниже 100Гц обычно применяют дискретные индуктивности, так как высокое значение индуктивности (от 1 до 100мкГн) дает импеданс между 10 и 1000 Ом. Такие высокие значения индуктивности не могут быть интегрированы в приемлемую площадь кремния. Около 1ГГц можно реализовать индуктивность на кристалле порядка 10нГн, которая согласуется со стандартным импедансом в 50 Ом.

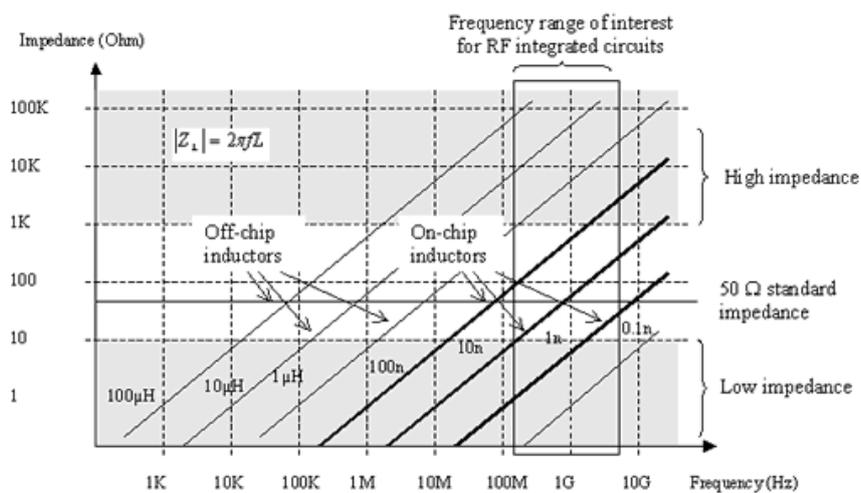
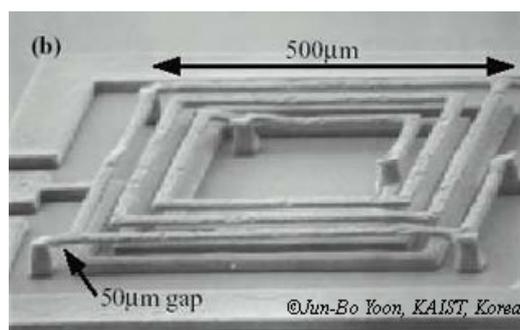


Рис. 3.25. Зависимость импеданса индуктивности от частоты

Топология индуктивности выглядит как квадратная спираль, так как стандартный технологический CMOS процесс позволяет только прямые углы (90°). Если это возможно, то иногда реализуют спираль с углом 45°, что улучшает электрические характеристики индуктивности.

Существует очень большое число способов расчета индуктивности. Один из них (уравнение 3.4) наиболее широко используется. При числе петель равному 5, ширине проводников 20 мкм, расстоянии между ними 5 мкм и углублении 100 мкм, мы получим $L = 11.6 \text{ нГн}$.

$$L = 37.5\mu_0 \cdot \frac{n^2 \cdot a^2}{(22 \cdot r - 14 \cdot a)} \quad (3.4)$$

где
 $r = n \cdot (w + s)$
 $\mu_0 = 4\pi \cdot 10^{-7}$
 n = число петель
 w = ширина проводника (м)
 s = расстояние между проводниками (м)
 r = радиус спирали (м)
 a = квадрат среднего радиуса (м)

Добротность Q является основным показателем резонансных цепей. Высокая величина Q указывает на низкие паразитные эффекты по сравнению с индуктивностью. Здесь определение Q дается для случая катушки индуктивности в составе последовательной индуктивности $L1$, паразитного последовательного сопротивления $R1$, и двух паразитных емкостей $C1$ и $C2$, соединенных с «землей», как показано на рис. 3.26. В этом случае Q приближенно может быть оценено выражением 3.5.

$$Q = \frac{\sqrt{\frac{L1}{C1+C2}}}{R1}. \quad (3.5)$$

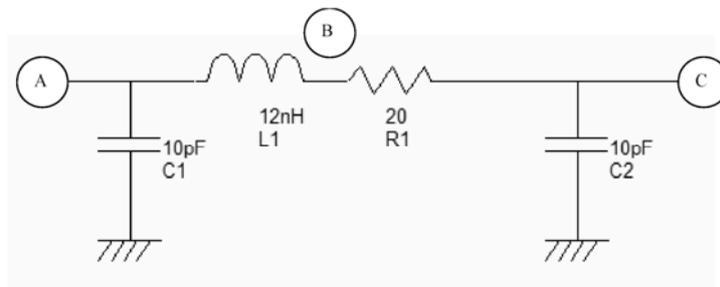


Рис. 3.26. Эквивалентная схема для определения добротности

Для данного примера при индуктивности в 12нГн, добротность Q будет равна 1.15. Соответствующая топология показана на рис. 3.27. Заметим, что виртуальная индуктивность ($L1$) и сопротивление ($R1$) помещены в топологию. Последовательная индуктивность размещается между A и B, а последовательное сопротивление между B и C. Если эти дополнительные элементы убрать, то вся индуктивность будет рассматриваться как один электрический узел.

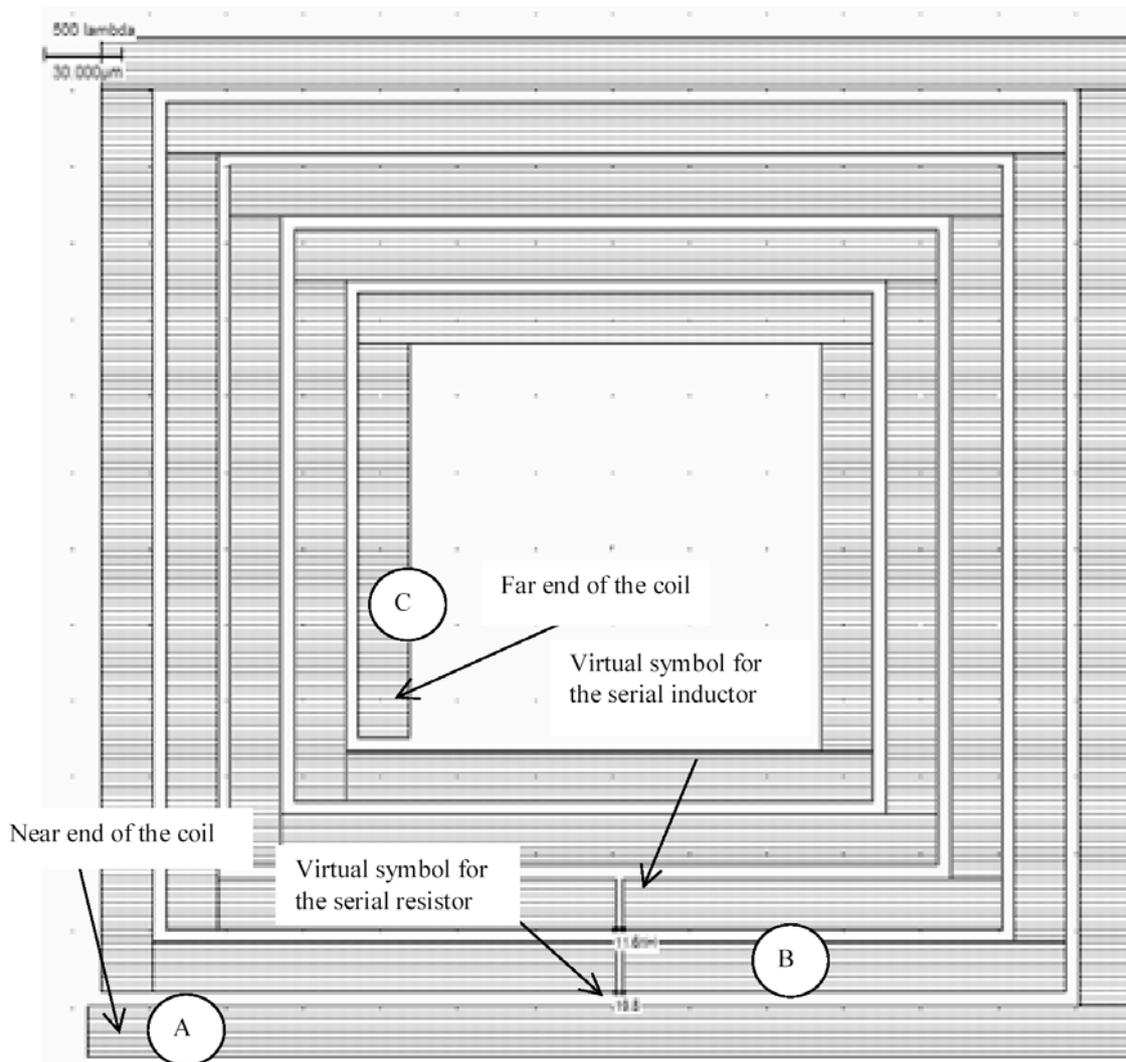


Рис. 3.27. Топология индуктивности (*inductor12nH.MSK*)

Индуктивность с высокой добротностью. Высокое значение добротности Q очень важно, так как позволяет достичь высокого коэффициента усиления и высокой избирательности в частотной области. Основным ограничивающим фактором для Q является последовательное сопротивление проводника $R1$ и связанные с подложкой емкости $C1$ и $C2$. Из уравнения (3.5) видно, что значения $R1$, $C1$ и $C2$ должны быть минимальными для увеличения Q . Имеется несколько путей улучшения добротности. Один из них состоит в использовании верхнего слоя металла (*metal6* в 0.12мкм), где сопротивление меньше, также и значения емкостей ниже. Но это увеличивает добротность только в два раза.

Значительные преимущества дает использование слоев металла в параллель (рис. 3.28).

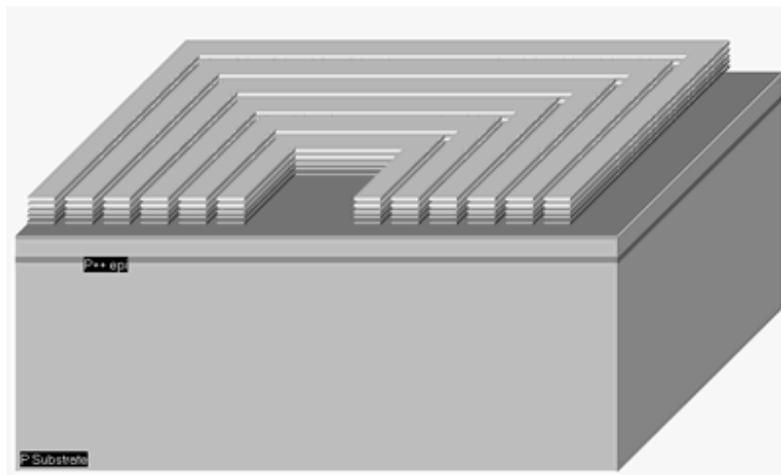


Рис. 3.28. Трехмерное изображение индуктивности с высоким Q , используя слои металла в параллель

Катушка индуктивности может рассматриваться как RLC резонансная схема. На низких частотах индуктивность можно рассматривать как короткое замыкание (К.З.), а емкость как разрыв (холостой ход, Х.Х.) (рис 3.29, левая часть). Тогда, напряжение в узле C будет почти равно A , если нет нагрузки, соединенной с узлом C , тогда практически нет тока, протекающего через $R1$. На высоких частотах индуктивность будет ХХ, а емкость КЗ (рис. 3.29, правая часть). Следовательно, связь между C и A будет иметь разрыв (ХХ).

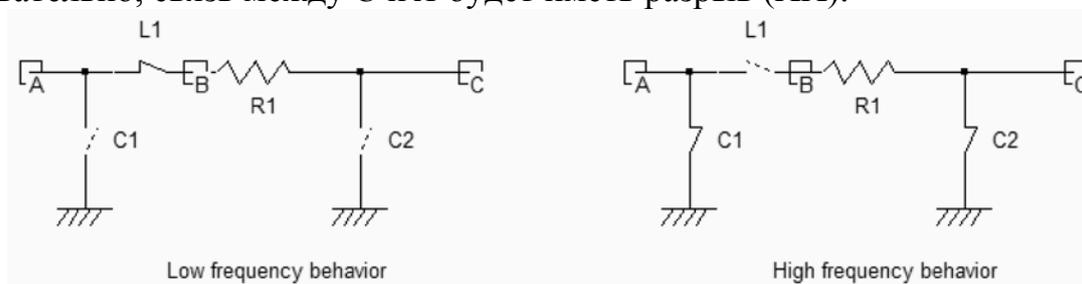


Рис. 3.29. Эквивалентная схема RLC элементов на низких и высоких частотах (*Inductor.SCH*)

На особенных частотах LC схемы имеют резонансный эффект. Теоретически, резонансная частота равна:

$$f_r = \frac{1}{2\pi\sqrt{L1(C1+C2)}}. \quad (3.6)$$

Изменение резонансной частоты при изменении емкости и индуктивности представлено на рис. 3.30. Индуктивность может меняться в диапазоне от 1 до 100нГн. В тоже время емкость может изменяться от 1пФ до 1нФ, в этом случае резонансная частота будет в диапазоне от 100МГц до 10ГГц, что включает большинство ВЧ приложений.

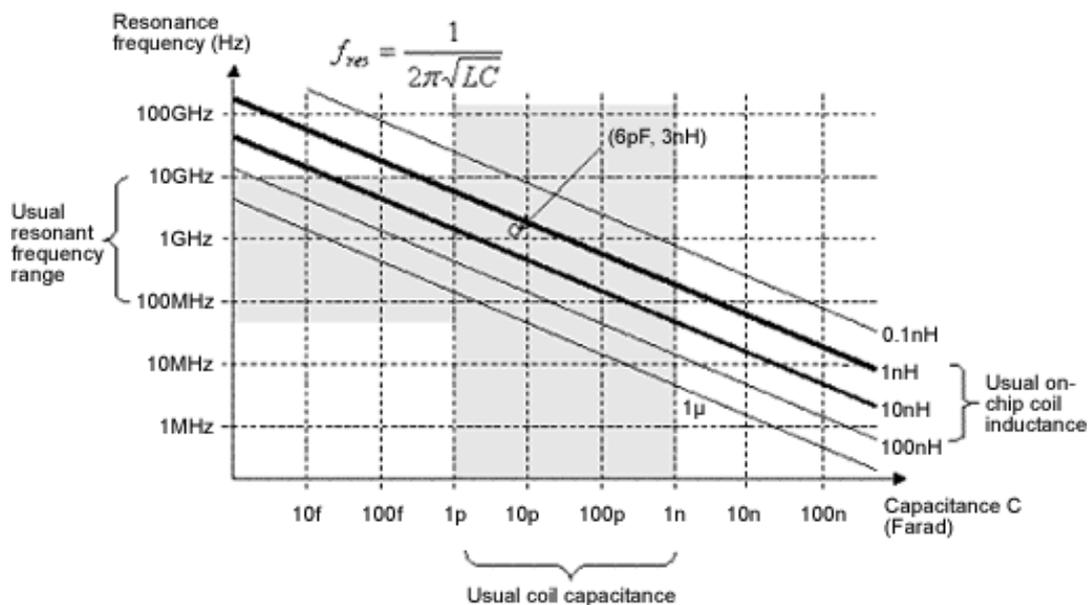
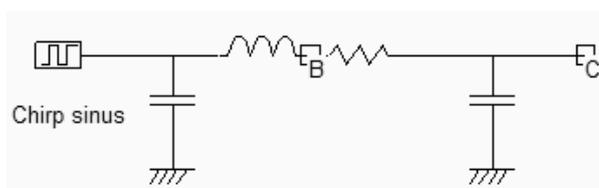


Рис. 3.30. Зависимость резонансной частоты от емкости и индуктивности

Моделирование. Если $Ll=3\text{нГн}$, а суммарная емкость порядка 7пФ , то по кривым рис. 3.30, мы получим резонансную частоту около 1ГГц . Мы можем рассмотреть резонанс в катушке индуктивности и оценить добротность, используя следующую процедуру. Подаем на узел A (рис. 3.31) синусоиду с увеличивающейся частотой. Мы задаем очень малую амплитуду (0.1В) и нулевое смещение. Резонанс будет в случае, когда напряжение в узлах B и C будет выше, чем входное напряжение в узле A . Отношение амплитуд между узлами B и A и есть добротность Q (рис. 3.31).



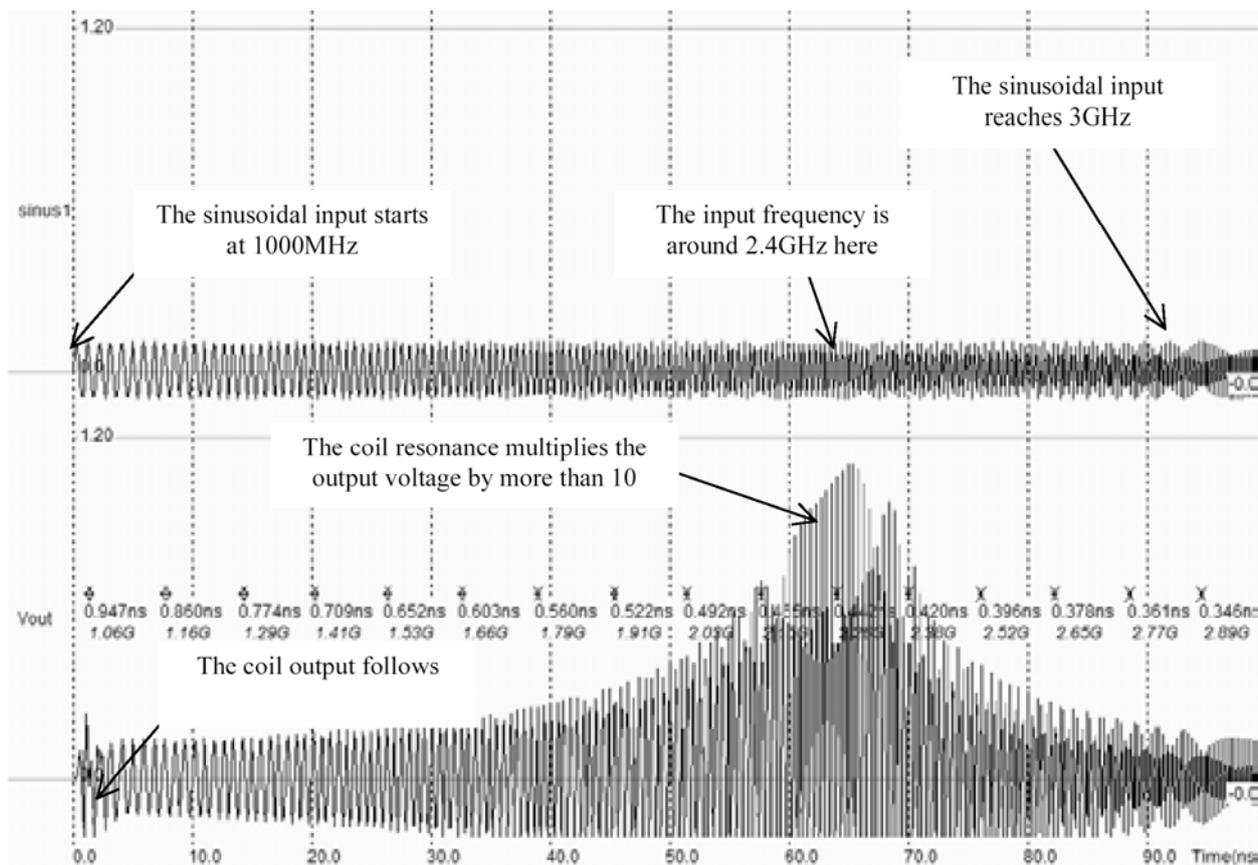
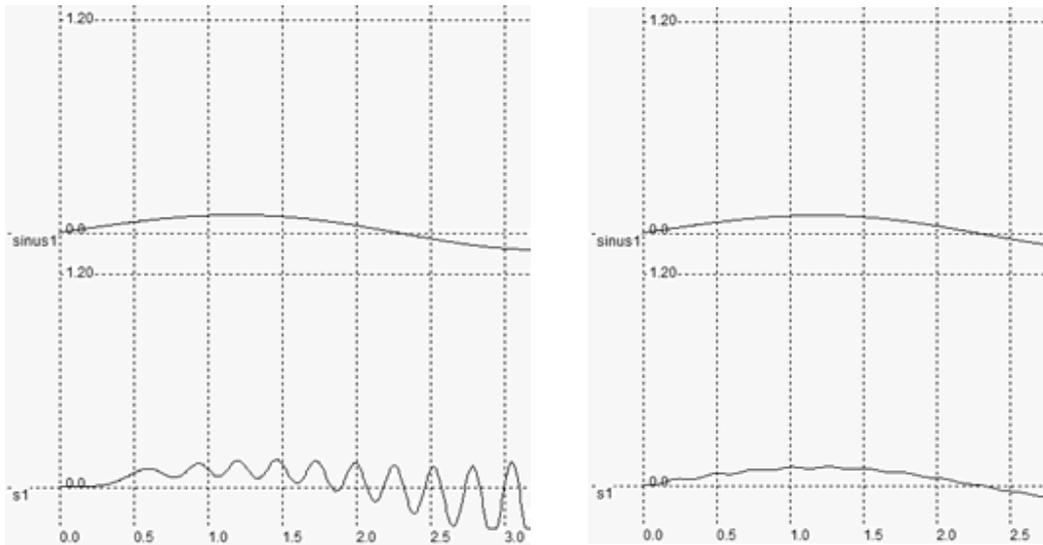


Рис. 3.31. Поведение RLC схемы вблизи резонанса (*Inductor3nHighQ.MSK*)

Частота резонанса около 2.4GHz, как и было предсказано теоретически. Однако, некоторое расхождение имеется. При моделировании синусоидальный генератор подавал сигнал в узел *A* и играл роль конденсатора *C1*. Поэтому частота сдвинулась в область более высоких частот. Кроме этого, моделирование индуктивности требует значительных вычислительных затрат при очень высокой точности расчетов, и моделирование может быть неустойчивым. Для технологии 0.12мкм шаг моделирования был выбран 0.3пс, что обеспечивало компромисс между точностью и скоростью. Если шаг увеличить до 1пс (рис. 3.32,а), то важные паразитные эффекты дают нестабильность и осцилляции. При более мелком шаге (0.1пс в случае рис. 3.32,б), моделирование будет почти корректным, но вычислительные затраты резко возрастают.



(а) Шаг моделирования, 1пс – слишком велик (б) Шаг моделирования, 0.1пс – почти корректно

Рис. 3.32. Численная нестабильность при моделировании с разными интервалами времени

Усилитель мощности. Усилитель мощности является составной частью радиопередающего устройства и используется для усиления сигнала передаваемого в антенну, так чтобы он мог быть принят на необходимом расстоянии. Обычно цифровая или аналоговая информация в основном обрабатывается на низких частотах, а затем преобразуется на высокие частоты с комбинацией определенного вида модуляции. Преобразователь частоты конвертирует сигнал низкой частоты f_{low} в сигнал высокой частоты f_{high} . Амплитуда сигнала на частоте f_{high} обычно мала (10-100мВ). Усилитель мощности необходим для увеличения амплитуды достаточной для передачи мощности в антенну (рис. 3.33).

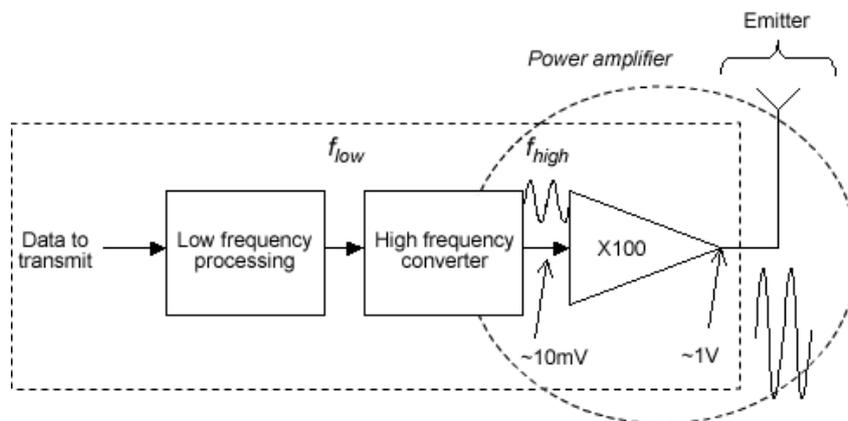


Рис. 3.33. Усилитель мощности в типичной ВЧ системе

Модель антенны. Мы можем рассматривать антенну как нагрузку усилителя, в идеальном случае пусть она будет чисто резистивной. Резистор антенны R_a определяет мощность, передаваемую антенне. Эта мощность в основном и передается антенной. Для большинства антенн мобильных телефонов R_a варьируется от 20 до 40 Ом. Такая антенна излучает в основном в направлениях X и Y (рис. 3.34). Длина антенны часто выбирается равной $\lambda/4$, где λ длина волны. С электрической точки зрения мы моделируем антенну как чисто резистивную нагрузку. Величина в 50 Ом широко используется для R_a при моделировании.

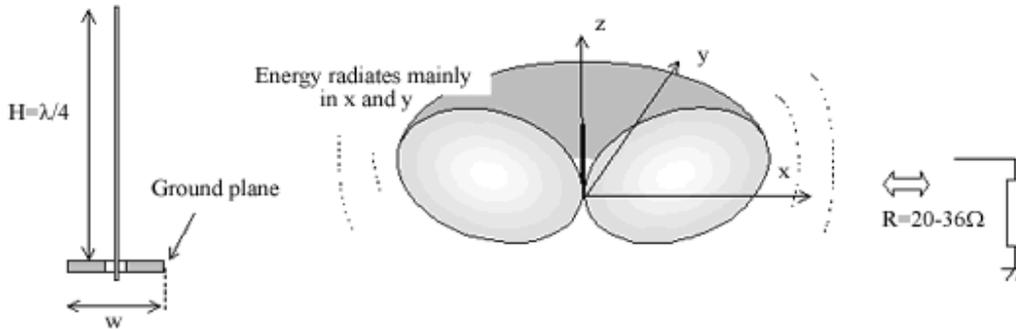


Рис. 3.34. В первом приближении антенна может быть представлена в виде резистивной нагрузки в 30 Ом

Уровень выходной мощности в мобильных телефонах находится в диапазоне от 10мВт до 1Вт. Обычно используют единицу измерений в дБм (dBm), или “децибел на мВт” (“dB milliwatt”). Соответствие между Вт и дБм представлено уравнением 3.7. Усилитель мощностью 1Вт имеет выходную мощность P_{out} в 30 дБм (рис. 3.35).

$$P_{dBmW} = 10 \cdot \log \left(\frac{P}{1mW} \right) = 10 \log (P) + 30 \quad (3.7)$$

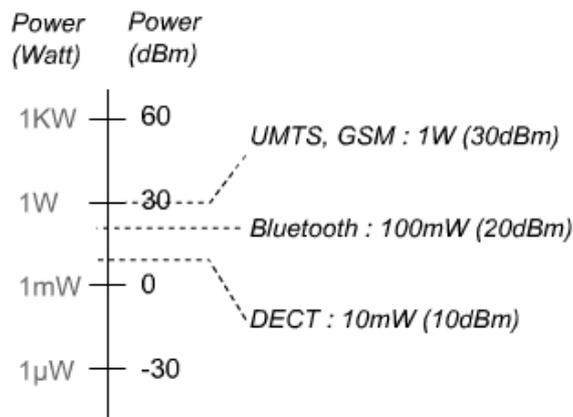


Рис. 3.35. Соотношения между Ваттами и дБм для некоторых систем

Большинство CMOS усилителей мощности базируются на одном транзисторе, нагруженном так называемой радиочастотной дроссельной индуктивностью (Radio-Frequency Choke inductor) LRFC, как показано на рис. 3.36. Индуктивность нагрузки на высоких частотах эквивалентна резистору с величиной $L \cdot 2\pi f$, и имеет два значительных преимущества по сравнению с резистором: индуктивность не потребляет DC мощность, а комбинация индуктивности и емкости нагрузки создает резонанс. Полученная мощность передается на нагрузку RL , которая часто фиксирована 50 Ом. Эта нагрузка равна сопротивлению антенны. Резонансный эффект получается между LRFC и CL . Уравнение для расчета резонанса приведено ниже:

$$f_{resonance} = \frac{1}{2\pi\sqrt{L_{RFC}C_L}} \quad (3.8)$$

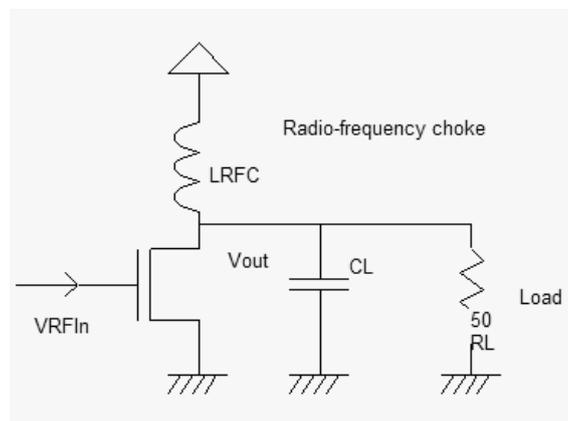


Рис. 3.36. Базовая конфигурация усилителя мощности (PowerAmp.SCH)

Например, усилитель мощности, спроектированный для Bluetooth должен иметь резонанс около 2.4GHz. Если мы предположим, что индуктивность имеет значение 3нГн, то соответствующая емкость должна быть порядка 1.5пФ.

Транзисторы MOS, используемые при проектировании усилителей мощности, имеют не очень хорошие характеристики по току, чтобы передать на нагрузку достаточную мощность. Это приводит к тому, что приходится использовать транзисторы с очень большой шириной (приборы с шириной более 1000мкм часто применяют). Радиочастотный дроссель имеет резонансный эффект, что позволяет индуцировать достаточное напряжение в выходном узле V_{out} . Далее, high voltage MOS приборы используются. Транзисторы MOS с очень большой шириной затвора не применяются напрямую, их получают, соединяя с транзистором средних размеров в параллель.

Топология сгенерированного транзистора с добавлением кольца поляризации к VSS, а metal2 контактирует с затвором (Signal V_{RF_In}) и стоком (Signal V_{out}), приведена на рис. 3.37. Максимальный ток здесь близок к 40 мА.

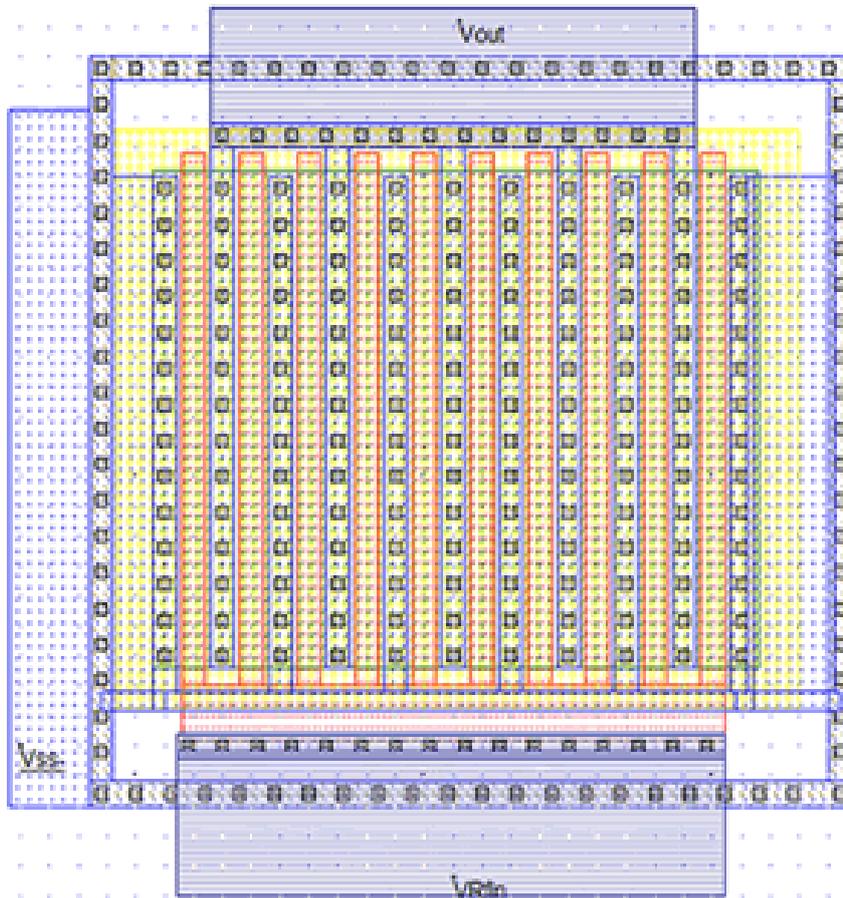


Рис. 3.37. Топология мощного MOS транзистора также включает кольцо поляризации, и контакт к слою metal2 (PowerAmplifier.MSK)

Пример усилителя на 160мА показан на рис. 3.38. Здесь 4 прибора соединены в параллель. Через выходной узел протекает очень большой ток и поэтому транзистор проектируется с максимально возможной шириной затвора и коротким соединением с выходным контактом для ограничения последовательного сопротивления и паразитной емкости на корпус. На характеристике I_d/V_d максимальный ток I_{on} близок к 170мА (рис. 3.39).

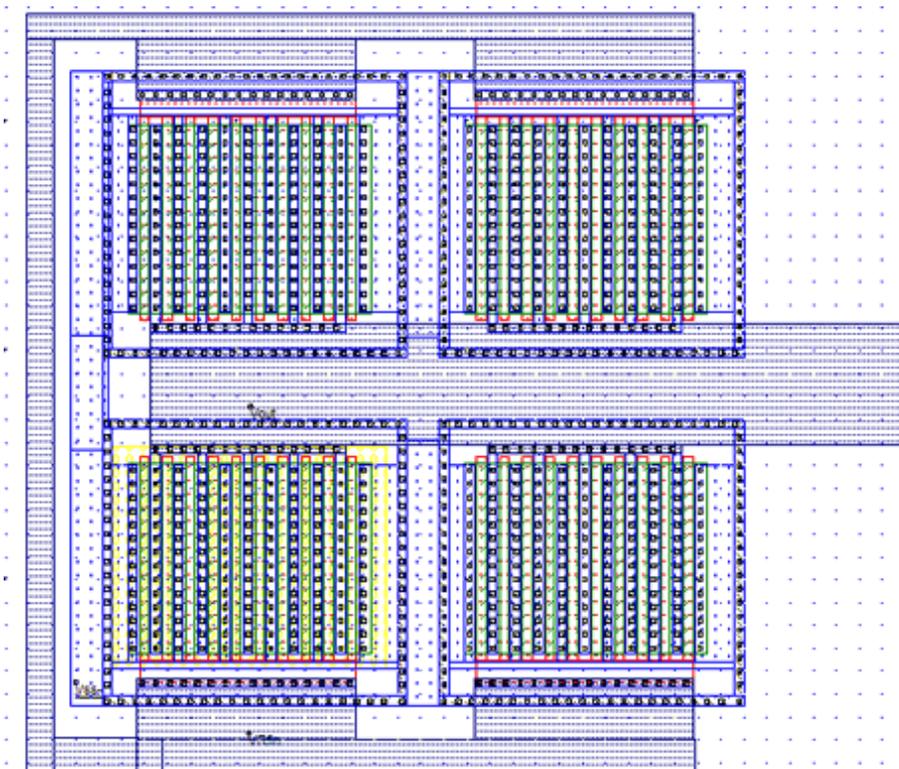


Рис. 3.38. Топология усилителя на 160мА, используя 4 MOS в параллель

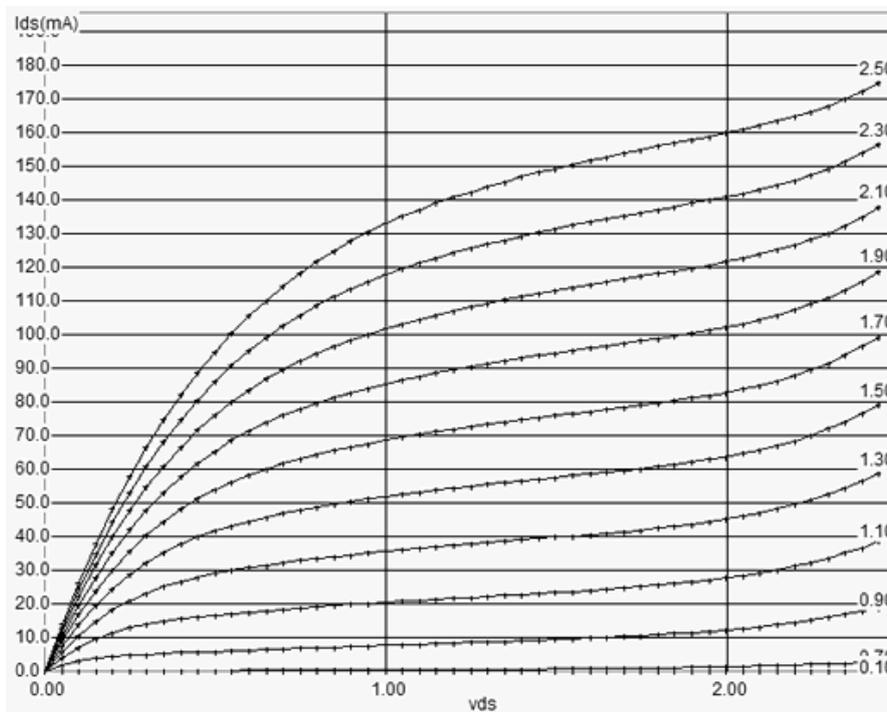


Рис. 3.39. Статические характеристики для 160мА мощного MOS

Коэффициент полезного действия (Эффективная мощность усилителя).

Одной из важнейших характеристик усилителей мощности является эффективная мощность усиления (коэффициент полезного действия, к.п.д., power efficiency, PE), также называемой эффективностью стока (drain efficiency). Определение дано уравнением 3.9, и это есть отношение мощности в нагрузке к мощности потребления питания. Задается обычно в процентах (%). Типичный диапазон PE от 25 до 50%.

$$PE = \eta = \frac{P_{RF_out}}{P_{DC}} \quad (3.9)$$

где
 P_{RF_out} - RF выходная мощность (Вт)
 P_{DC} - общая мощность потребления (Вт)

Оценим PE с помощью моделирования схемы рис. 3.40. Заметим, что соединение виртуальной нагрузки RL , неестественно, обычно один конец резистора соединен к VDD , что предпочтительней, чем к VSS . Соединение RL с корпусом добавляет очень важный ток покоя по постоянному току, который будет протекать, даже когда нет сигнала на входе. В реальности, сопротивление RL представляется сопротивлением антенны, которое не соединено напрямую с корпусом. Для того, что бы обойти паразитный ток DC , мы соединяем RL к VDD .

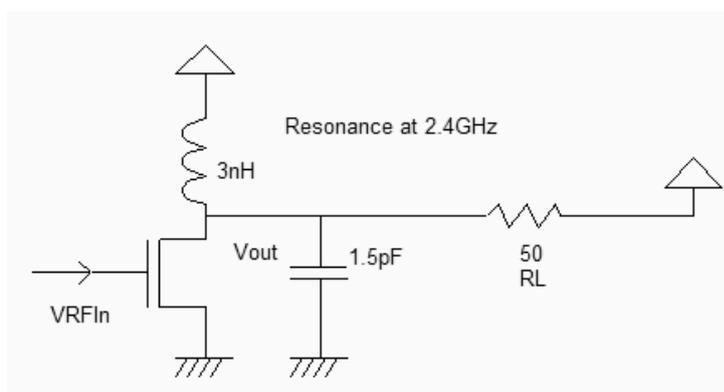


Рис. 3.40. Схема для определения эффективности усилителя мощности

Топология соответствующего усилителя мощности представлена на рис. 3.41. Индуктивность, как сопротивление нагрузки в 50 Ом, является виртуальной.

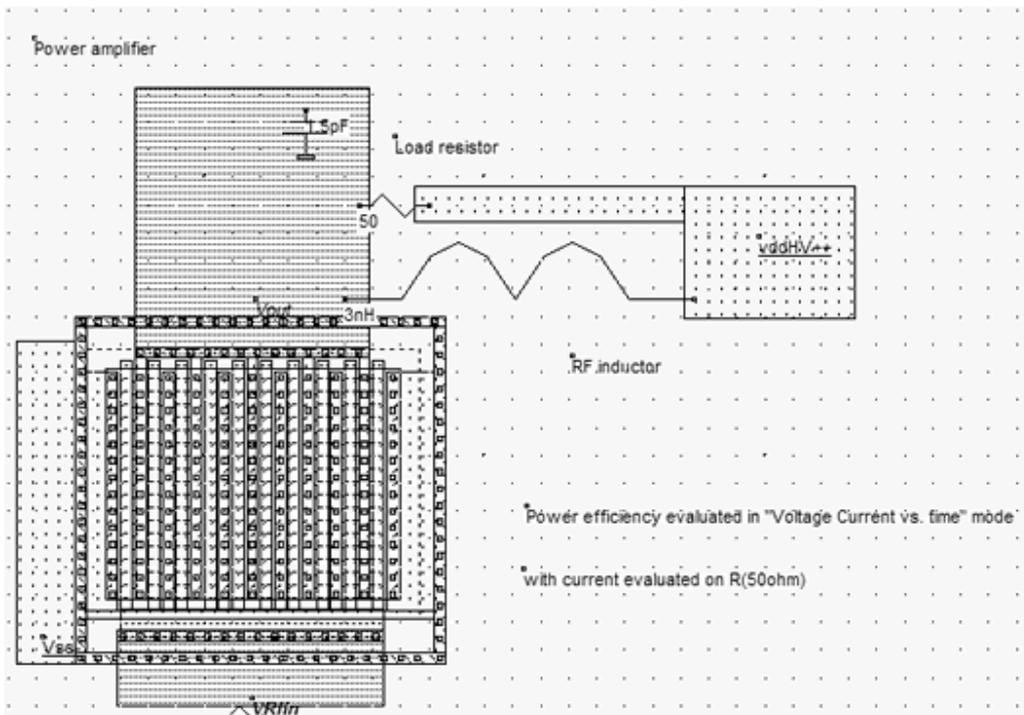


Рис. 3.41. Топология усилителя мощности

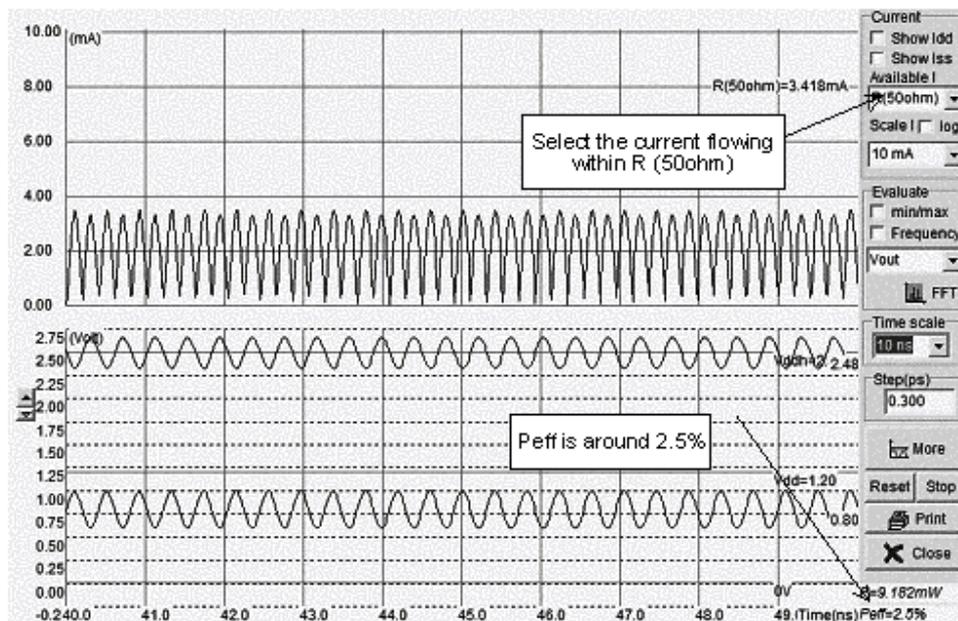


Рис. 3.42. Результаты моделирования усилителя мощности

Моделирование простого усилителя мощности дало нам к.п.д. в 2.5%, что очень мало (рис. 3.42). Другими словами, 97.5% энергии источника питания теряется в схеме, и только 2.5% доходят до нагрузки. Существует несколько способов увеличения к.п.д.: увеличение размеров MOS транзистора, изменение

амплитуды входного синусоидального колебания и изменение режима по постоянному току (DC).

Другой характеристикой усилителей мощности служит коэффициент добавленной мощности (power added efficiency, PAE). PAE определяется уравнением 3.10.

$$PAE = \left(\frac{P_{RF_out} - P_{RF_in}}{P_{DC}} \right) \quad (3.10)$$

где
 P_{RF_out} - RF мощность на выходе (Вт)
 P_{RF_in} - RF мощность на входе (Вт)
 P_{DC} - потребляемая мощность по питанию (Вт)

Усилитель мощности класса А. Различие в режимах работы усилителя мощности (режимы А, В, АВ и др.) определяется поляризацией входного сигнала. Режим класса А усилителя обеспечивается поляризацией транзистора таким путем, что он всегда проводит ток, и MOS транзистор будет работать в почти линейном режиме. Пример усилителя класса А приведен на рис. 3.43, где используется довольно большой MOS транзистор для улучшения к.п.д.

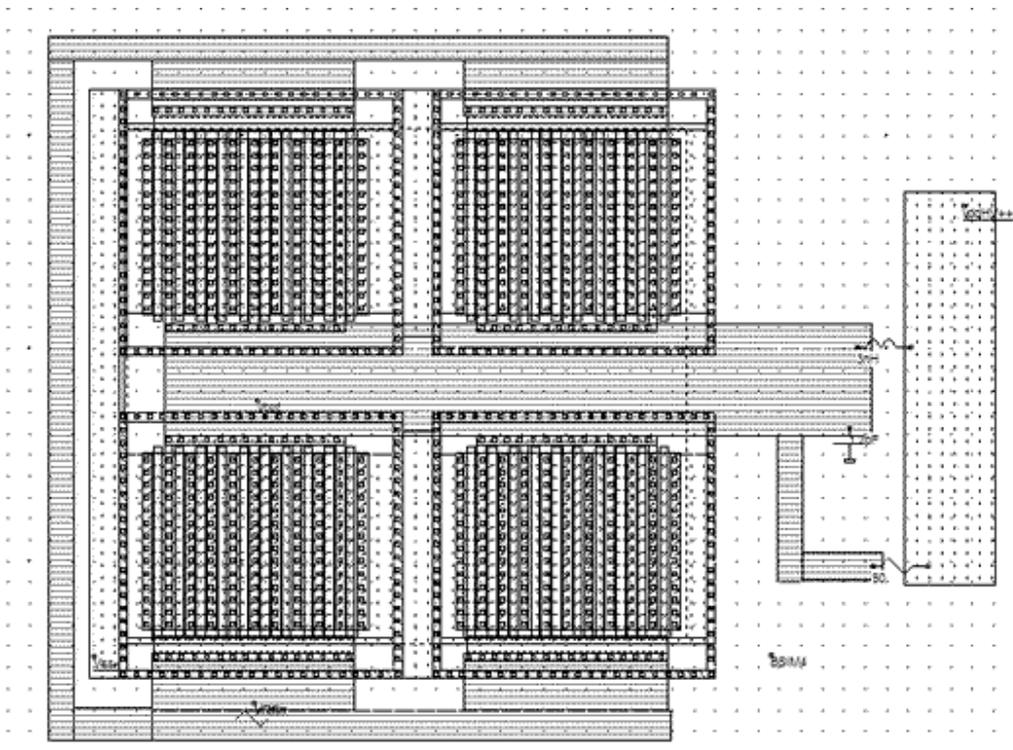


Рис. 3.43. Усилитель класса А использует транзистор с большим каналом

Рабочая точка для синусоидального входа равна 1.3В, амплитуда сигнала 0.4В. Траектория функционирования (изменения рабочих точек) усилителя мощности представлена на рис. 3.44. Мы видим эволюцию траектории и рабочих точек транзистора при таких параметрах: V_{gs} изменяется от 0.9В до 1.7В, I_{ds} меняется между 20мА и 70мА. Транзистор всегда проводит ток, что соответствует классу А усилителя.

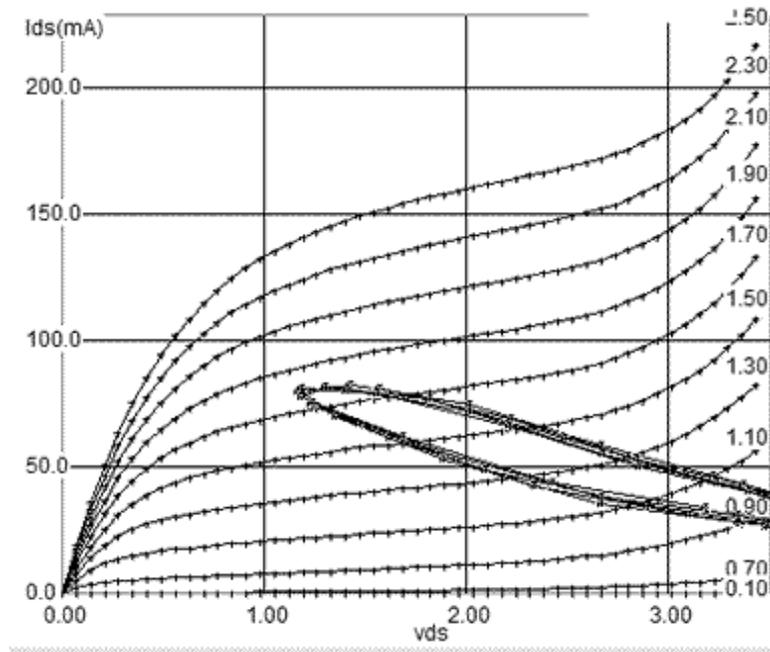


Рис. 3.44. Траектория изменения рабочей точки усилителя класса А (PowerAmplifierClassA.MSK)

Основной недостаток схем в режиме А является большой ток смещения, что приводит к низкой эффективности. К.п.д. порядка 11% для топологии, приведенной выше. Основное достоинство такого усилителя – это его линейность, т.е. работа в линейном режиме, что иллюстрируется почти синусоидальным колебанием на выходе V_{out} , как показано на рис. 3.45.

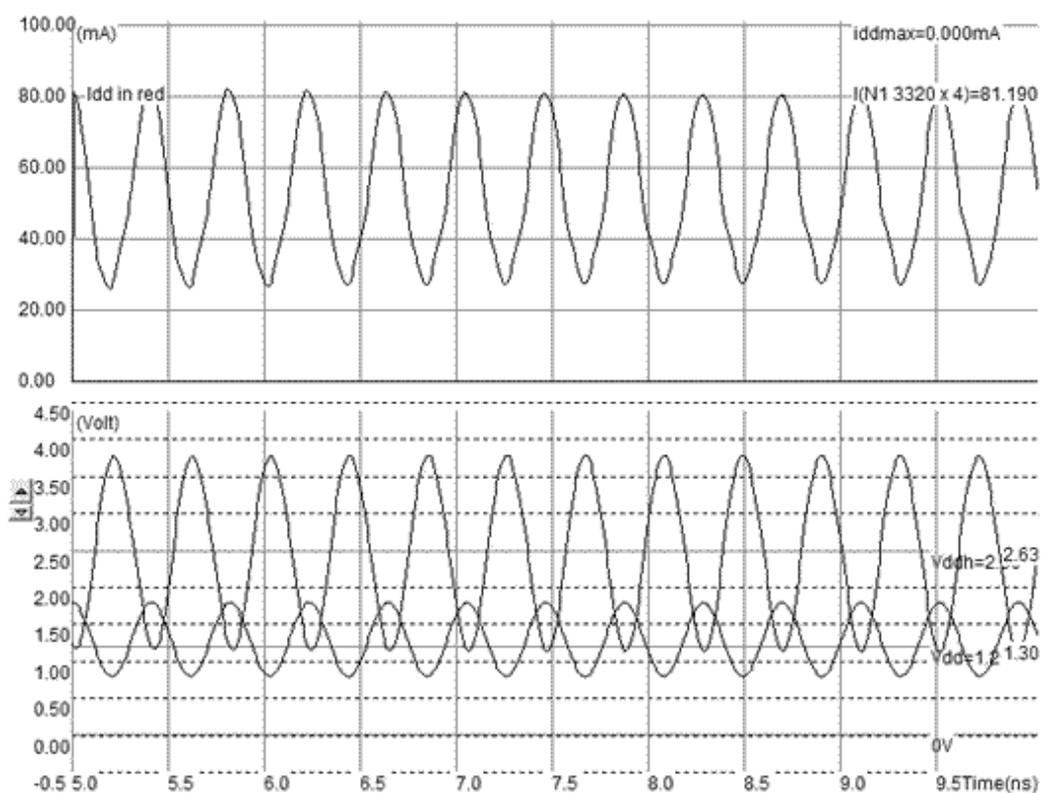


Рис. 3.45. Моделирование усилителя класса А

Класс В усилителя. В классе В MOS транзистор проводит ток только полпериода (рис. 3.46). Пик мощности также соответствует пику тока в течение полпериода. К.п.д. достигает 20%. Основной недостаток такой схемы – большие нелинейные искажения по сравнению с классом А. Промежуточный режим АВ соответствует работе транзистора между половиной периода и полным периодом.

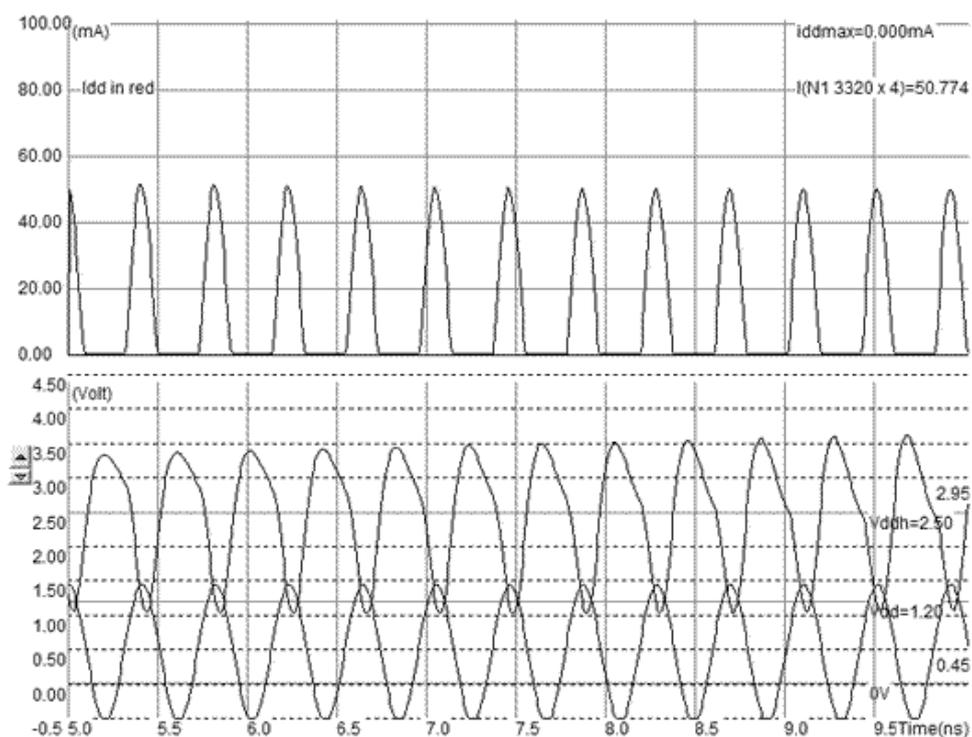


Рис. 3.46. Моделирование класса В усилителя мощности

Оценку спектрального состава выходного напряжения можно выполнить с помощью преобразования Фурье (БПФ, FFT). График приведен на рис. 3.47 и показывает пик на частоте около 2.5 ГГц. Значительная энергия присутствует на второй ($2 \cdot f_0 = 4900$ МГц) и третьей гармониках ($3 \cdot f_0$). Это следствие нелинейности транзистора.

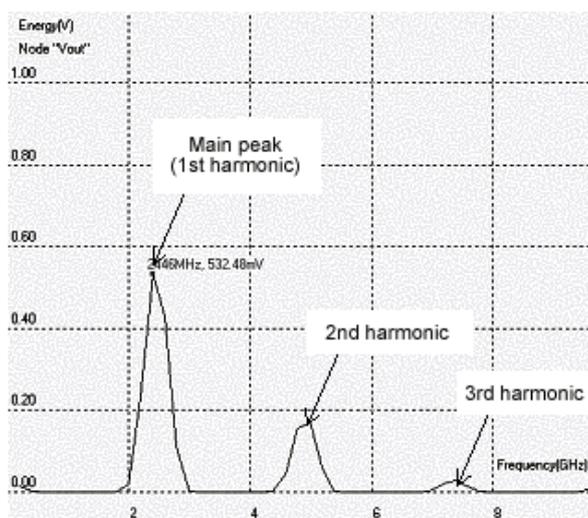


Рис. 3.47. Спектральный состав для усилителя класса В

Другие режимы. В режиме С транзистор открыт на время менее полпериода. Увеличение к.п.д. достигается за счет уменьшения выходной мощности в нагрузке. Схема усилителя класса Е представлена на рис. 3.48. Полосовой фильтр (LHF, CHF) добавлен в выходной каскад, настроенный на входную частоту VRF_{in} . Этот фильтр подавляет амплитуды паразитных гармоник. В некоторых случаях гармоники третьего и пятого порядков являются необходимыми (например, 77ГГц для автомобильных радаров, в этом случае усилитель выполняет функцию переноса (сдвига) частоты).

Выходной каскад имеет разделительную емкость C_c . Роль этой емкости не пропустить постоянную составляющую тока (DC) в нагрузку. Теоретическое значение к.п.д. для усилителей класса Е выше, чем 50%.

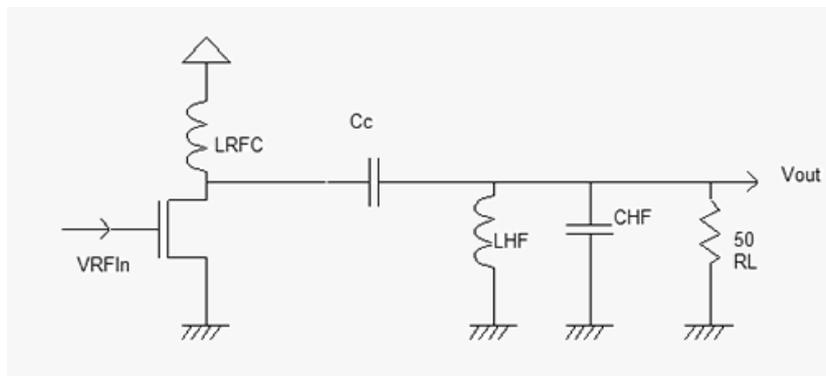


Рис. 3.48. Усилитель класса Е

При моделировании и проектировании усилителей мощности необходимо учитывать температурные эффекты, так как высокая мощность приводит к тому, что выходные каскады могут работать при температуре 80°C для усилителей средней мощности (около 1Вт). В некоторых случаях ИМС могут работать при 250°C.

3.8. Генераторы

Роль генератора состоит в создании периодического логического или синусоидального аналогового сигнала со стабильной и предсказуемой частотой. Генераторы требуются для генерации сигнала несущей частоты для радиочастотных приложений, но также и для сигналов синхронизаций в процессорах.

Кольцевой генератор является очень простым вариантом построения, и основывается на переключении задержки, существующей между входом и выходом инвертора. Если мы соединим нечетное число инверторов в цепочку, то получим реальную генерацию с периодом, который соответствует примерно числу

элементарных задержек каждого затвора. Одной из самых скоростных генераций получается при 3 инверторах (одиночный инвертер, соединенный сам с собой не генерирует колебаний). Обычно используют последовательность от 5 до сотен инверторов (рис. 3.49). Иногда один из инверторов в цепи заменяется NAND схемой для запуска генерации.

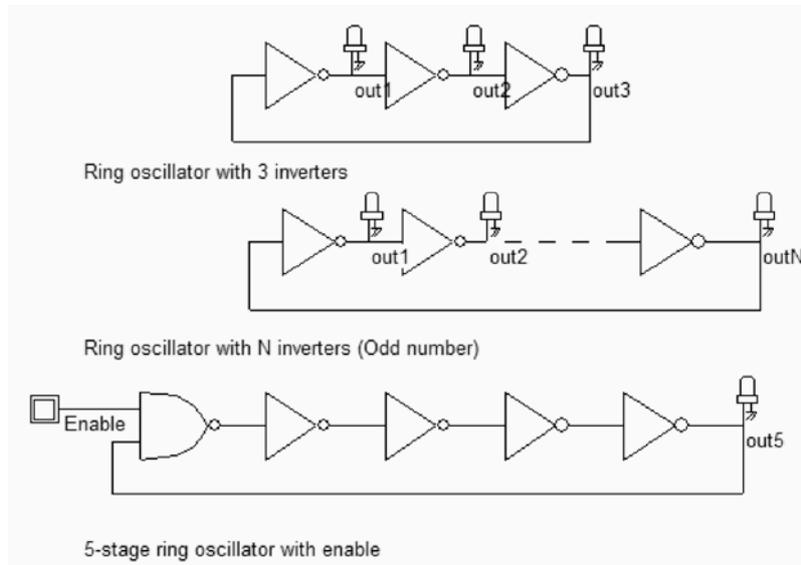


Рис. 3.49. Кольцевые генераторы на основе нечетного числа инверторов (*Inv3.SCH*)

Топология кольцевого генератора на 3 инверторах приведена на рис. 3.50. Выход правого крайнего инвертора соединен с входом левого крайнего инвертора металлическим мостом для создания необходимой обратной связи. Отметим, что здесь нет никаких стартовых сигналов, так как схема генерирует автоматически за счет внутренних нестабильностей. Результаты моделирования (рис. 3.51) показывают начало колебаний и выход на стабильную генерацию частоты.

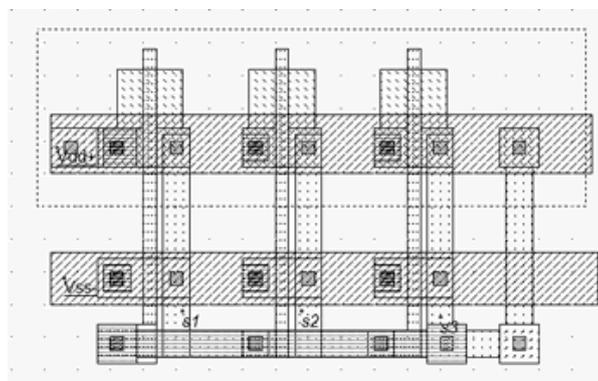


Рис. 3.50. Топология генератора на 3 инверторах

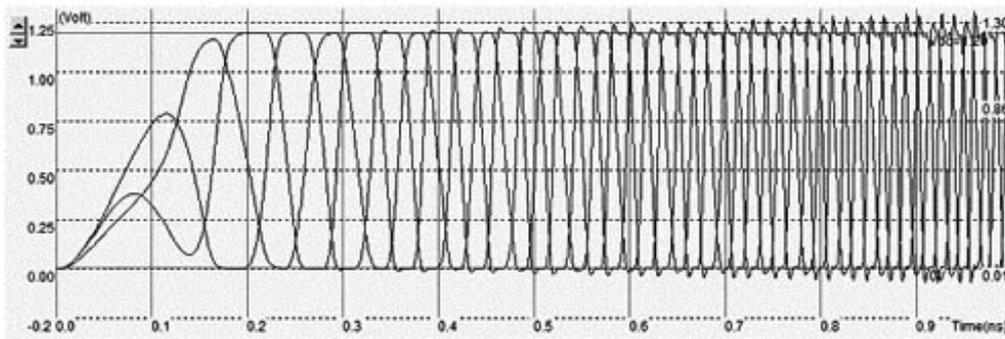


Рис. 3.51. Результаты моделирования кольцевого генератора

Основной проблемой такого типа генераторов является сильная зависимость выходной частоты от всех параметров технологического процесса и режимов работы. Например, величина напряжения питания VDD значительно влияет на частоту генерации. Если выполнить моделирование, изменяя VDD от 0.8В до 1.4В с шагом 50мВ, то увидим значительное увеличение частоты (почти в два раза). Нестабильность и непредсказуемость генерации также основывается на переключательных характеристиках логических затворов, которые могут варьироваться в пределах $\pm 20\%$. Методом Монте-Карло выполнено моделирование для оценки влияния технологических параметров (рис. 3.52). Как заключение, кольцевые генераторы имеют плохие характеристики и используются только для генерации синхроимпульсов с низкими требованиями.

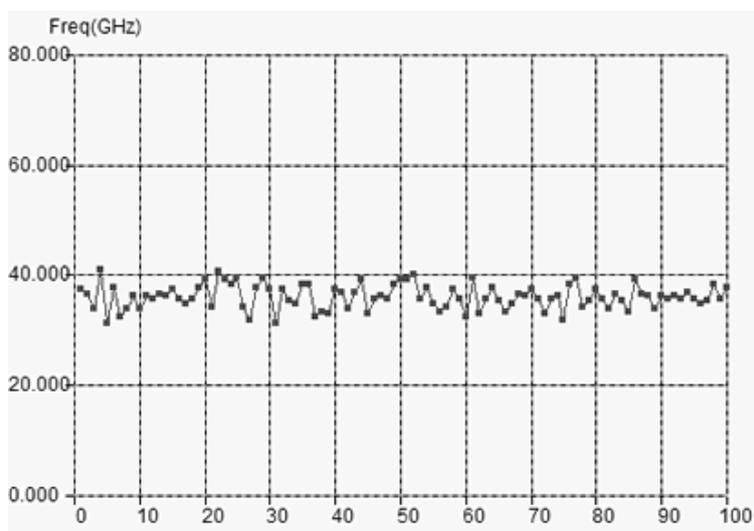


Рис. 3.52. Влияние характеристик технологического процесса на частоту переключений

LC генераторы. LC-генераторы основаны на эффекте резонанса пассивных элементов индуктивности и емкости. На схеме рис. 3.53 индуктивность $L1$ и емкость $C1$, соединенная с $S1$, в комбинации с $C2$, соединенной с $S2$ дают резонанс.

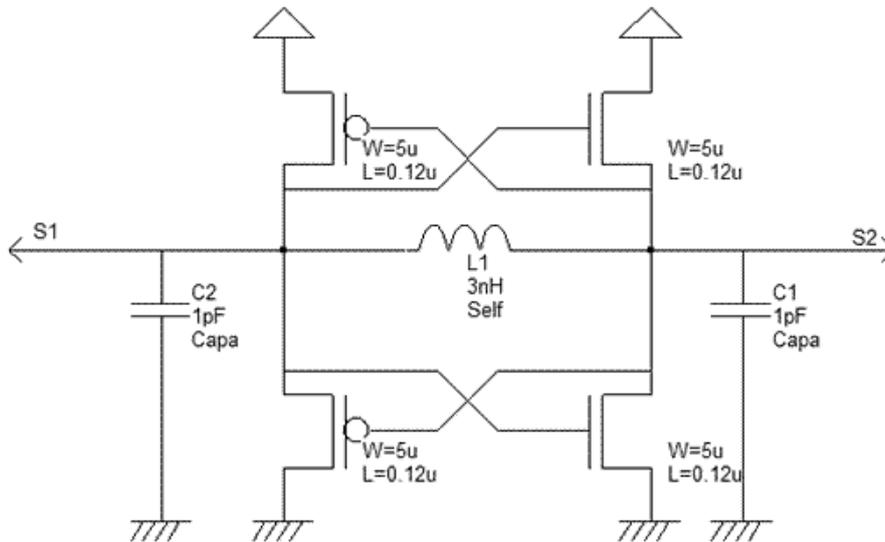


Рис. 3.53. Генератор на основе резонансных свойств индуктивности и емкости (OscillatorDiff.SCH)

При выполнении топологии используют виртуальную индуктивность в 3nH и два конденсатора по 1пФ (рис. 3.54). Большая ширина транзисторов с большим током обеспечивает (развязку) не влияние больших емкостей на выходном узле на проектируемой частоте. Рекомендуется использовать виртуальный конденсатор, вместо физического дросселя на чипе в процессе разработки модели для облегчения внесения изменений в варьируемые параметры индуктивности и емкости для достижения корректных результатов. Как только схема будет промоделирована с хорошими результатами, то тогда виртуальные элементы заменяются физическими компонентами.

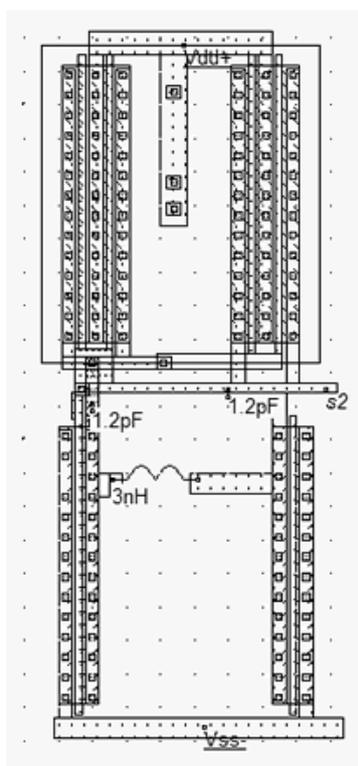


Рис. 3.54. Топология генератора

Результаты моделирования во временной области приведены на рис. 3.55. Видно, что период порядка 1нс достигается в установившемся режиме после нескольких наносекунд. Полученная частота равна 3.75ГГц при индуктивности $L1$ в 3нГн и емкости $C1$ и $C2$ в 1пФ.

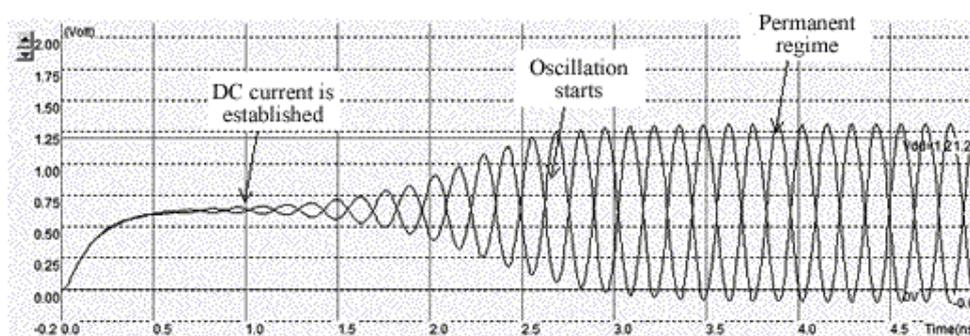


Figure 3.55. Моделирование дифференциального генератора (OscillatorDiff.MSK)

Преобразование Фурье выходного сигнала $s1$ дает основную частоту $f_0=3.725$ ГГц, как и предполагалось и несколько гармоник на $2xf_0$ и $3xf_0$ (рис. 3.56). Достоинствами такой схемы являются достаточно стабильная частота генерации даже при изменениях напряжения питания или температуры. Более того, вариация параметров MOS модели практически не влияет на частоту.

Можно исследовать эффект влияния напряжения VDD на резонансную частоту, уменьшая VDD с 1.2В до 0.9В. В результате получаем значительное увеличение времени неустойчивого состояния, хотя конечная частота генерации не меняется.

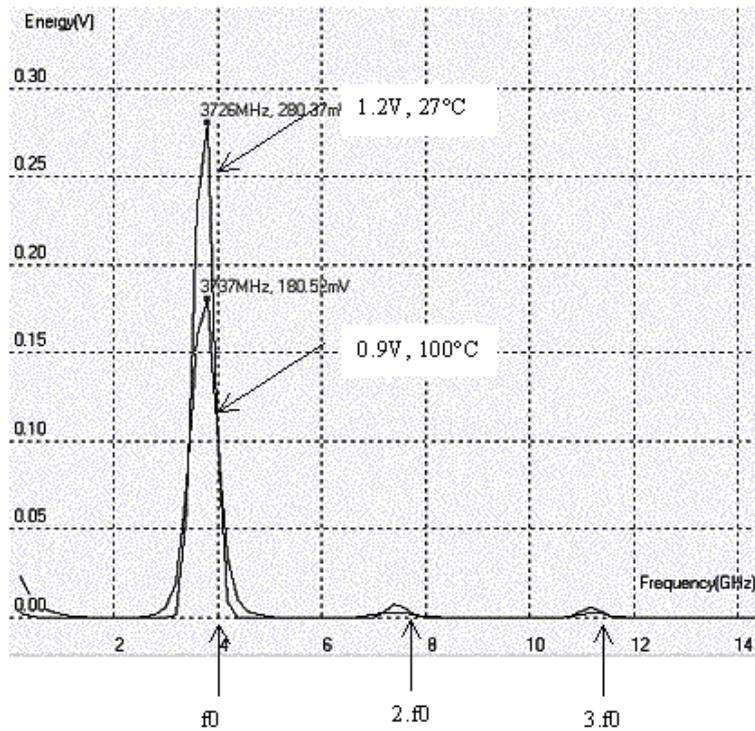


Рис. 3.56. Спектральный состав на выходе генератора

К сожалению, индуктивность на чипе не постоянна, так как сопротивление материала, проводимость пленок может отличаться на несколько процентов. Конденсаторы типа poly/poly2, используемые для пассивных емкостей, могут также значительно варьироваться в зависимости от процесса из-за внутренних слоев оксида. Температура также влияет на значение емкостей. Поэтому, имеется значительное изменение частоты генерации в зависимости от технологических параметров (рис. 3.57).

В качестве заключения отметим, что предсказание стабильной частоты очень затруднительно получить на чипе без каких-либо внешних точных компонент. На высоких частотах наиболее часто используют кварц для обеспечения практически точных характеристик генерации.

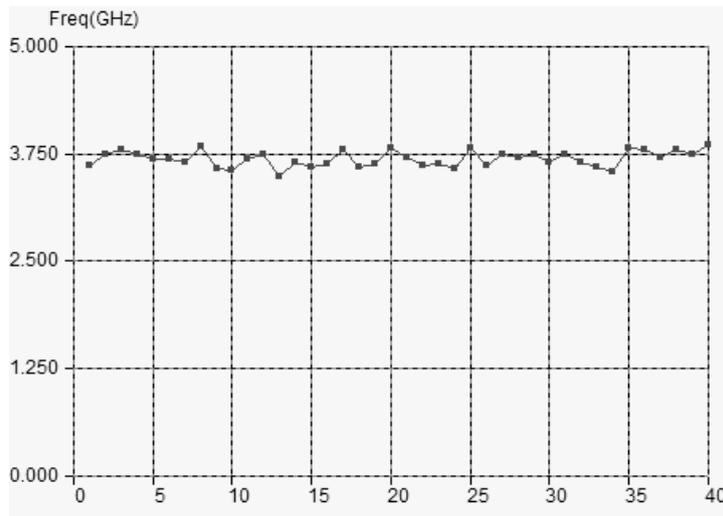


Рис. 3.57. Частота LC-генератора зависит от технологических параметров

Управляемые напряжением генераторы (Voltage Controlled Oscillator).

Управляемые напряжением генераторы (VCO) генерируют сигнал с управляемой частотой. Это один из основных блоков для схем ФАПЧ (PLL). Синхросигнал может варьироваться в диапазоне $\pm 50\%$ от центральной частоты. Ток, возмущающий VCO, показан на рис. 3.58. Ток, который воздействует на инвертор, использует $V_{control}$ для изменения тока, который протекает в цепи $N1, P1$. Ток через $N1$ повторяется $N2, N3$ и $N4$. Тот же самый ток протекает через $P1$. Ток через $P1$ повторяется $P2, P2$, и $P4$. Следовательно, изменения в $V_{control}$ приводят к большим изменениям в токе схемы инвертора и напрямую действуют на задержку. Обычно более 3 инверторов используются в петле обратной связи. Число каскадов также обычно велико, в зависимости от необходимой частоты генерации и снижения потребления.

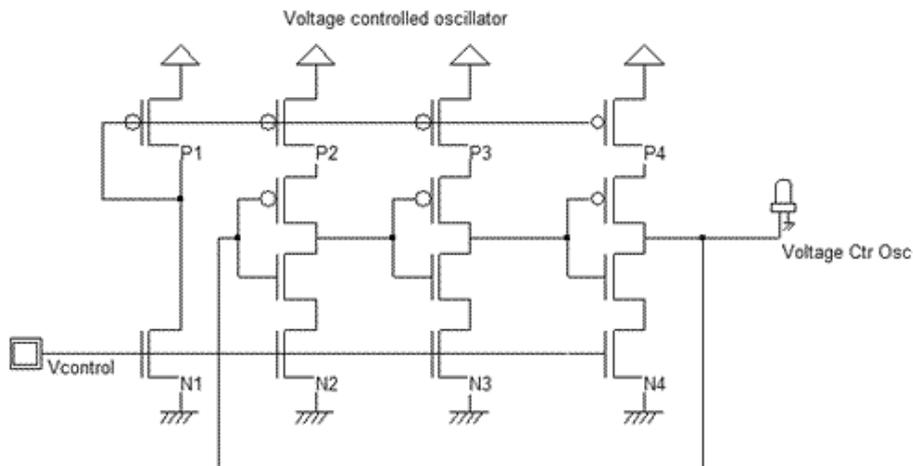


Рис. 3.58. Схема генератора управляемого напряжением

Реализация VCO для цепочки из 5 инверторов приведена на рис. 3.59. Зеркало токов расположено с лева. Используется пять инверторов для создания основного кольцевого генератора. Здесь добавлен буферный инвертор с правой стороны топологии.

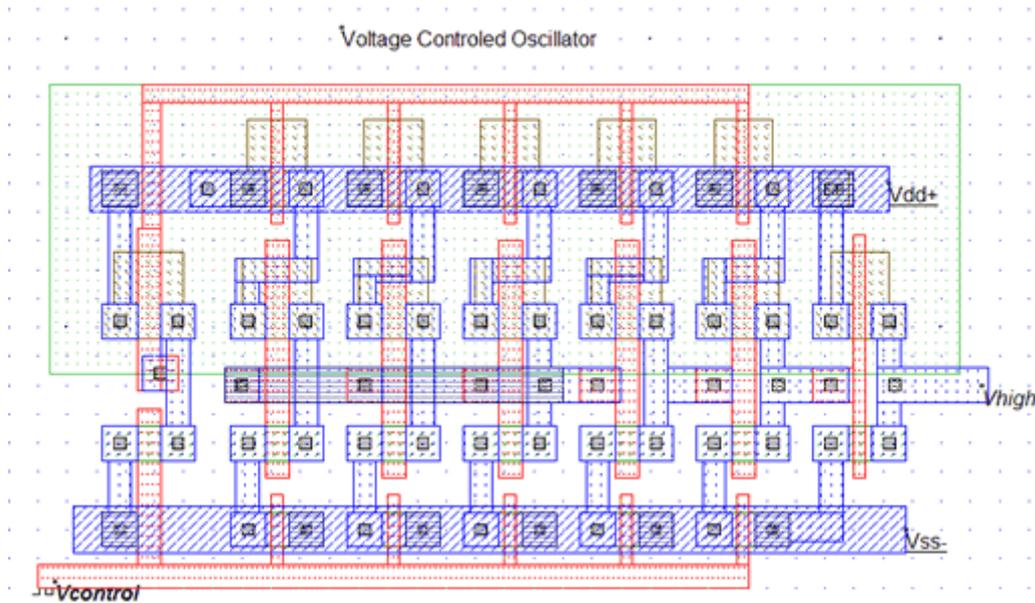


Рис. 3.59. Топология VCO на 5 инверторах

Частота, оцененная в выходном узле V_{high} , показывает, что нет никаких осцилляций при входном напряжении $V_{control}$ меньше чем 0.5В. В этом случае, VCO начинает генерировать колебание, но зависимость частоты явно нелинейная (рис. 3.60). Максимальная частота получается при наибольшем значении $V_{control}$, примерно 8.4ГГц. Увеличивая число инверторов, и сокращая размеры источников тока MOS транзисторов, мы можем изменить легко частоту генерации.

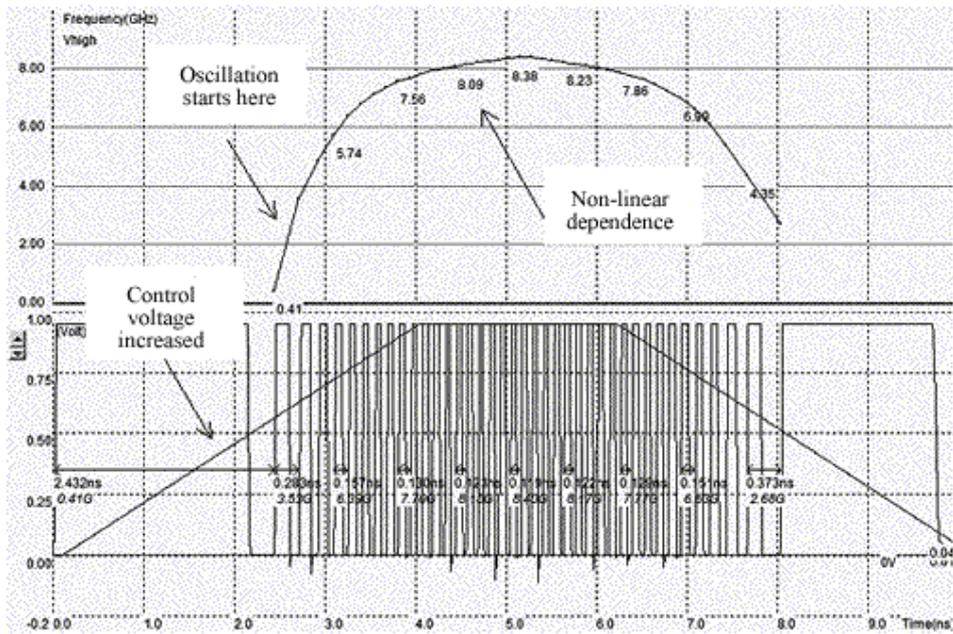


Рис. 3.60. Нелинейная зависимость частоты от управляющего напряжения

Высокоэффективные VCO. VCO с высокой линейностью приведен на рис. 3.61. Эта схема была реализована в нескольких ИМС с прекрасными результатами для 0.8, 0.35 и до 0.18мкм технологий. Основной принцип VCO – это задержка с линейной зависимостью от управляющего напряжения. Задержка состоит из последовательного р-канального MOS транзистора, управляемого $V_{control}$, и п-канального MOS транзистора, управляемого V_{plage} . Задержка по отношению к $V_{control}$ почти линейна. Две задержки обеих частей генератора соединены, как показано на схеме.

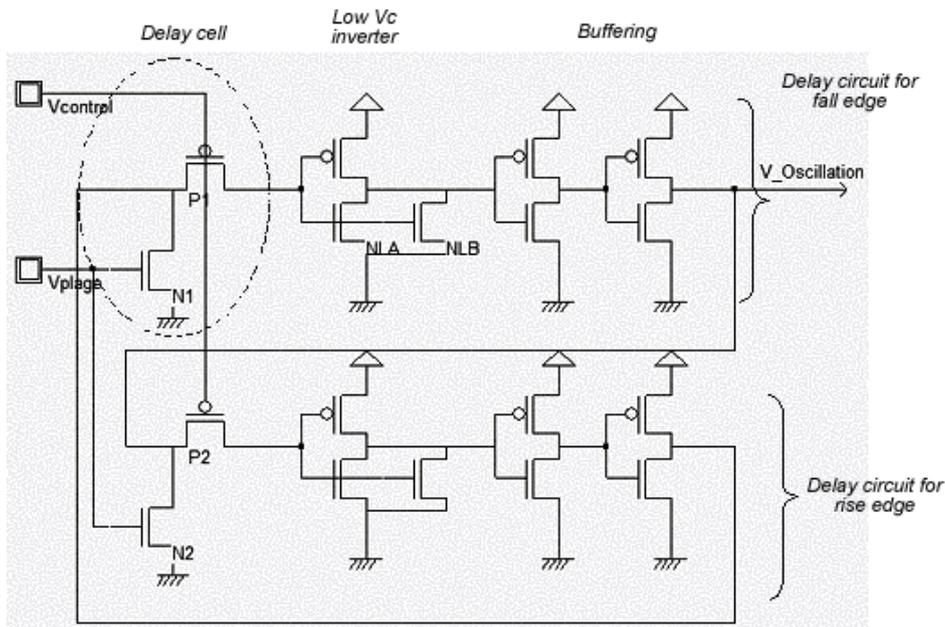


Рис. 3.61. Высокоэффективный VCO

Топология VCO использует слабую связь инвертора после схемы задержки. Это выполнено при реализации большого n-канального MOS транзистора (N1 на рис. 3.62) с высокопроизводительными возможностями и p-канального MOS транзистора с низкими возможностями (P1 на рис. 3.62).

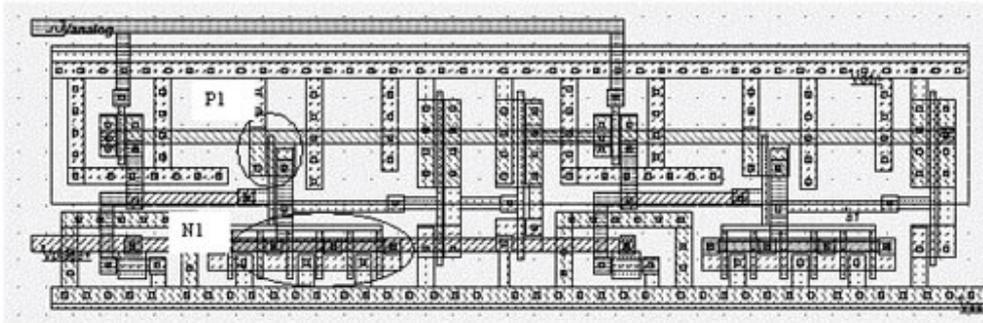


Рис. 3.62. Топология для высокоэффективного VCO

Результаты моделирования высокопроизводительного VCO приведены на рис. 3.63. Почти линейная зависимость генерируемой частоты от управляемого входного напряжения видна в диапазоне 0...0,6В.

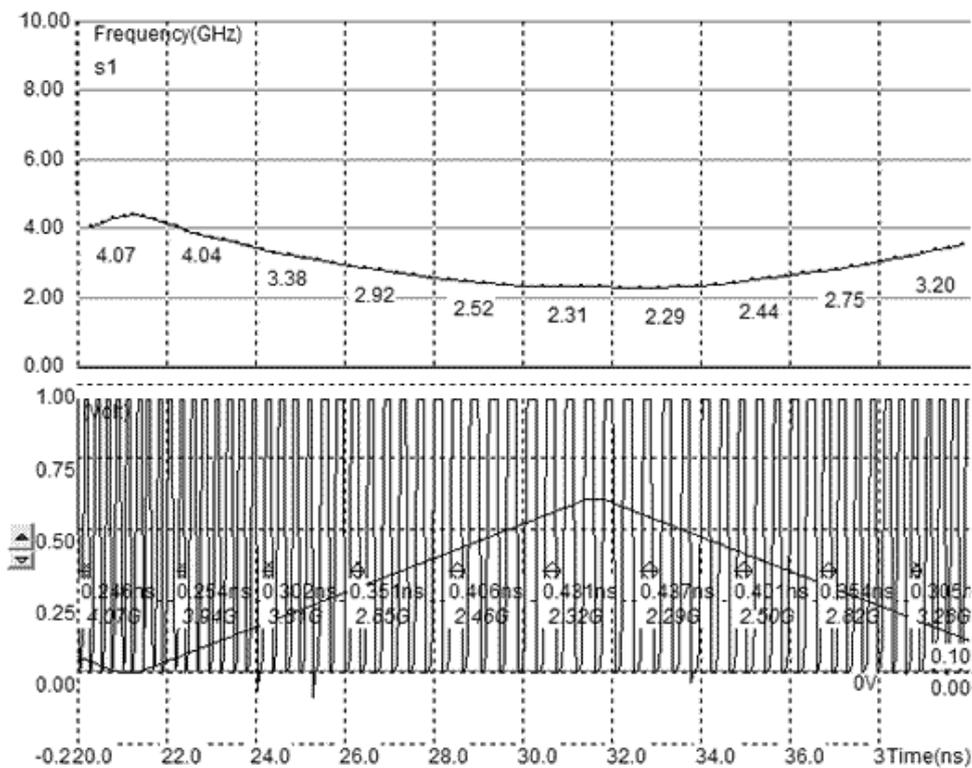


Рис. 3.63. Моделирование высокоэффективного VCO

3.9. Схемы ФАПЧ (Phase-lock-loop)

Схемы ФАПЧ (PLL) широко используются в микропроцессорах для генерации синхросигналов на высоких частотах ($f_{out}=2ГГц$, например), используя сигнал более низких частот ($f_{ref} = 100МГц$, например). PLL также используются как схема регенерации синхросигнала на основе последовательности бит, последовательно передаваемых без синхронизации (рис. 3.64). PLL также используются в схемах частотной демодуляции, для преобразования изменения частоты колебания в напряжение.

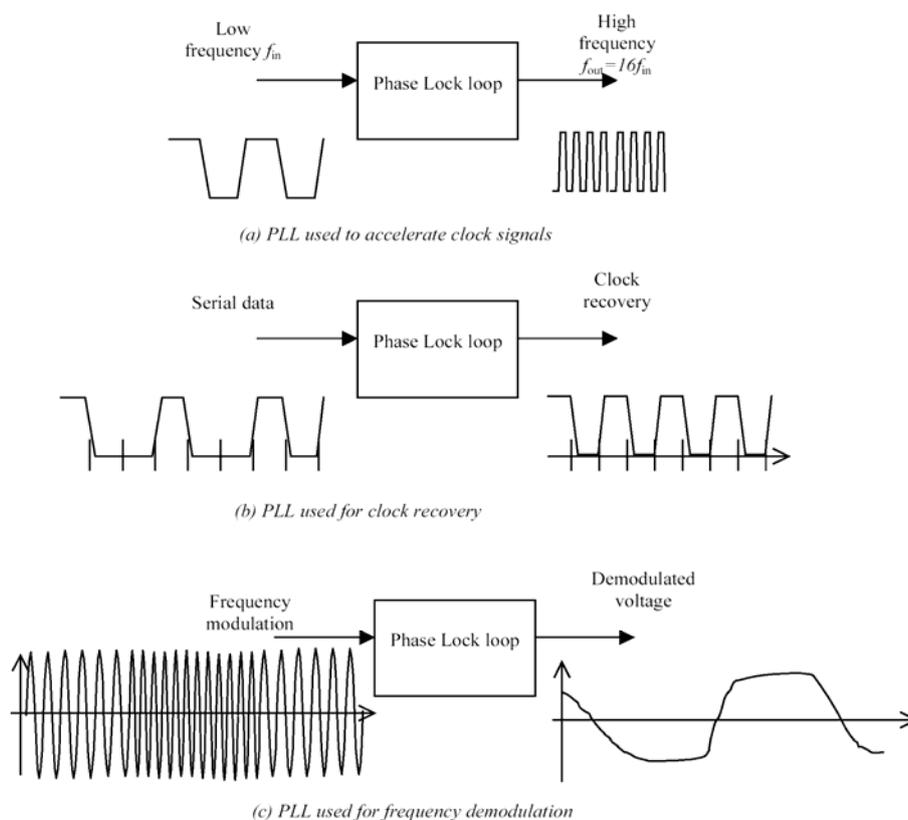


Рис. 3.64. Принципы работы схем ФАПЧ (PLL)

PLL включает в себя высокочастотный генератор с варьируемой скоростью, счетчик, фазовый детектор и фильтр (рис.3.65). Все эти схемы охвачены обратной связью, которая соединяет выходной сигнал $ClkOut$ с входным $ClkIn$ через процесс автоматической подстройки фазы. Когда процесс запущен, то высокая выходная частота f_{out} будет равна точно $N \cdot f_{in}$. Изменения входной частоты f_{in} преобразуются фазовым детектором в импульсный сигнал, который преобразуется в изменения аналогового сигнала V_c . Этот сигнал изменяет частоту VCO, которая делится счетчиком и изменяет $clkDiv$ в соответствии с f_{in} .

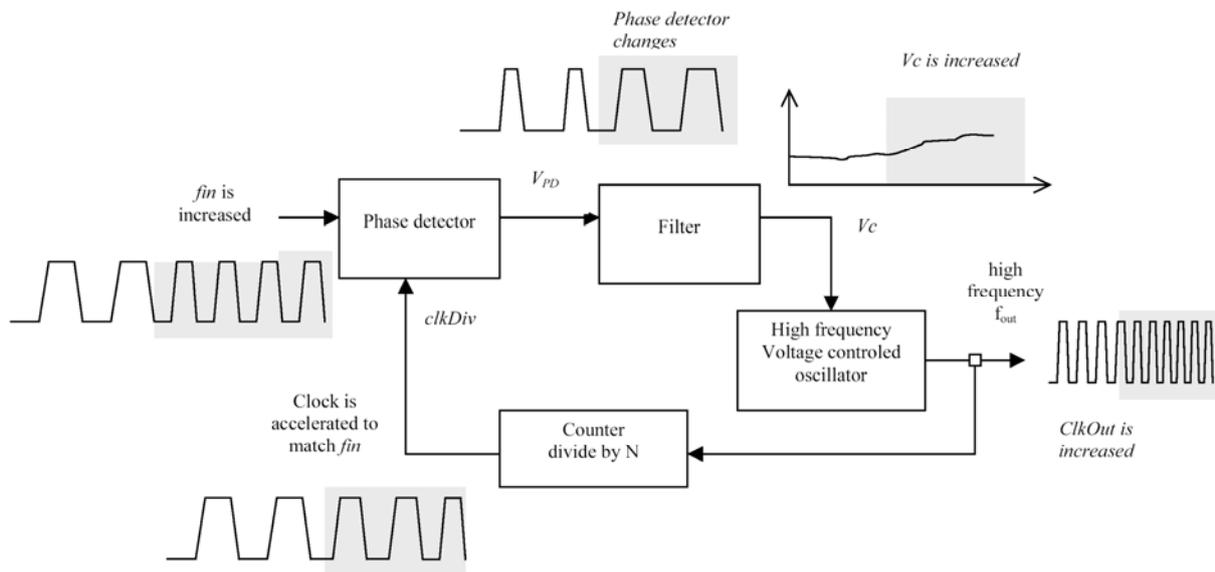


Рис. 3.65. Принципы работы и структура схем ФАПЧ (PLL)

Фазовый детектор. Наиболее простым фазовым детектором является элемент XOR. Выход элемента XOR выполняет регулярную квадратичную генерацию PD_Out , когда вход $clkIn$ и сигнал $divIn$ имеют угол равный $1/4$ периода сдвига (90° или $\pi/2$). Для всех остальных углов выход не будет регулярным. На рис. 3.66 два синхросигнала с очень близкими периодами используются для моделирования фазового детектирования.

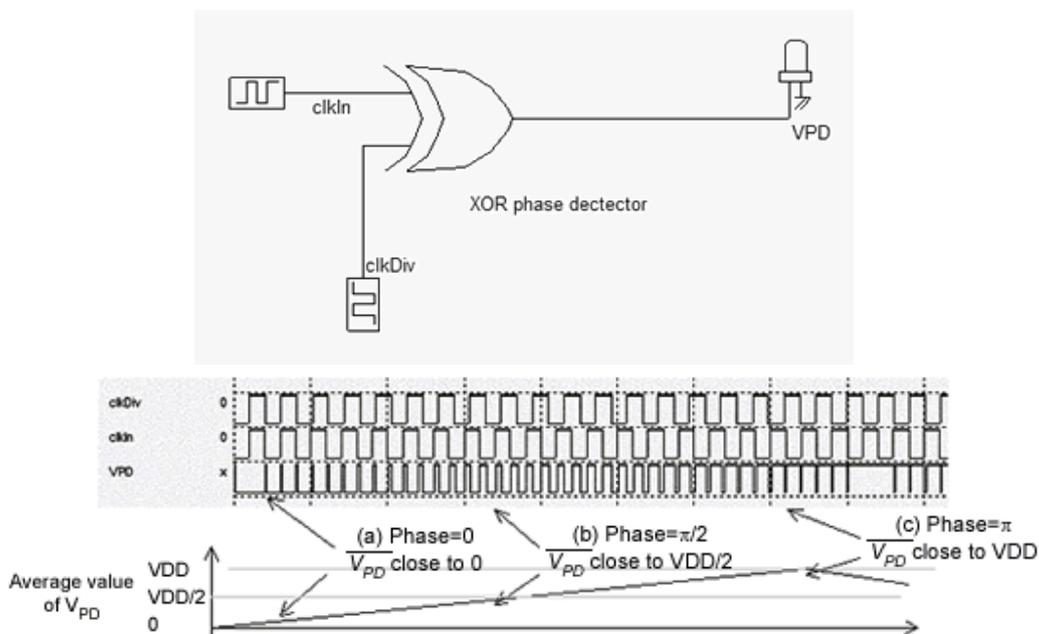


Рис. 3.66. Фазовый детектор на XOR и его работа

При инициализации (рис. 3.66) среднее значение выхода XOR V_{PD} близко к 0. Когда фаза между $clkIn$ почти равна $\pi/2$, то V_{PD} будет равен $VDD/2$, пока оно не увеличится до VDD . Разность фаз и V_{PD} будут определяться выражением 3.11. Например, когда $\Delta\phi = \pi/2$, то V_{PD} равно $VDD/2$.

$$\overline{V_{PD}} = \frac{VDD \cdot \Delta\phi}{\pi} \quad (3.11)$$

Коэффициент усиления (передачи) фазового детектора определяется отношением между V_{PD} и $\Delta\Phi$. Этот коэффициент часто записывается как K_{PD} по выражению 3.12, которое оценивает $\Delta\phi$ между 0 и π , как изображено на рис. 3.67.

$$K_{PD} = \frac{VDD}{\pi} \quad (3.12)$$

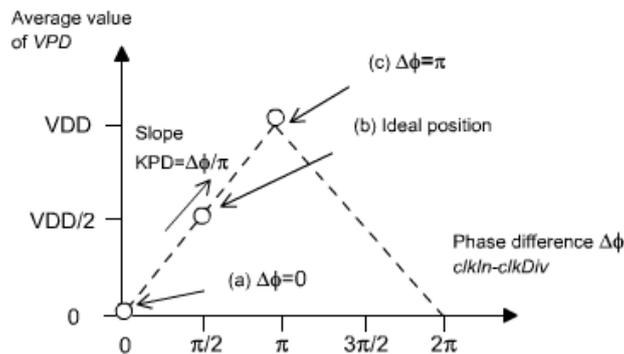


Рис. 3.67. Работа фазового детектора на элементе XOR

Когда разность фаз больше чем π , наклон становится отрицательным до 2π . При включении разность фаз близка к $\pi/2$.

Фильтр. Фильтр используется для преобразования разности фаз V_{PD} в аналоговое напряжение V_c , которое эквивалентно среднему значению V_{PD} . Быстрые изменения фазового детектора на выходе преобразуются в слабо изменяемый сигнал V_c , который затем будет управлять VCO . Без фильтрации управление VCO будет слишком быстрым, что может привести к неустойчивости. В качестве фильтра может быть использована большая емкость C , которая заряжается и разряжается через R_{on} - сопротивление ключа. Задержка через $R_{on} \cdot C$ играет роль низкочастотного фильтра. Рис. 3.68 показывает элемент XOR с большим poly/poly2 конденсатором и последовательным резистором.

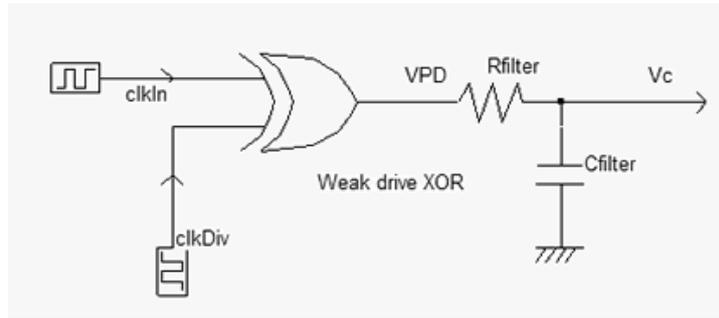


Рис. 3.68. Схема фильтра на основе элемента XOR

На рис. 3.69 приведена топология фазового детектора и фильтра. Ниже приведены результаты моделирования.

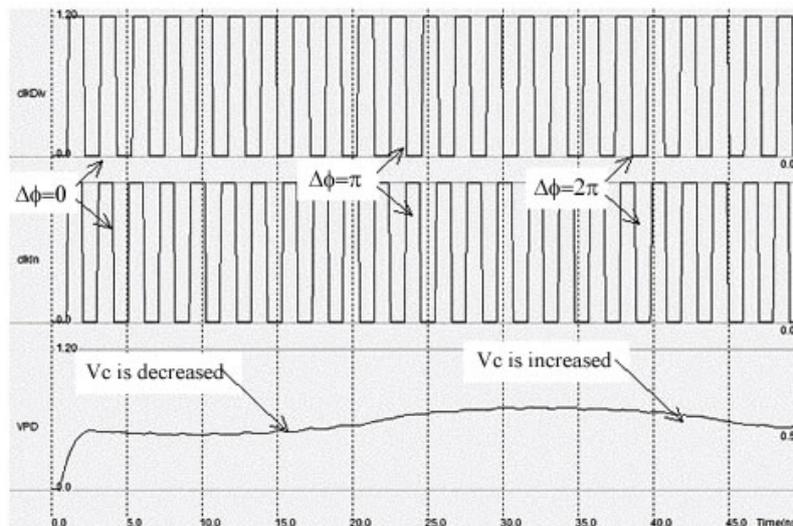
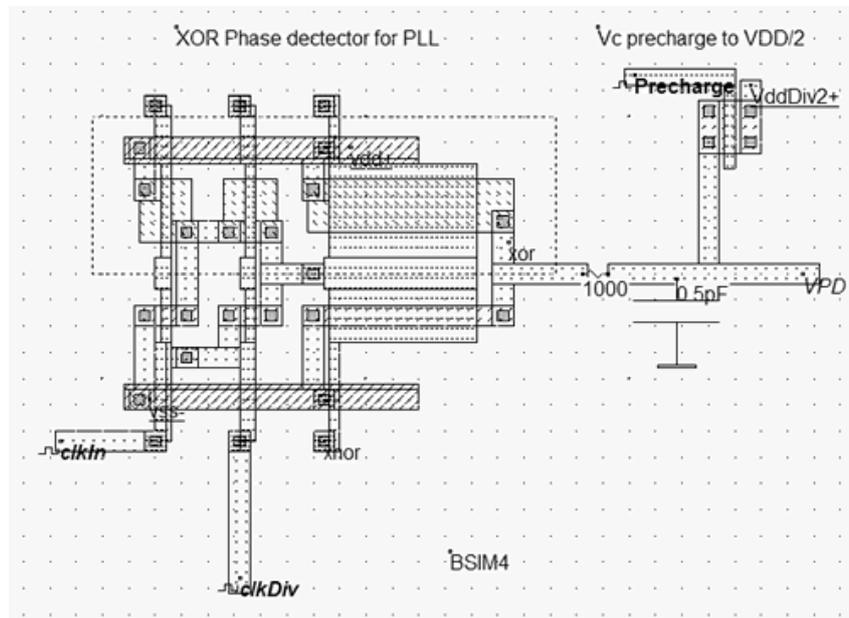


Рис. 3.69. Схема и отклик фазового детектора

На приведенном выше рисунке видно, что выход элемента XOR VPD примерно равен $VDD/2$, когда разность фаз будет равна $\pi/2$ или $-\pi/2$.

VCO для PLL. Основными характеристиками PLL являются:

- ❖ Частота генерации должна быть в требуемой полосе, например в Европе для мобильной телефонии частота VCO должна варьироваться между $f_{low}=1700$ и $f_{high}=1800\text{MHz}$ (рис. 3.70).
- ❖ Вследствие разброса параметров технологического процесса частотный диапазон VCO может быть расширен до f_{min} , f_{max} , обычно это 10% (рис. 3.70).
- ❖ Когда управляющее напряжение V_c равно $VDD/2$, то сигнал VCO должен быть центрирован в середине заданного диапазона частот.

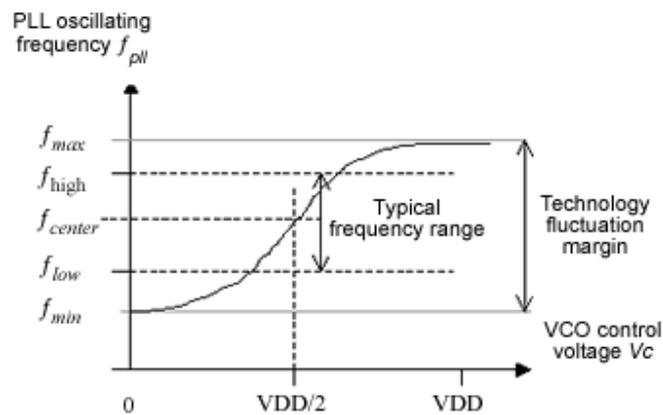


Рис. 3.70. Requirements for the VCO used in the PLL

Один из вариантов VCO для PLL, который может быть использован, имеет центральную частоту 2450МГц при $V_c = VDD/2$, а частотный диапазон не должен превышать 2800МГц и не ниже 1800МГц, приведен на рис. 3.71.

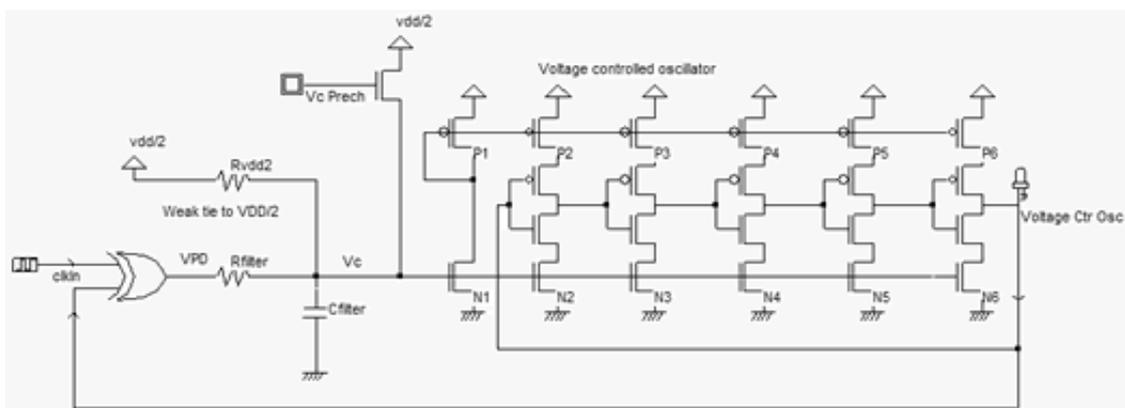


Рис. 3.71. VCO для PLL

Полная схема PLL. Реализация топологии PLL показана на рис. 3.72 и является полной копией схемы рис. 3.71. Отметим, что резисторы R_{filter} (1000 Ом) и R_{vdd2} (5000 Ом) были применены как виртуальные элементы. То же самое касается емкости C_{filter} (0.3 пФ), но эти элементы легко интегрируются в чип.

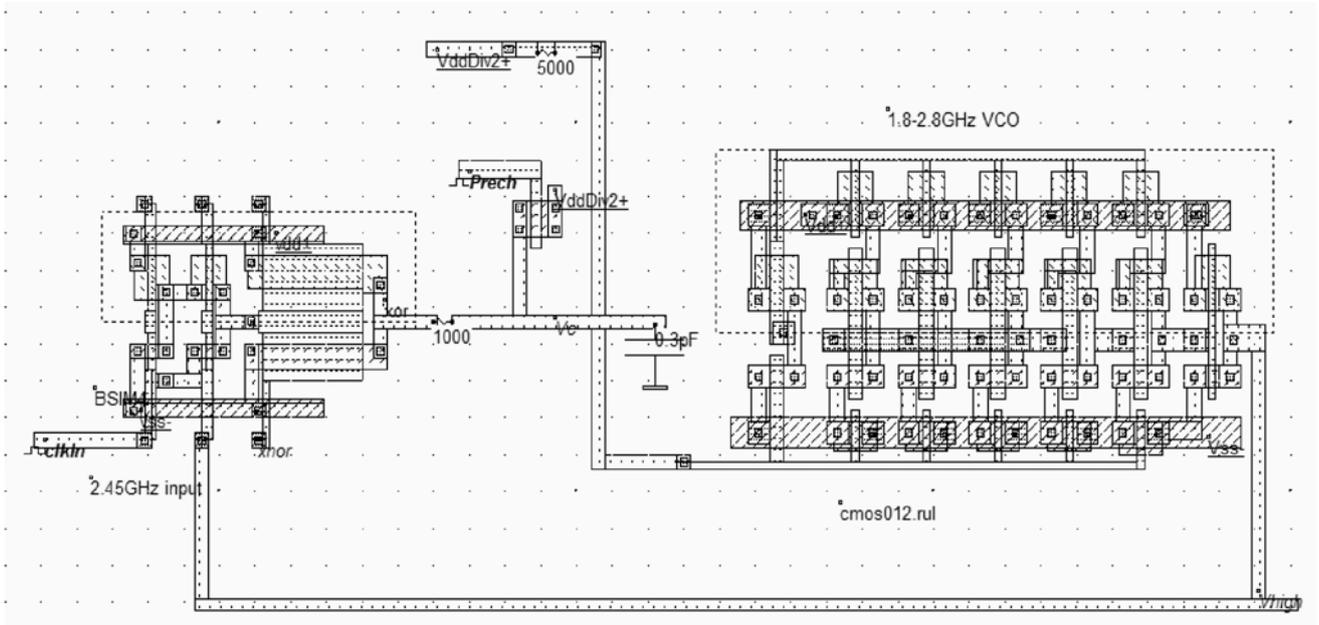


Рис. 3.72. Полная топология VCO и PLL (*VCOPll.SCH*)

Пусть входная частота фиксированная на 2.44ГГц. После запуска (фаза установления, смотри результаты моделирования на рис. 3.73), быстро растет напряжение V_c , достигая $V_{DD}/2$. Напряжение генерации VCO стартует и начинает работать фазовый детектор. Выход X_{nor} позволяет легко наблюдать работу фазового детектора изнутри. Видим, что разность фаз является очень важной в течение первых 10 наносекунд. Затем V_c будет осциллировать и приближаться к стабильному состоянию. Выход равен входу, а разность фаз равняется одной четвертой периода ($\pi/2$) в соответствии с принципами работы фазового детектора.

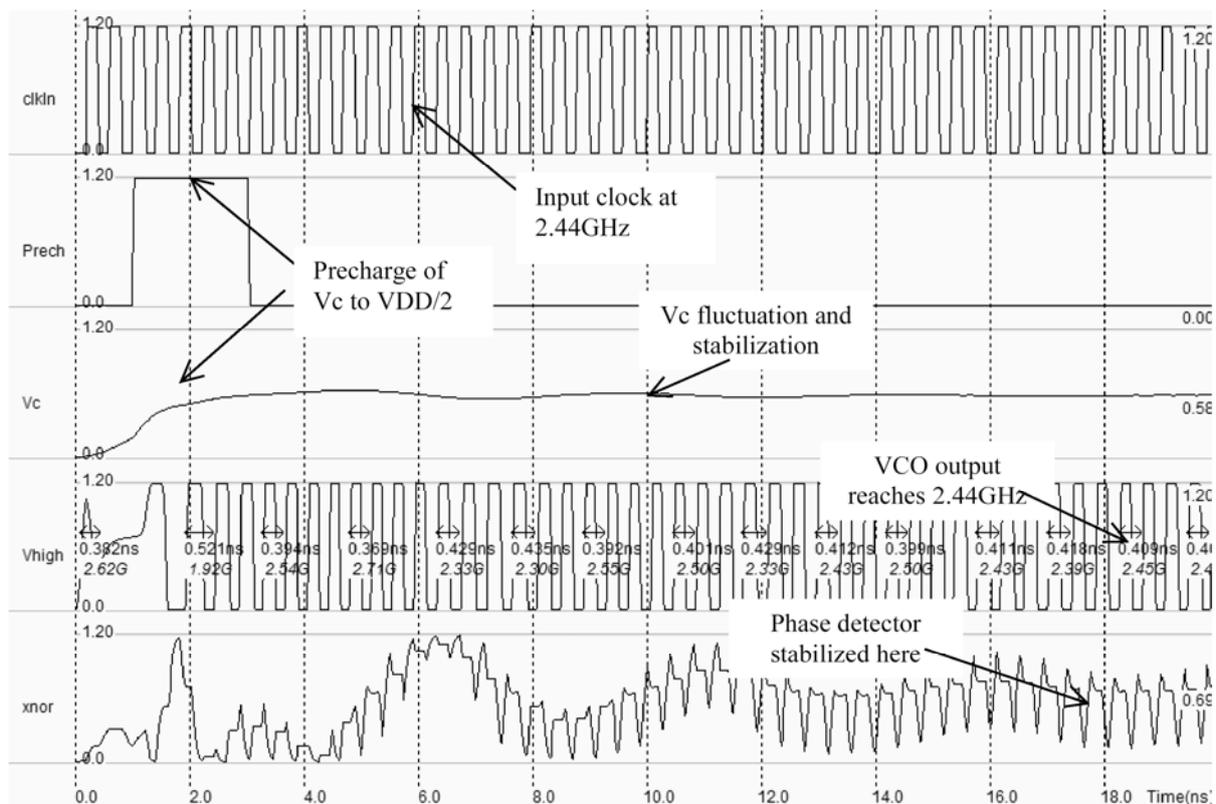


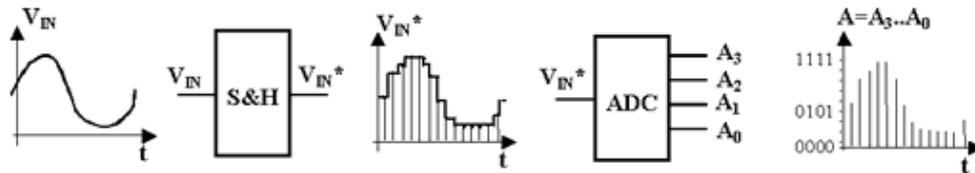
Рис. 3.73. Результаты моделирования PLL (*VCOPII.SCH*)

3.10. Аналого-цифровые и цифро-аналоговые преобразователи

Аналого-цифровой преобразователь (АЦП, ADC) и цифро-аналоговый преобразователь (ЦАП, DAC) являются основными элементами, связывающими аналоговую и цифровую области обработки сигналов. На входе АЦП имеется аналоговый сигнал, который преобразуется в цифровой. Цифровой сигнал – это бинарно-кодированное представление аналогового сигнала, используя N бит (рис. 3.74). Максимальное число кодов для N бит равно 2^N .

АЦП (ADC). АЦП преобразует аналоговое значение V_{in} в двухбитовое цифровое значение, обозначаемые A_0, A_1 и т.д. Для двухразрядных АЦП необходимо три компаратора, которые дают результаты C_0, C_1 и C_2 , которые обрабатываются кодирующей логикой для получения A_0 и A_1 . Для 8-разрядного АЦП потребуется более сложная логическая схема и 255 компараторов (см. таблицу 3.2).

Analog to Digital Converter converts an analog input to a digital output



Digital to Analog Converter converts a digital signal to an analog output

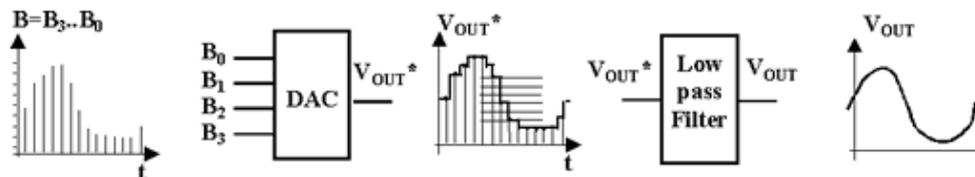


Рис. 3.74. Принципы работы АЦП и ЦАП

Поликремний имеет высокое сопротивление и может быть использован в качестве резистивной цепи, которая создает промежуточные делители напряжения, используемые компараторами напряжения, расположенными следом (рис. 3.75).

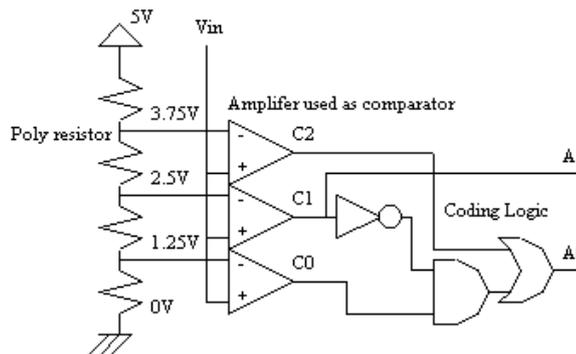


Рис. 3.75. Делитель напряжения и компаратор АЦП

Таблица 3.2

Кодирование аналогового входа

Аналоговый вход (Vin)	C0	C1	C2	A1	A0
$V_{in} < 1.25V$	0	0	0	0	0
$1.25 < V_{in} < 2.5$	1	0	0	0	1
$2.5 < V_{in} < 3.5$	1	1	0	1	0
$V_{in} > 3.75V$	1	1	1	1	1

Некоторые выводы:

- ЦАП преобразует аналоговый V_{in} в двухбитовые $A0, A1$
- Используется масштабируемый резистор в виде поликремния
- Для получения $A0, A1$ в АЦП потребуются 2 компаратора и 3 вентиля
- Для 8 разрядного АЦП необходимо 255 компараторов

ЦАП. ЦАП преобразует цифровые биты входного сигнала (например, A0, A1, A2, см. табл. 3.3) в аналоговый сигнал **Vout**.

Поликремневая резистивная цепь дает промежуточные значения делителя напряжения, которые доставляются к выходу через цепь передающих затворов (transmission gate).

Таблица 3.3

Преобразование битовых сигналов в аналоговый

A2	A1	A0	Аналоговый выход Vout (В)
0	0	0	0.0 В
0	0	1	0.625
0	1	0	1.25
0	1	1	1.875
1	0	0	2.5
1	0	1	3.125
1	1	0	3.75
1	1	1	4.375

Схемы оцифровки (S&H). Схема оцифровки (S/H) является критическим элементом при преобразовании аналогового сигнала в цифровой. Основная функция – определить значение уровня сигнала в определенные моменты времени и сохранить это значение пока АЦП обрабатывает информацию (рис. 3.76).

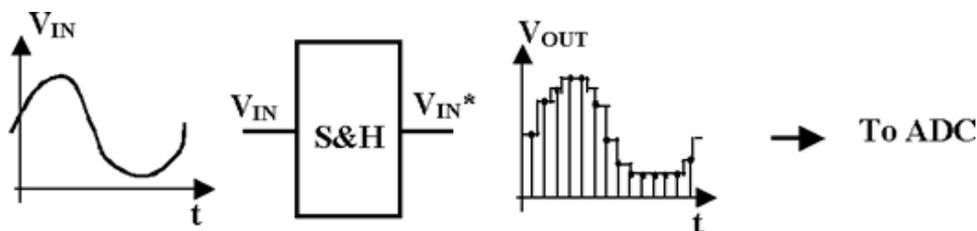


Рис. 3.76. Делитель напряжения и компаратор АЦП

Для этих целей используется специальная схема на основе transmission gate (рис. 3.77).

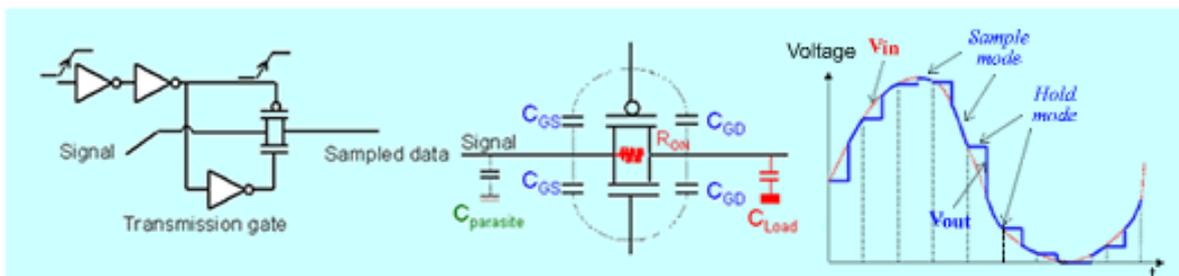


Рис. 3.77. Схема оцифровки аналогового сигнала

Когда затвор выключен, значение будет поддерживаться постоянным, вследствие сохранения потенциала на паразитной емкости C_{Load} , имеющей значение 0.8 фФ для CMOS 0.12мкм процесса.

Некоторые особенности проектирования:

- PMOS и NMOS должны иметь одинаковые размеры для компенсации паразитных емкостей: CGS/CGD
- PMOS должен переключиться до переключения NMOS, чтобы компенсировать высокую подвижность электронов в NMOS.

Топология «transmission gate» представлена на рис. 3.78.

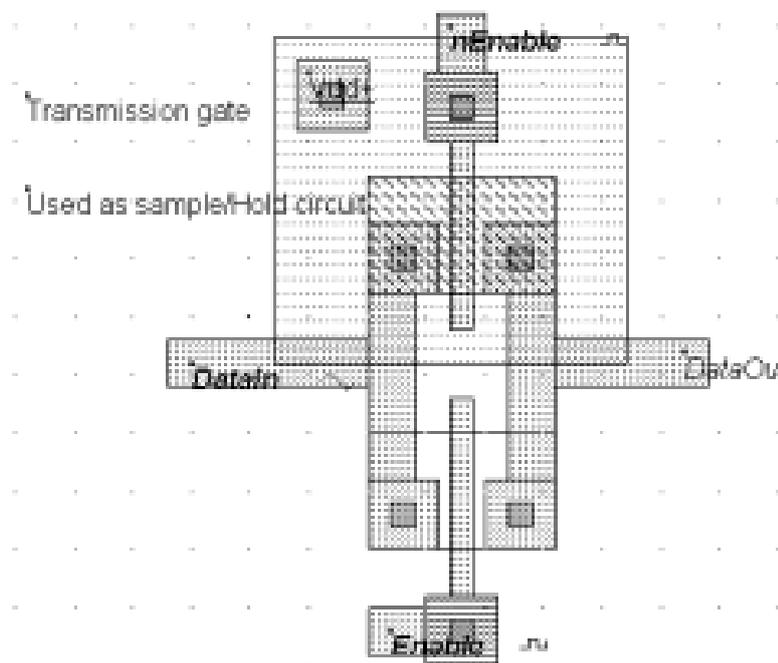


Рис. 3.78. Топология «transmission gate»

Все операции повторяются через временной интервал (отсчет, sampling period). Во время отсчета «transmission gate» включается, так что данные DataOut достигают значения синусоидального колебания DataIn. Заметим, что в течение данного периода S/H схема работает в динамическом режиме (отсчет, sample) и в статическом (сохранение, удержание, hold) режиме (рис. 3.79).

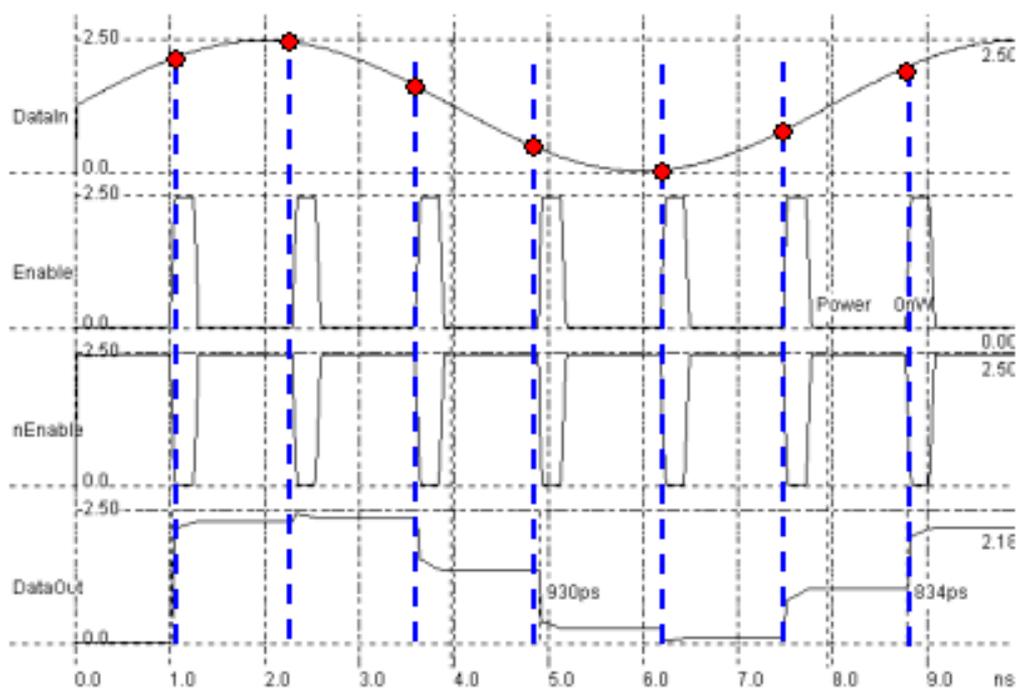


Рис. 3.79. Результаты моделирования схемы оцифровки

Критическим элементом в точности определения значения входного аналогового напряжения является число отсчетов. Можно также обсуждать частоту отсчетов по сравнению с частотой входного напряжения, но теорема Котельникова дает минимальную частоту необходимую для точного представления сигнала.

3.11. Преобразователь частоты

Основы. Во многих ситуациях (перенос спектра, приемники и т.д.) необходимо входное колебание перенести в более низкий или более высокий частотный диапазон. Например, при обработке сигналов обычно все операции выполняются в диапазоне 10-100МГц. Но, передаваемые сигналы имеют более высокие частоты (900МГц, 1.8GHz для мобильной связи, 2.4 или 5ГГц для беспроводных локальных сетей). Прямая генерация на таких высоких частотах потребует значительных затрат по энергии (мощности). В этих случаях схемы с малым потреблением для переноса частот будут более выгодны. На рис. 3.80 преобразователь частоты сдвигает исходный сигнал (пусть будет 100МГц) к необходимому диапазону 900МГц.

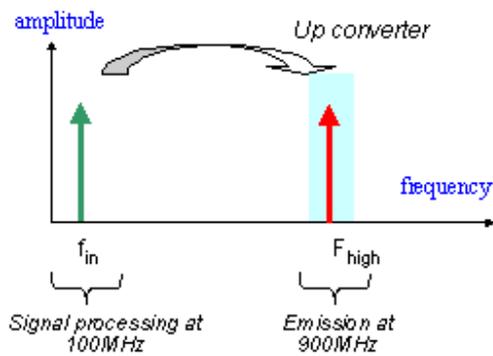


Рис. 3.80. Принципы преобразования частоты

Операция, которая переносит сигнал с высоких частот в более низкие называется преобразованием в низ (down conversion). В частотной области этому соответствует перенос информации на высоких частотах f_{in} в более низкие частоты f_{low} , как иллюстрировано на рис. 3.81.

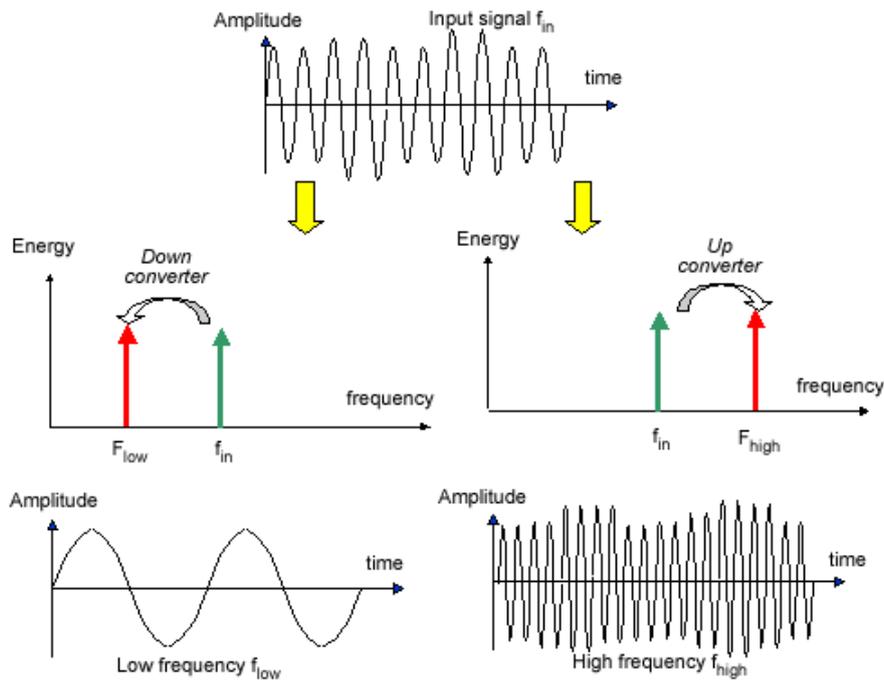


Рис. 3.81. Принципы преобразования вверх и вниз

Сложение синусоидальных колебаний. Сложение синусоидальных колебаний может быть выполнено очень просто. Простейшая схема, содержащая 3 резистора, выполняет сложение двух синусоидальных колебаний, как показано на рис. 3.82 (на рис. 3.83 приведены результаты моделирования). Суперпозиция демонстрируется простым уравнением:

$$V_{out} = \frac{1}{3}[\cos \omega_1 t + \cos \omega_2 t] \quad (3.13)$$

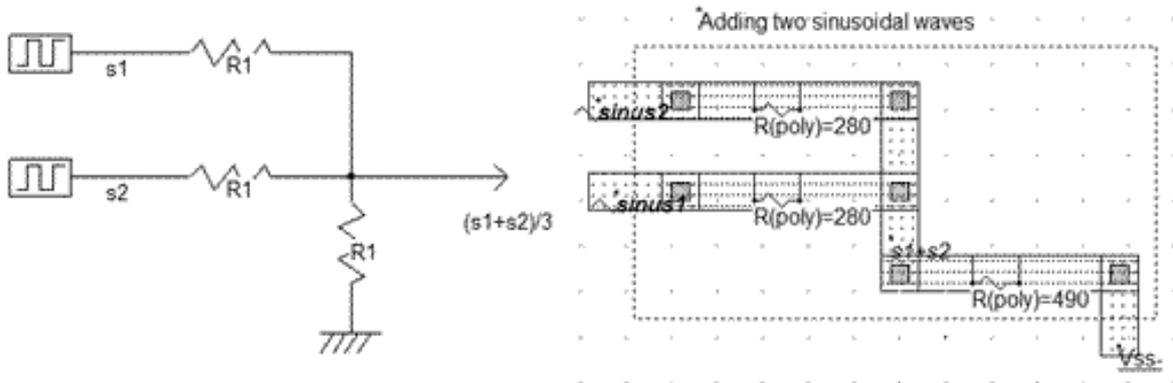


Рис. 3.82. Суммирование синусоидальных колебаний с использованием 3 резисторов

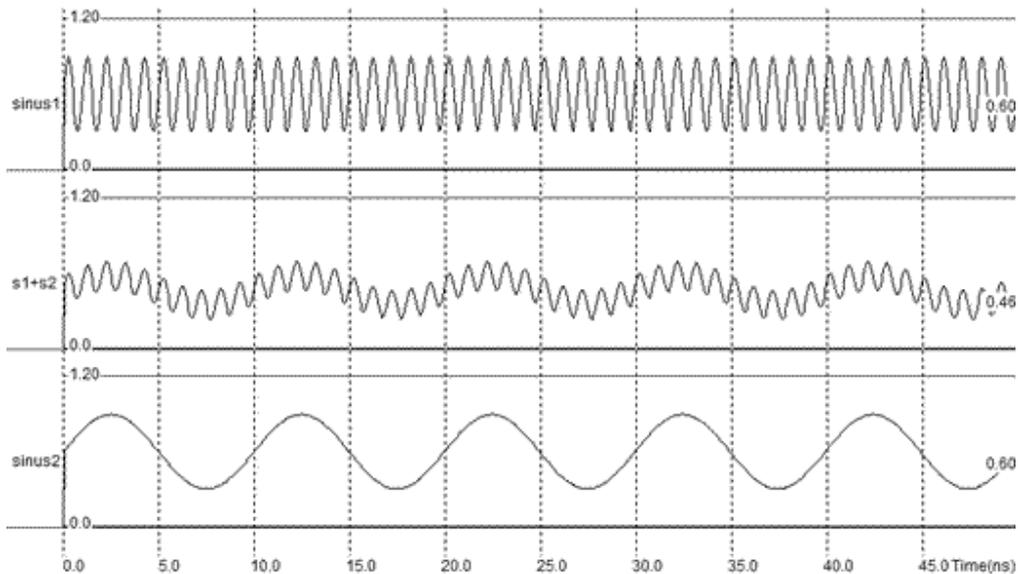


Рис. 3.83. Моделирование сложения синусоид

Преобразование Фурье суммы двух сигналов $s1+s2$ дает две гармоники (рис. 3.84), одна на частоте $signal1$, другая на частоте $signal2$. Но, ясно, что нет возможности переноса частот путем простого сложения.

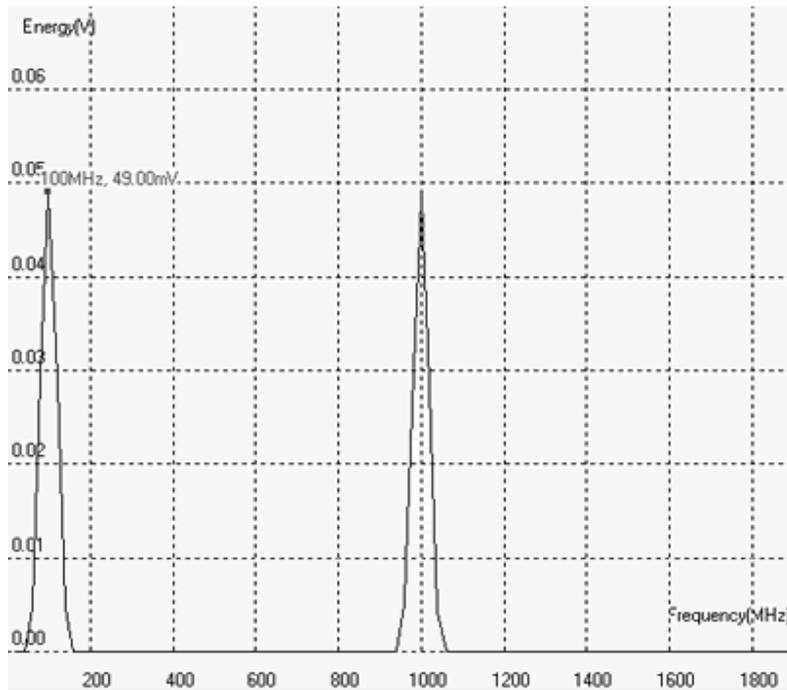


Рис. 3.84. Преобразование Фурье $s1+s2$ дает две гармоники, первая на частоте 100МГц, вторая на 1ГГц

Перемножение синусоидальных колебаний. В основе всех преобразований частоты вверх и вниз лежит перемножение сигналов. В результате перемножения появляются две новые частоты, одна из них равна сумме частот, другая – разности:

$$\sin(\omega_1 t) \cdot \sin(\omega_2 t) = \frac{1}{2} [\sin(\omega_1 - \omega_2)t - \sin(\omega_1 + \omega_2)t] \quad (3.14)$$

где

$$\omega_1 = 2\pi \cdot f_1$$

$$\omega_2 = 2\pi \cdot f_2$$

f_1 = частота первого сигнала (Гц)

f_2 = частота второго сигнала (Гц)

Для двух частот (низкая частота, f_{in}) и высокая (f_{Osc}) перемножение дает два новых сигнала: первый на разностной частоте $f_{Osc} - f_{in}$, второй на суммарной $f_{Osc} + f_{in}$ (рис. 3.85). Используя резонансную схему, мы можем выделить желаемую частоту. В случае рис. 3.85, индуктивность L и емкость C выполняют функцию выделения частоты $f_{Osc} + f_{in}$. LC-резонатор выполняет функцию фильтра, который убирает ненужные частоты, например, $f_{Osc} - f_{in}$ и f_{Osc} .

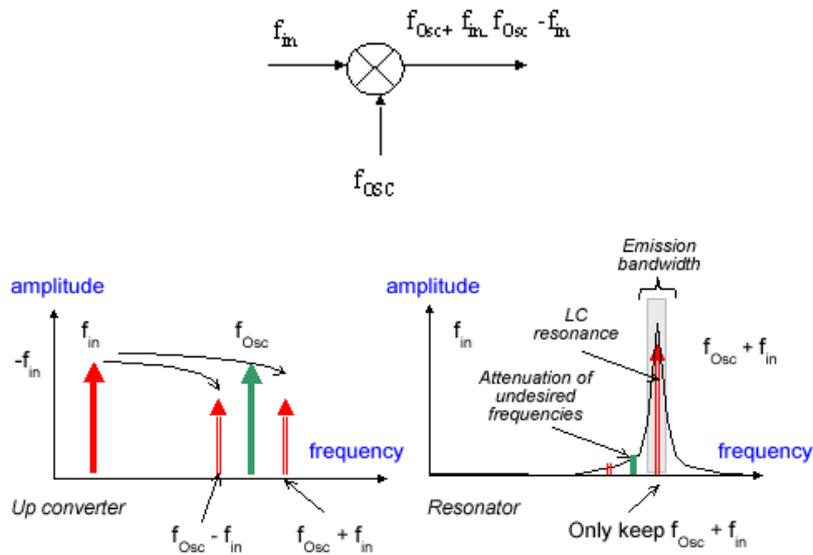


Рис. 3.85. Перемножение двух частот дает новые частотные компоненты

Использование MOS транзистора для перемножения. Транзисторы nMOS и pMOS являются нелинейными приборами. Наилучшим примером может послужить nMOS транзистор с длинным каналом, который приблизительно дает квадратичную зависимость между $V_{gs} - V_t$ и I_{ds} , как иллюстрировано на рис. 3.86.

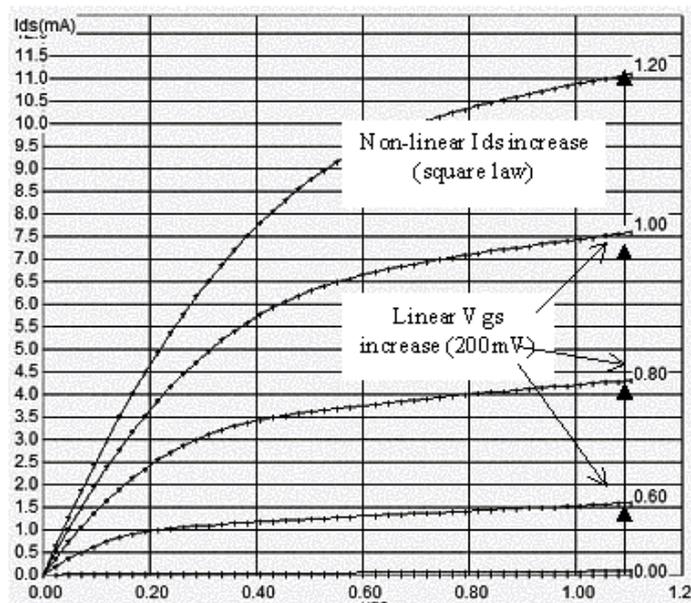


Рис. 3.86. Транзистор MOS с длинным каналом дает почти квадратичную зависимость I_{ds} от V_{gs}

Идея перемножения заключается в следующем (рис. 3.87): два синусоидальных сигнала на входе f_{in} и f_{osc} подаются на затвор V_{gs} . Ток I_{ds} является нелинейной функцией V_{gs} . Статическая характеристика транзистора ($W=50\text{мкм}$, $L=0.5\text{мкм}$) имеет квадратичную зависимость, что можно записать как:

$$I_{DS} \approx k \cdot (V_{GS} - V_t)^2 \quad (3.15)$$

где
 k зависит от технологии
 V_t – напряжение отсечки (threshold voltage) (около 0.35В)

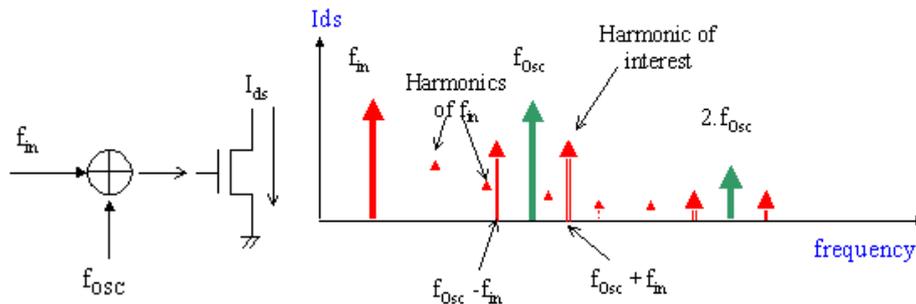


Рис. 3.87. Ток I_{ds} имеет несколько гармоник, включая желаемую высокую частоту $f_{osc}+f_{in}$

Если V_{gs} является суммой синусоид, то зависимость тока можно записать как:

$$I_{DS} \approx k \cdot [V_{bias} + v_{in} \cdot \sin(\omega_{in}t) + v_{osc} \sin(\omega_{osc}t) - V_t]^2 \quad (3.16)$$

$$I_{DS} \approx I_{DS0} + k_1 \cdot [v_{in} \cdot v_{osc} (\sin \omega_{osc}t \cdot \sin \omega_{in}t)] \quad (3.17)$$

$$I_{DS} \approx I_{DS0} + \frac{k_1}{2} \cdot [v_{in} \cdot v_{osc} \underline{\sin(\omega_{osc} + \omega_{in})t} - \sin(\omega_{osc} - \omega_{in})t] \quad (3.18)$$

Наиболее важным результатом является то, что мы получили желаемый результат. Другими словами, посылая сумму синусоидальных сигналов на нелинейный прибор, мы создаем несколько гармоник, из которых нам наиболее важны $f_{in}+f_{osc}$ и $f_{in}-f_{osc}$. Любой полосовой фильтр легко убирает все нежелательные гармоники. Такая схема называется смесителем (mixer).

Реализация топологии. Транзистор n-канальный MOS в качестве смесителя должен иметь большую длину для получения квадратичной зависимости между V_{gs} и I_{ds} , обычно длина должна быть не менее 0.5мкм (рис. 3.88). Топология данного смесителя приведена на рис. 3.89.

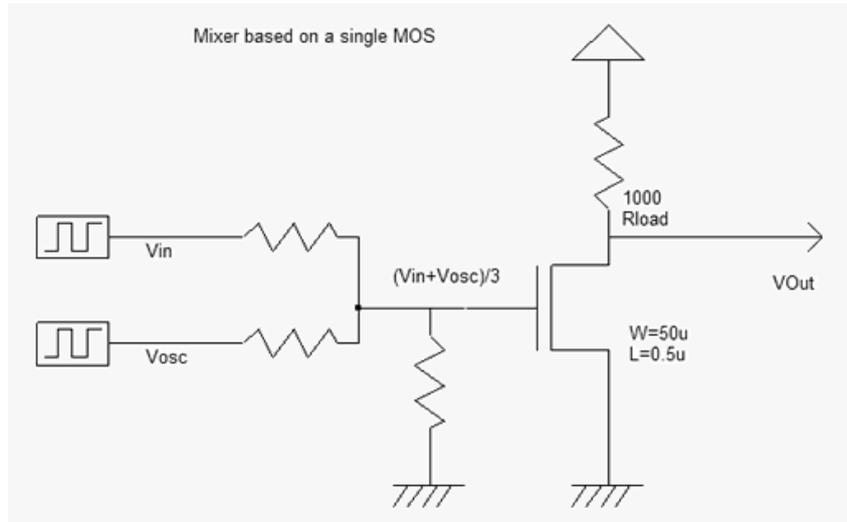


Рис. 3.88. Смеситель на *n*-канальном MOS транзисторе

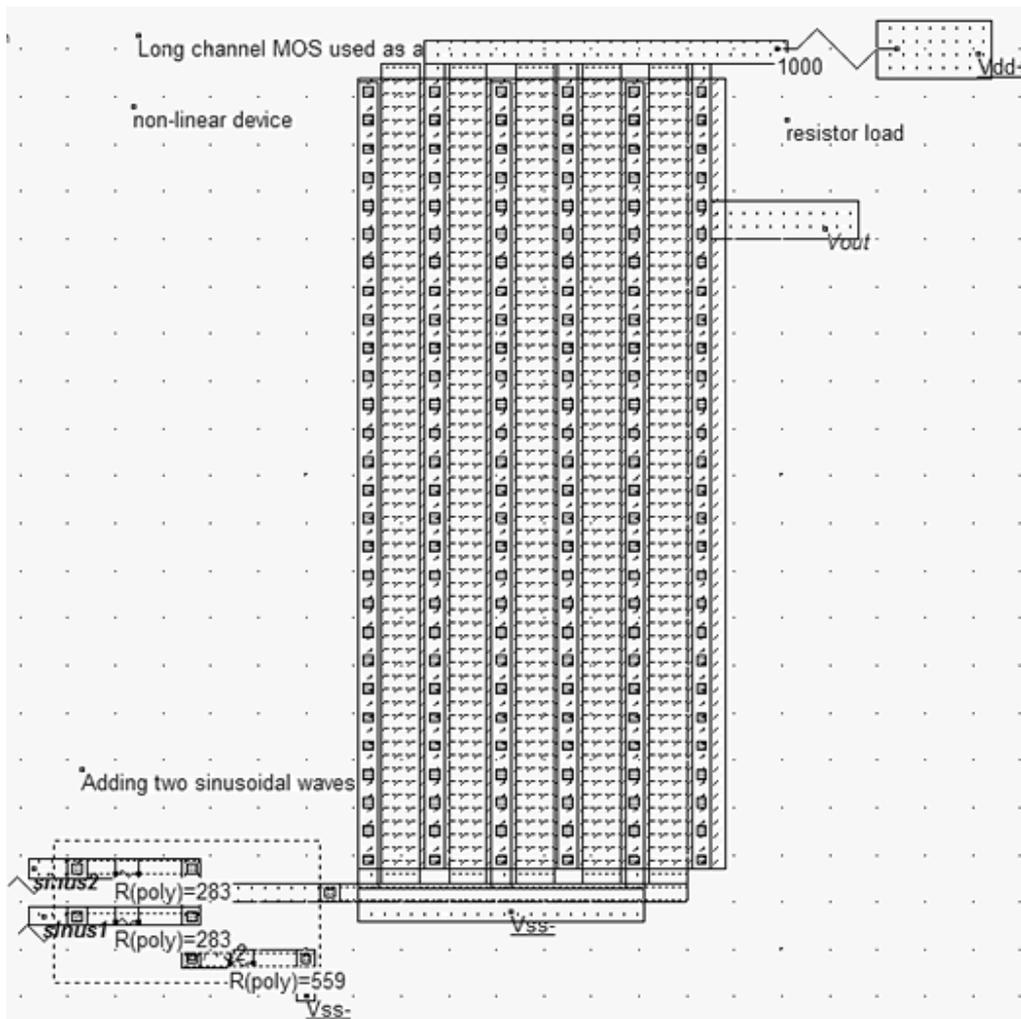


Рис. 3.89. Топология смесителя

Отметим некоторые неэффективные моменты схемы рис. 3.89. Пять затворов соединены в параллель, что эквивалентно одному MOS транзистору с суммой каналов, но в тоже время длина канала не дает квадратичной зависимости. Как и по теории, временное моделирование смесителя говорит о том, что сигнал V_{out} имеет очень сложную форму (рис. 3.90).

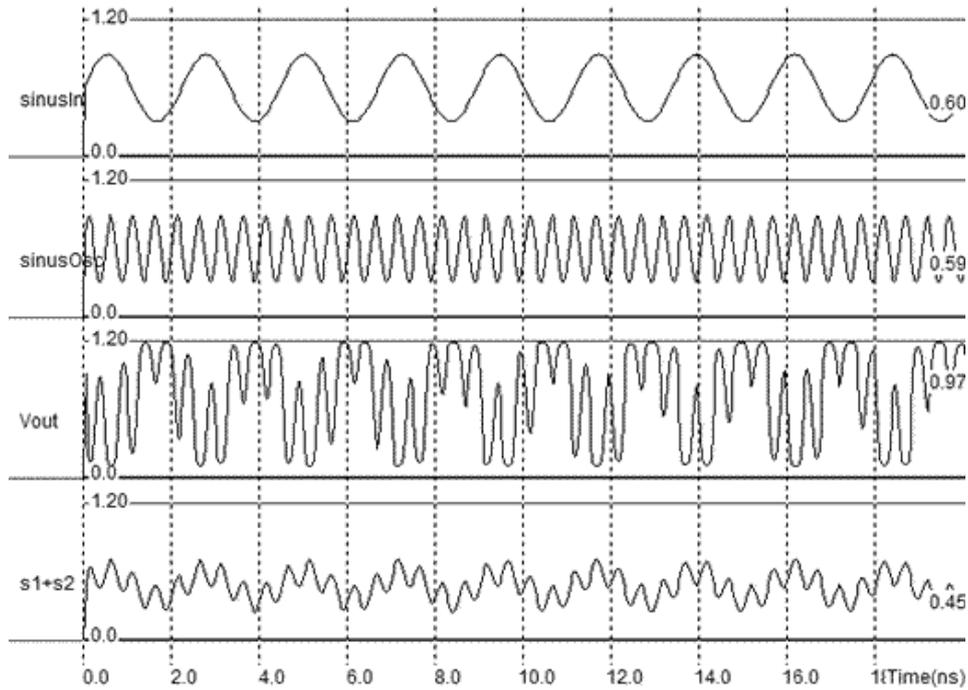


Рис. 3.90. Моделирование смесителя

Преобразование Фурье при частоте 450МГц входного сигнала, дает 2ГГц частоту генерации, и множество гармоник (рис. 3.91), но только частота 2.45ГГц является необходимой в соответствии $f_{in}+f_{osc}$.

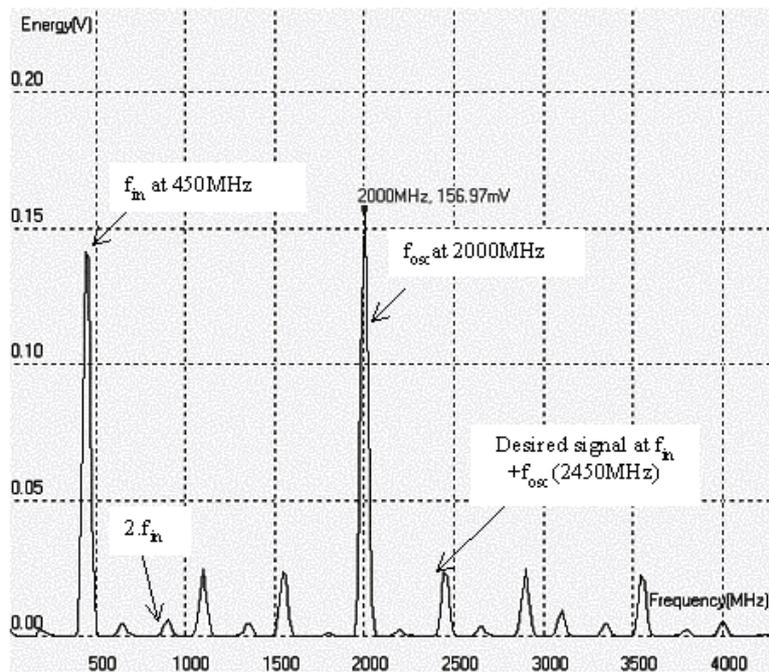


Рис. 3.91. Спектр на выходе включает f_m , f_{osc} и соответствующие им гармоники. Необходимый сигнал будет на частоте $f_{osc}+f_m$

Смеситель с LC-резонатором. Смеситель, приведенный на рис. 3.92 имеет два важных достоинства: последовательное сопротивление заменено индуктивностью L_{HF} в 3нГн и емкостью $C_{HF}=1.2$ пФ, которые добавлены на выходе схемы и настроены на частоту 2.45ГГц. Последовательное сопротивление RL соответствует физической реализации индуктивности.

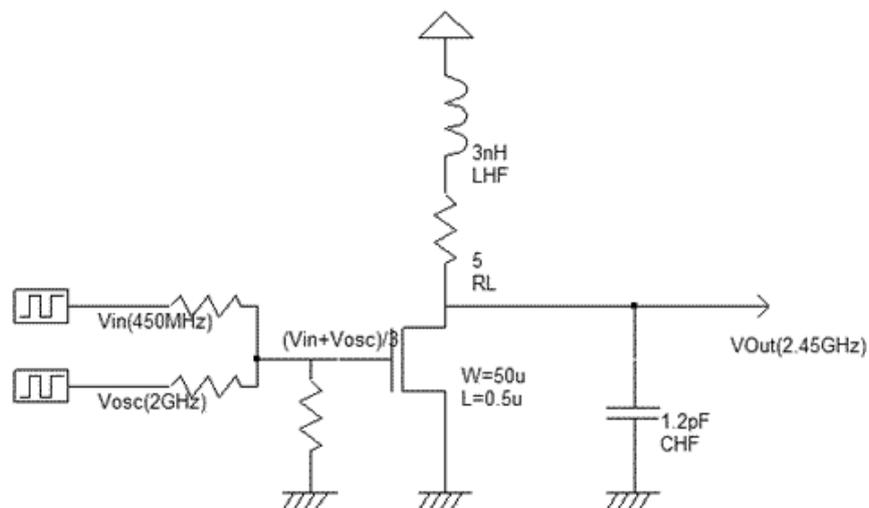


Рис. 3.92. Смеситель LC-резонатором, настроенным на частоту 2.45ГГц

Топология на рис 3.93 не вполне соответствует приведенной схеме смесителя, для упрощения моделирования были использованы виртуальные L и C элементы. Индуктивность в 3нГн добавлена последовательно к паразитному сопротивлению индуктивности на чипе, емкость 1.2пФ также виртуальная и размещена около V_{out} .

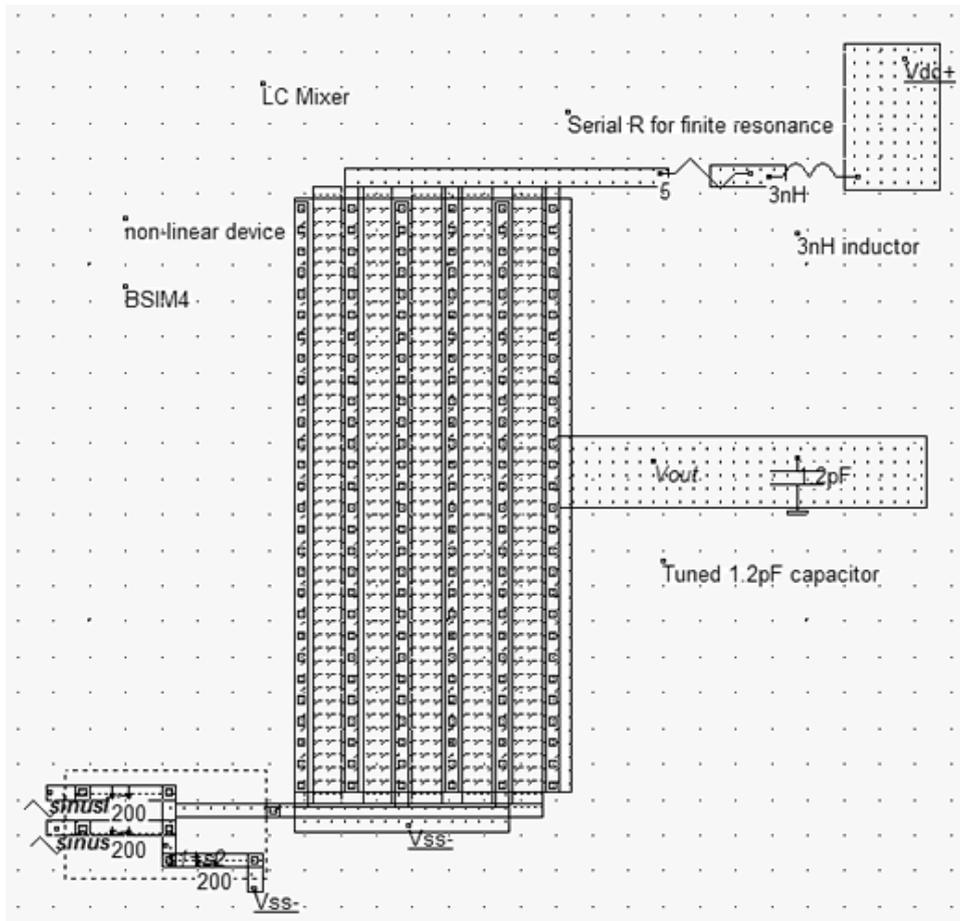


Рис. 3.93. Топология смесителя с LC-резонатором

Преобразование Фурье выходного сигнала приведено на рис. 3.94. Сигнал на частоте 2.45ГГц выделяется значительно сильнее по сравнению с рис. 3.91, так как резонатор настроен на эту частоту. К сожалению, резонансная схема не подавляет сигналы на частотах 2ГГц, 1.6ГГц и 4ГГц.

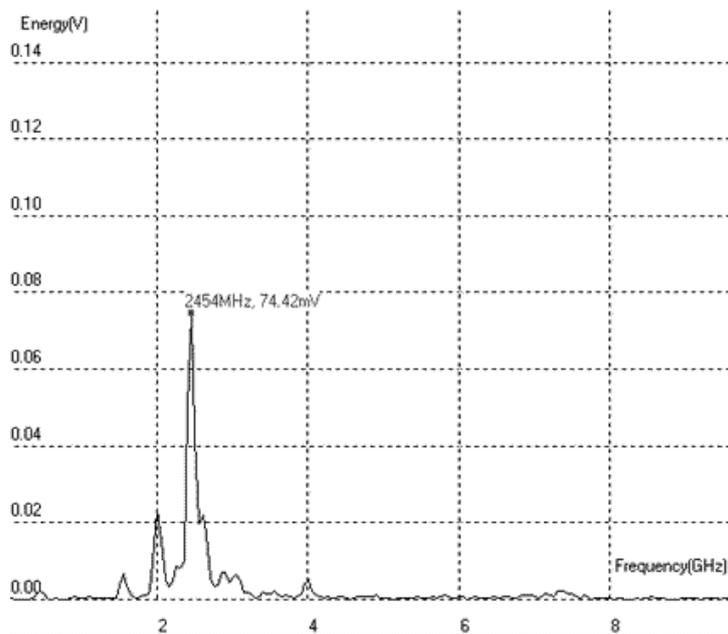


Рис. 3.94. Преобразование Фурье показывает основной сигнал и уменьшение остальных гармоник

Небольшое увеличение входной частоты f_{in} приводит к соответствующему увеличению частоты на выходе (небольшое увеличение f_{in} сдвигает вправо пик спектра). Увеличение амплитуды на частоте f_{in} приводит к соответствующему увеличению гармоник частоты 2.45ГГц. Это иллюстрируется на рис. 3.95.

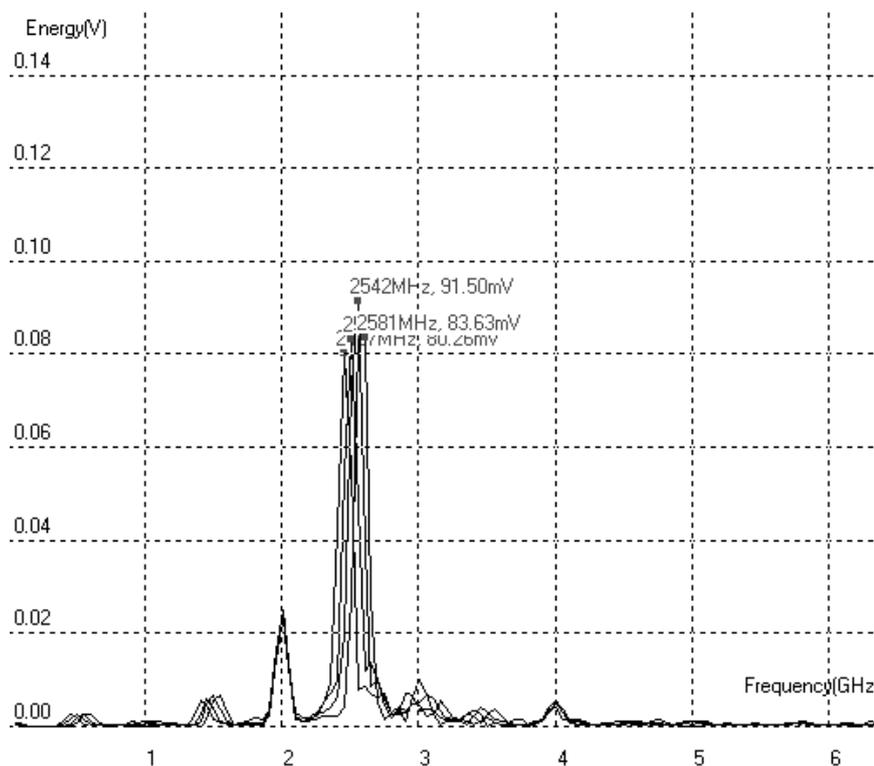


Рис. 3.95. Влияние увеличения входной частоты на спектр

Оценка спектра V_{out} показывает сдвиг резонансного пика при увеличении частоты входного сигнала. Это иллюстрирует одно из важнейших свойств смесителя – жесткая связь изменений амплитуды и частоты входного сигнала.

Балансный смеситель. Основным недостатком LC-смесителя – это значительные по амплитуде паразитные (побочные) сигналы на выходе. Все сигналы нашего примера 2.55ГГц ($f_{osc}-f_{in}$), 2ГГц (f_{osc}), 2.9ГГц ($f_{osc}+2f_{in}$), 4ГГц ($2f_{osc}$) должны быть подавлены. Хорошая идея заключается в том, чтобы сложить два сигнала с противоположными фазами, кроме базовой частоты. В этом случае останутся только сигналы на частотах $f_{osc}+f_{in}$ и $f_{osc}-f_{in}$. Схема, реализующая эти функции, представлена на рис. 3.96.

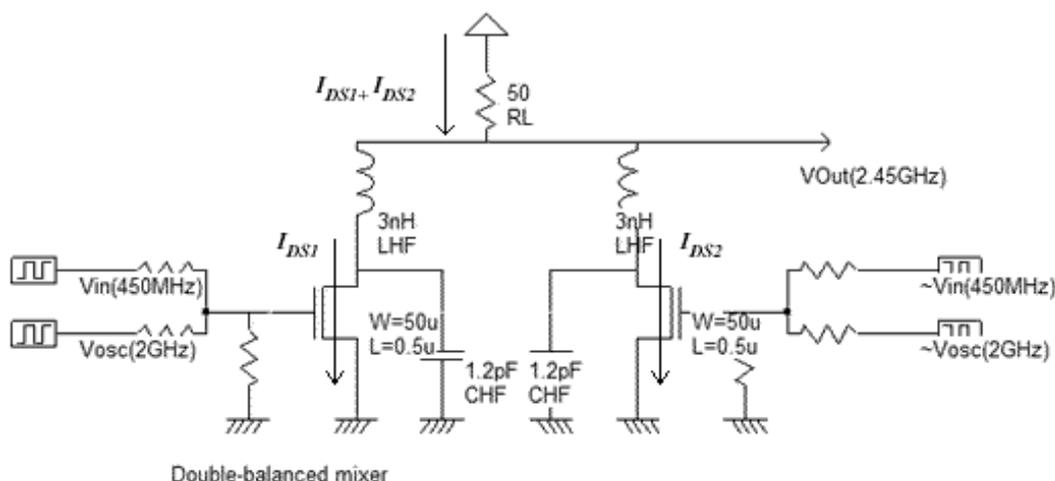


Рис. 3.96. Схема балансного смесителя

Два сигнала v_{in} и V_{osc} подаются на вход левого n-MOS транзистора. Ток, протекающий по этому транзистору I_{ds1} , описывается приблизительно выражением 3.19. На вход второго (правого) транзистора подаются сигналы $\sim v_{in}$ и $\sim v_{osc}$, представляющие те же сигналы, что и v_{in} и v_{osc} , но с противоположными фазами. Ток второго транзистора описан уравнением 3.20.

$$I_{DS1} \approx k \cdot [V_{bias} + v_{in} \cdot \sin(\omega_{in} t) + v_{osc} \sin(\omega_{osc} t) - Vt]^2 \quad (3.19)$$

$$I_{DS2} \approx k \cdot [V_{bias} - v_{in} \cdot \sin(\omega_{in} t) - v_{osc} \sin(\omega_{osc} t) - Vt]^2 \quad (3.20)$$

Сумма уравнений 3.19 и 3.20 может быть представлена как:

$$I_{DS1} + I_{DS2} \approx k[I_{DS0} + 2v_{in} \cdot \sin(\omega_{osc} + \omega_{in})t + 2v_{in} \cdot \sin(\omega_{osc} - \omega_{in})t] \quad (3.21)$$

Основным результатом уравнения 3.21 является то, что сумма токов $I_{ds1} + I_{ds2}$, которая протекает по нагрузке RL в основном будет включать постоянную составляющую I_{ds0} и продукты перемножения на частотах $f_{osc} + f_{in}$ и $f_{osc} - f_{in}$, что и является целью смесителя.

Топология (рис. 3.97) использует виртуальные элементы R, L и C. Такой подход очень рекомендуется для настройки схемы, так как затем всегда можно подобрать физическую реализацию пассивных элементов.

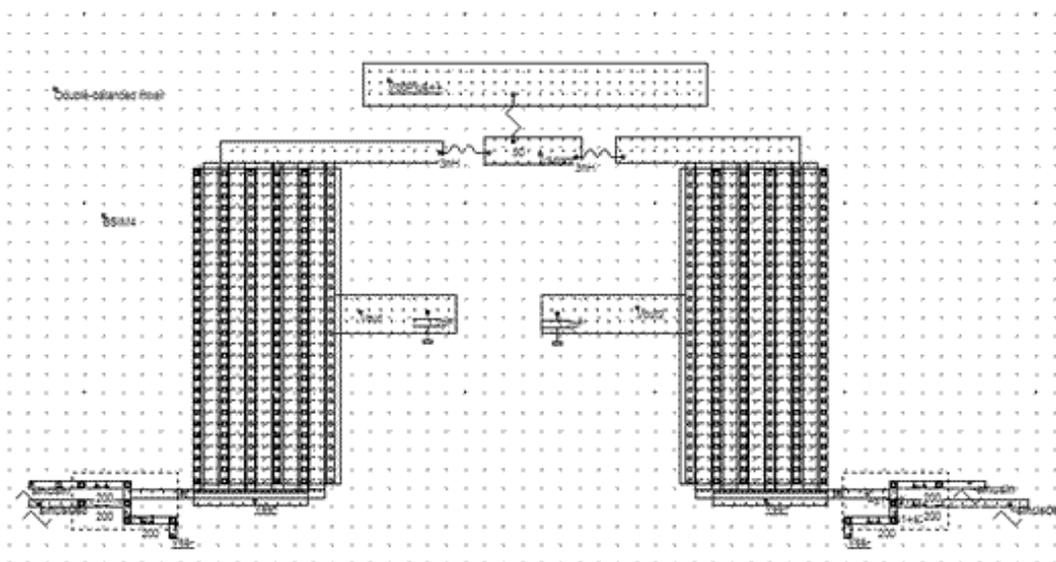


Рис. 3.97. Топология балансного смесителя

Результаты моделирования представлены на рис. 3.98, которые подтверждают теоретические выкладки: преобразование Фурье дает только две основных составляющих спектра около 1500МГц и 2500МГц без f_{osc} между ними. Удаление ненужных гармоник – задача довольно легкая.

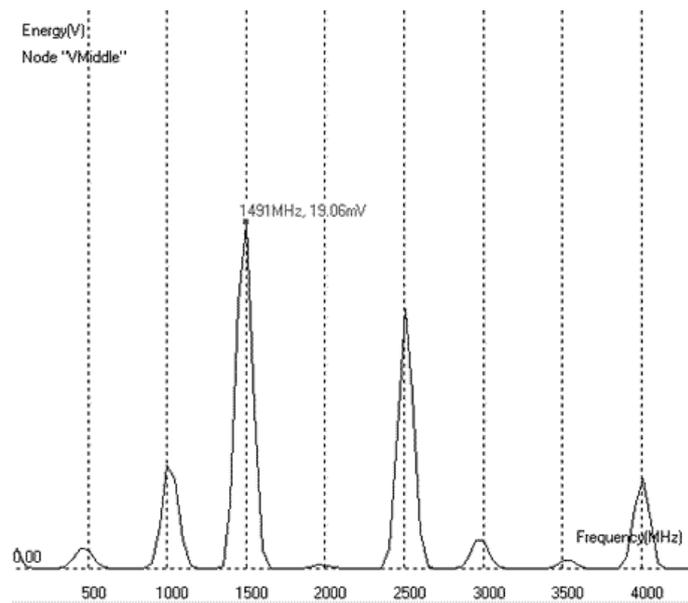


Рис. 3.98. Спектр на выходе балансного смесителя

Смеситель по схеме Гильберта. Одним из современных решений для смесителей является применение схемы Гильберта (Gilbert cell), которая содержит только 6 транзисторов и дает очень качественные результаты перемножения синусоидальных колебаний. Схема приведена на рис. 3.99 и использует изменяемую индуктивность в качестве нагрузки, так что V_{out} и $\sim V_{out}$ колеблются около напряжения питания VDD.

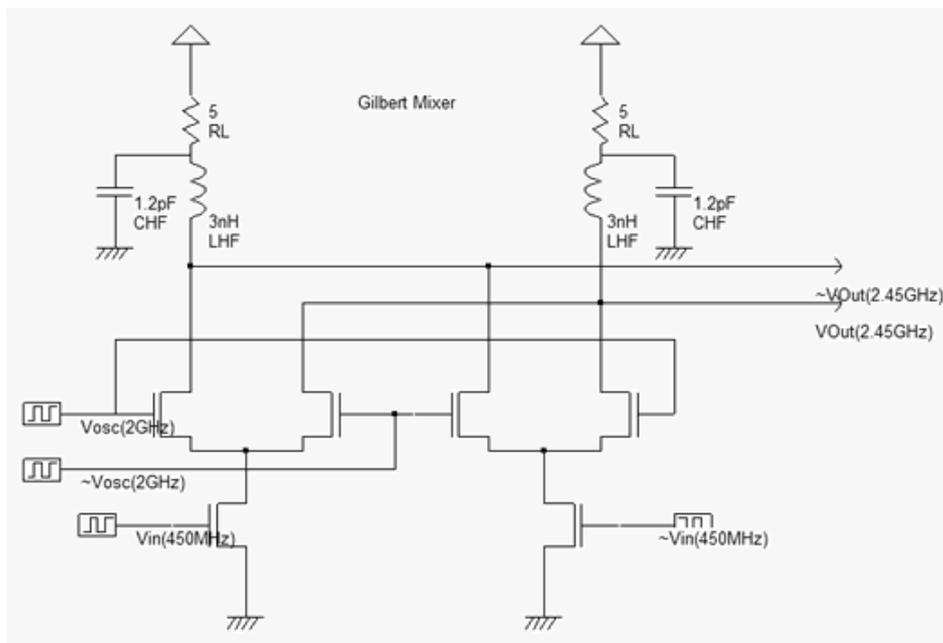


Рис. 3.99. Смеситель Гильберта

Реализация в топологии приведена на рис. 3.100 опять с использованием виртуальных R, L и C элементов, индуктивность в 3нГн соединена последовательно с паразитным сопротивлением 5 Ом, на обоих выходах. Моделирование во временной области (рис. 3.101) дает переходный режим от 0.0 до 8нс, который не представляет интереса, но, начиная с 8нс выходы V_{out} и V_{out2} становятся стабильными и генерируют противоположные фазы около 2.5В.

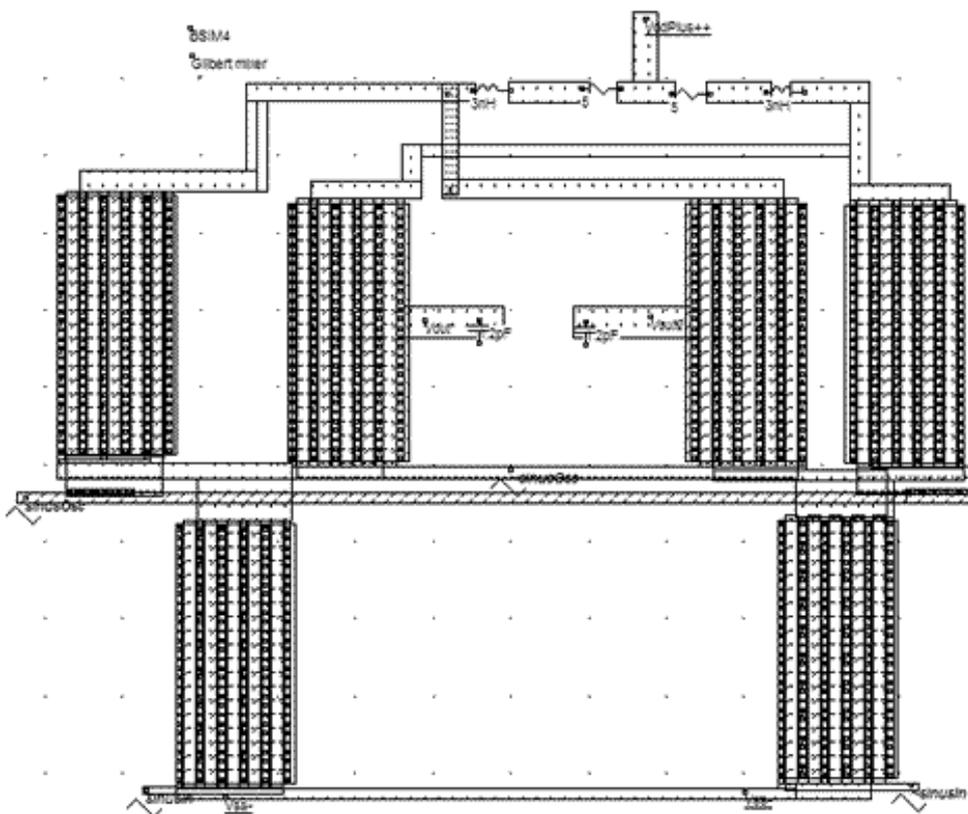


Рис. 3.100. Топология смесителя Гильберта

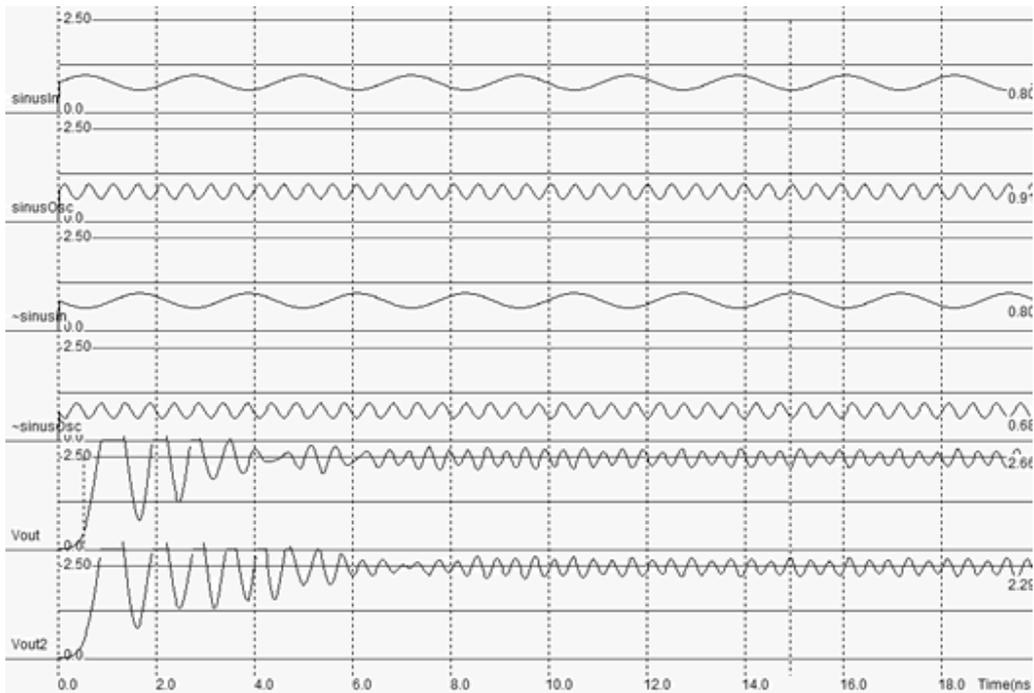


Рис. 3.101. Моделирование смесителя Гильберта во временной области

Фурье преобразование (рис. 3.102) представлено в логарифмической шкале для выделения малых гармоник. Как и должно быть, сигналы на частотах 2ГГц (f_{osc}) и 450МГц (f_{in}) подавлены, но два основных сигнала выделяются $f_{osc}+f_{in}$ и $f_{osc}-f_{in}$. Отметим, что время моделирования существенно влияет на результаты.

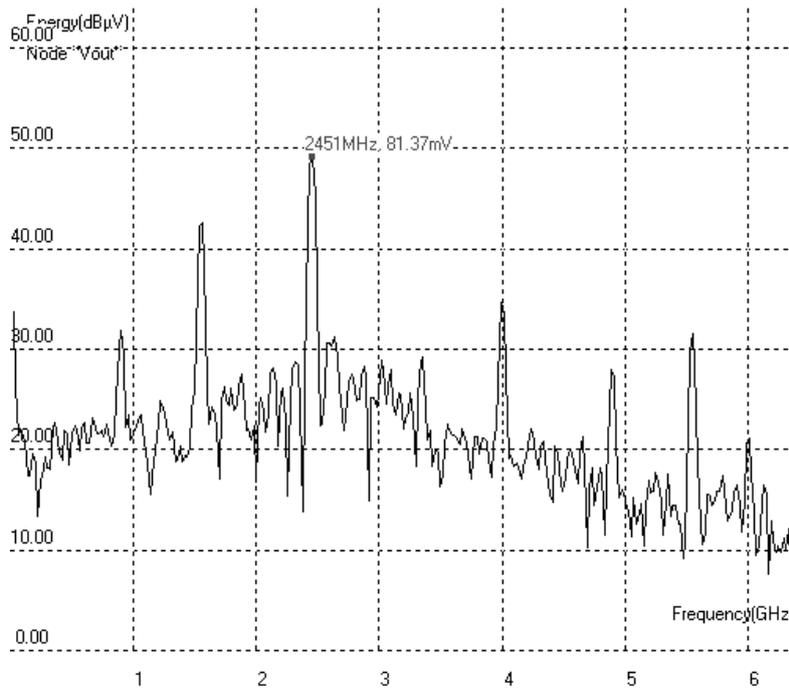


Рис. 3.102. Спектр на выходе смесителя Гильберта

На рис. 3.103 приведена полная топология смесителя Гильберта, где виртуальные компоненты R, L и C заменены физическими элементами. Дроссель с 3нГн индуктивностью с паразитным сопротивлением в 6 Ом используется в комбинации с metal6, metal5 и metal4.

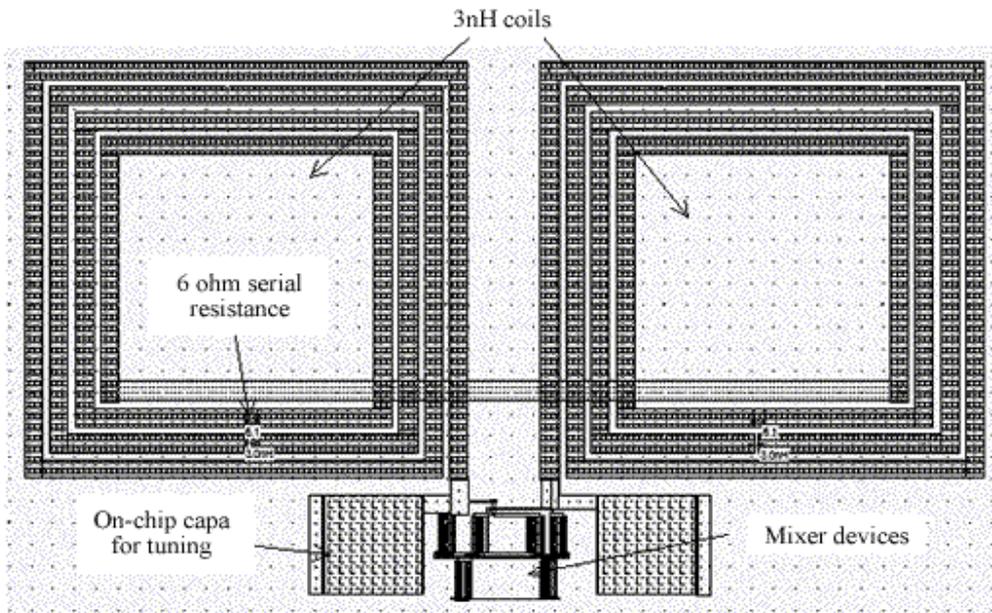


Рис. 3.103. Полная топология смесителя Гильберта

Преобразователь частоты вниз. Преобразователь частоты вниз должен перенести входной сигнал с частоты f_{in} на более низкую частоту f_{out} , без изменения амплитуды или модуляции сигнала (рис. 3.104). Одно из самых простых решений состоит в использовании элемента «transmission gate» с очень точным и быстрым переключением затвора.

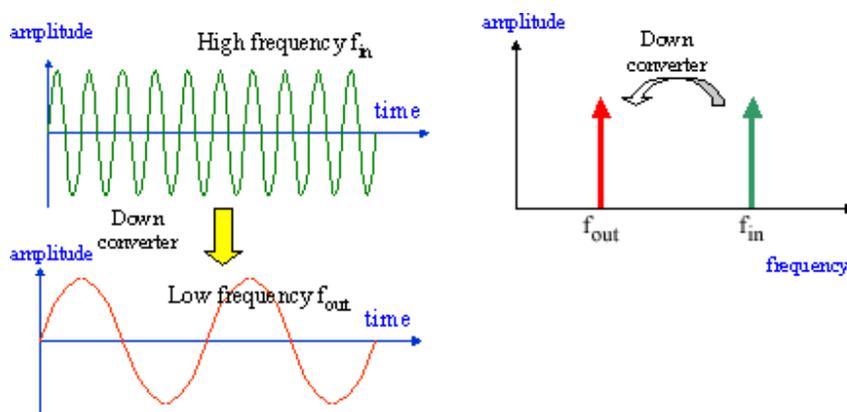


Рис. 3.104. Принципы преобразования частоты вниз

Для иллюстрации (рис. 3.105) мы используем синусоидальное колебание 1.900 ГГц и частоту отсчетов (sampling signal, период 550 пс) 1.818 ГГц. Предполагаемая частота на выходе $1.900 - 1.818 = 0.082$ ГГц, т.е. 82 МГц. Топология такой схемы состоит из схемы «transmission gate» и RC фильтр (рис. 3.106).

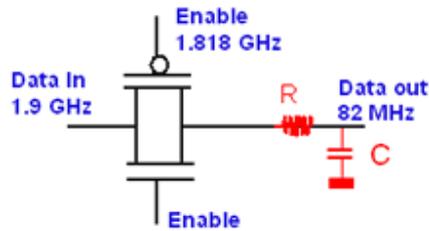


Рис. 3.105. Простейшее решение для преобразователя вниз – использование элемента «Transmission gate» + RC фильтр

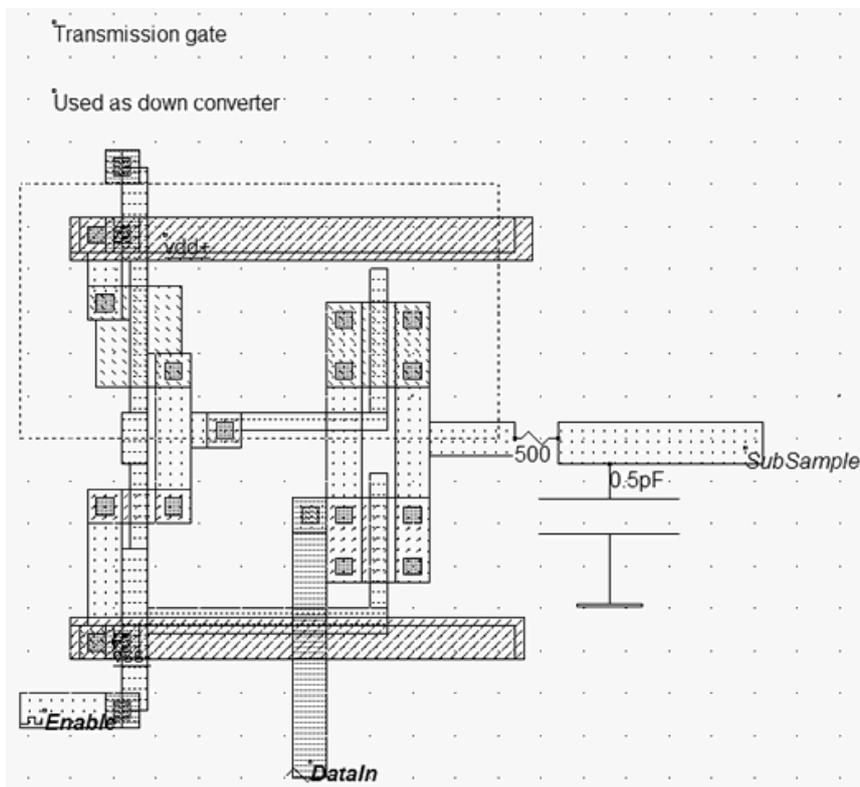


Рис. 3.106. Топология преобразователя частоты вниз

Частота сигнала отсчетов (sampling signal) *Enable* намного ниже, чем входная частота, что дает на выходе низкую частоту (рис. 3.107). RC-фильтр преобразует сигнал в синусоидальный с частотой, равной разности между f_{DataIn} и частотой затвора f_{Enable} . После примерно 20нс временного интервала (рис. 3.107) оценка частоты на выходе *subSample* дает 82МГц, как и ожидалось.

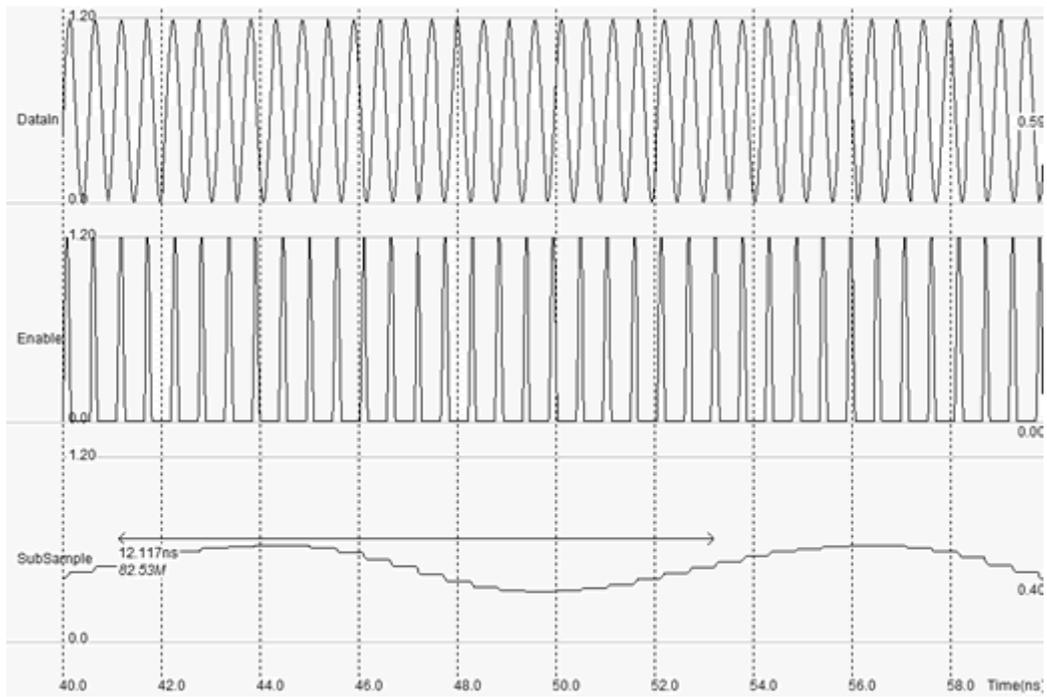


Рис. 3.107. Преобразование входного сигнала на частоте 1.9ГГц в сигнал низкой частоты около 82МГц

Глава 4. Проектирование и изготовление ИМС на основе правил проектирования «кремниевых фабрик»

4.1. Особенности изготовления ИМС

Современное производство ИМС относится к очень дорогим технологиям. Если при технологических нормах до 0,35 мкм стоимость “кремниевой фабрики” составляла порядка 1-2 млрд. долларов, то при нормах 0,09 мкм стоимость фабрики уже составляет порядка 5-7 млрд. долларов. Это приводит к тому, что только небольшому числу полупроводниковых фирм становится доступным такое производство. Многие компании объединяют усилия для создания новых производств. Кроме фабрик, ориентированных на массовое производство ИМС (схемы памяти, микропроцессоры и т.п., площадь чистых помещений до 10 тыс. м²), находят применение и мини-фабрики с малым объемом выпуска, ориентированные на специализированные ИМС (ASIC). В мини-фабриках технологический процесс организуется при минимизации объема чистых производственных помещений и времени пребывания пластин вне вакуума или вне сверхчистых комнат. Стоимость мини-фабрики составляет от 50 до 200 млн. долларов. Структура мини-фабрики представляет собой кластер, где технологические операции выполняются над одной – пяти пластин, которые передаются из одной камеры в другую в условиях высокого вакуума [26].

Для изготовления ИМС требуются около сотни дорогих и очень сложных технологических операций, в тоже время стоимость одной ИМС не велика. Это достигается тем, что изготовленная пластина содержит сотни отдельных кристаллов. Для самых дорогих и наиболее длительных операций набор из сотен пластин обрабатывается одновременно (в едином технологическом процессе). Это приводит к тому, что десятки тысяч отдельных кристаллов изготавливаются одновременно. Операции, которые не могут быть совмещены (например, тестирование и корпусирование), являются достаточно автоматизированными и ориентированы на массовое производство.

Таким образом, современные дорогие технологии изготовления микросхем дают не очень дорогие отдельные микросхемы при массовом производстве. Но этого недостаточно для исследовательских центров или университетов, где в основном проектируются и изготавливаются небольшое число микросхем (изготовление прототипов или малая серия). Основная идея метода многопроектных пластин (Multi Project Wafers, MPW) заключается в объединении множества различных проектов на одну пластину (путем объединения масок), в этом случае, малая цена за кристалл будет распространяться и на малые серии. MPW-подход позволяет объединить маски нескольких проектов в одну маску. В этом случае стоимость маски и дорогих технологических операций делится на все проекты. Тогда стоимость изготовления прототипа будет составлять порядка

5% - 10% от стоимости процесса изготовления одной пластины (рис. 4.1). Такой подход поддерживают практически все компании, ориентированные на вузы и малые предприятия, это проекты: MOSIS, EURORACTICE, CMP и др. Другой подход, реализуемый в проекте EURORACTICE, называется MLM/SUR (Multi Level Mask/Single User Runs) – многоуровневые маски/прогон для одного проекта. MLM-подход также сокращает стоимость масок для одного пользователя. Здесь доступная площадь маски (например, 20 * 20 мм) делится обычно на 4 квадрата, где каждый квадрат – это один уровень одного проекта, т.е. одна маска обеспечивает 4 последовательных уровней одного проекта. Общее число масок сокращается в 4 раза. Адаптируя соответствующим образом процесс литографии возможно использование одной маски 4 раза. В таком подходе стоимость масок сокращается на 60%. Достоинством данного подхода является независимость от MPW расписания, процесс можно выполнять в любой день. Но данный подход реализуется в EURORACTICE только для технологий AMI Semiconductor и IHP.

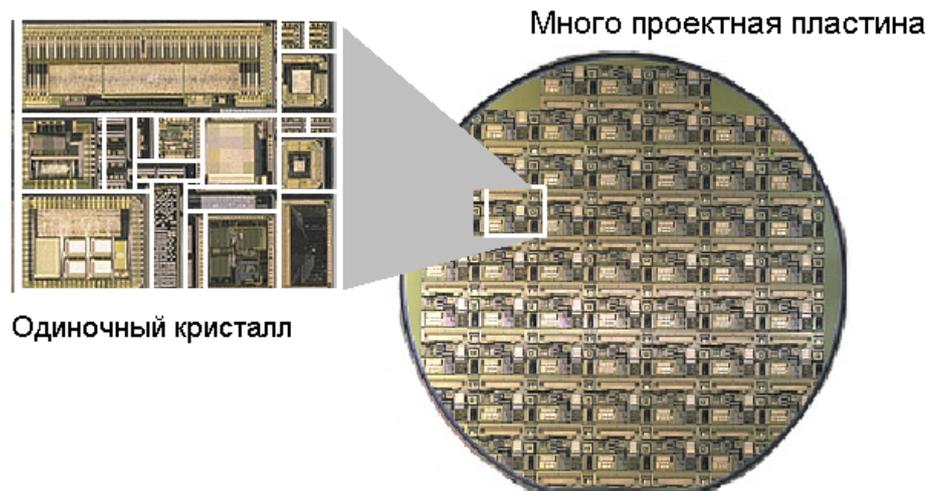


Рис. 4.1. Многопроектная пластина и одиночный кристалл на ней

Специализированные интегральные схемы (в зарубежной литературе ASIC - Application Specific Integrated Circuits), являются самыми распространенными в мире (около 50% всех изготавливаемых ИС). По сравнению с другими технологиями (заказные, ПЛИС и БМК) они обладают практически наивысшими техническими показателями (тактовая частота или задержка, площадь кристалла, возможность изготовления по самым передовым технологиям и технологическим нормам, вплоть до 0,045 мкм) и в то же время, используя методологию стандартных ячеек, сравнительно небольшими сроками проектирования. Основными недостатками данной технологии являются:

- необходимость дорогих САПР (САПР физико-топологического уровня);
- необходимость в библиотеках и правилах проектирования конкретной фирмы изготовителя ИС (так называемых Design Kits);
- высокая стоимость изготовления;
- высокая квалификация инженеров-проектировщиков, длительные сроки проектирования (от 1 до 6 месяцев) и изготовления (от 7 до 14 недель).

Изготовление ASIC было бы очень дорогим для малых фирм, вузов или малых партий ИС, если бы не были предложены методы проектирования на основе многопроектных пластин (MPW), когда маски для изготовления разных (небольшого количества) ИС объединяются в одну, и высокая стоимость изготовления делится на общее число ИС, удешевляя изготовление небольшого количества ИС до 5-7% от общей стоимости. Такие возможности предоставляют сейчас многие компании, но для вузов имеются скидки, как на изготовление, так и на приобретение Design Kits и САПР.

Особое значение для изготовления более дешевых кристаллов имело переход от 200 мм пластин к 300 мм (рис. 4.2). Это позволило значительно увеличить число чипов на пластине, и соответственно, уменьшить стоимость кристаллов.

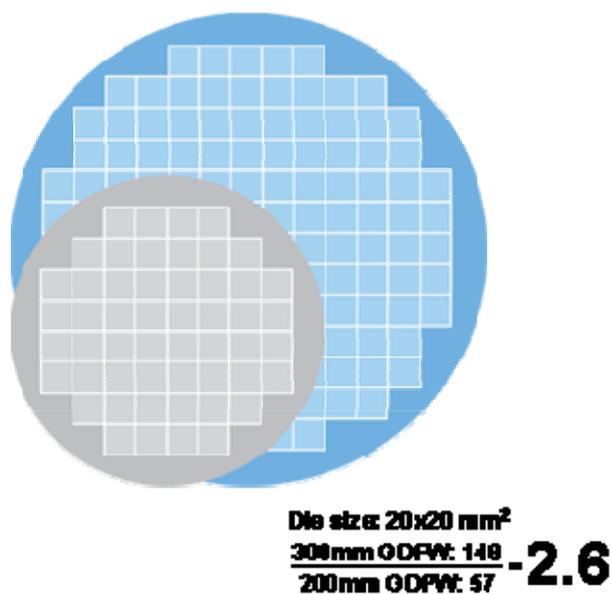


Рис. 4.2. Иллюстрация дополнительных возможностей перехода от 200 к 300 мм пластинам

Сейчас университеты и научные организации поддерживаются в США – проектом MOSIS [27], в Европе – проект EUROPRACTICE [28] и фирма CMP (Гренобль, Франция), которые выполняют посреднические услуги между проектировщиками и кремниевыми фабриками.

4.2. Сервис по проектированию и изготовлению ИМС – проект EURORACTICE

Европейская комиссия (ЕС) финансирует программу EURORACTICE в рамках IST проекта в 6-й рамочной (и во всех предыдущих) программе Европейского Союза. Это финансирование распространяется только на поддержку университетов и исследовательских лабораторий. Программа EURORACTICE продолжила традиции предыдущей программы EUROCHIP по предоставлению услуг в области проектирования и изготовления ИМС. По сравнению с программой EUROCHIP (с 1989г.) новая программа (с 1995г.) расширила круг услуг, и в настоящее время предоставляет возможность организациям быстро освоить новые технологии проектирования ASIC и MEMS на базе современных САПР. Основными исполнителями программы являются: CCRLC (Англия), обеспечивающая регистрацию и учет членов программы, и предоставление средств САПР; IMES (Бельгия) – организация по прототипированию и изготовлению малых серий ИМС.



Для регистрации участия в программе необходимо заполнить две формы (соглашения). Каждому участнику присваивается уникальный номер, который используется при всех дальнейших операциях по получению САПР и изготовлению ИМС. Ежегодно участниками оплачивается оргвзнос в размере 1100 евро (полное участие, если участник желает иметь доступ к средствам САПР и изготовлению ИМС), 600 евро (доступ только к средствам САПР), 200 евро (доступ только к средствам САПР для ПЛИС).

К моменту времени 1.08.2007г. общее число участников проекта составляет – 638. Из них вузы с полным участием – 360, научные лаборатории с полным участием – 71, участники с доступом только к средствам САПР – 170 и участники с доступом только к средствам САПР ПЛИС – 37. От России – 13 участников, это:

- А40240 – Владимирский государственный университет – полное участие;
- А47330 – С-Петербургский технический университет – участие в средствах САПР;
- А47420 – Ковровская технологическая академия – участие в ПЛИС;
- А47520 – Московский институт электронной техники (МИЭТ) – полное участие;
- А47530 – Московский инженерно-физический институт (МИФИ) – полное участие;
- А47720 – МИРЭА – полное участие;
- А47730 – Таганрогский государственный университет радиотехники – полное участие;
- А47780 – С-Петербургский государственный университет (ЛИТМО) – участие в средствах САПР;

- А47790 – С-Петербургский государственный университет аэрокосмических приборов - участие в средствах САПР;
- А47800 – Нижегородский государственный университет – полное участие;
- А47810 – Московский государственный университет – полное участие;
- А47830 – С-Петербургский электротехнический университет (ЛЭТИ) – полное участие;
- А47850 – Московский физико-технологический институт (МФТИ) – полное участие.

4.3. Сервис по поставке средств САПР – EURORACTICE Software service

Сервис по поставке средств САПР выполняется Центром микроэлектронной поддержки при Лаборатории Разерфорда в Англии (Microelectronic Support Centre at the Rutherford Appleton Laboratory, UK) [28]. Предоставляется по низкой стоимости доступ и обслуживание к средствам САПР для проектирования ИМС, ПЛИС и микросистем (MEMS), при условии не коммерческого использования.



Следующие САПР (табл. 4.1) предоставляются для участников программы:

Таблица 4.1.

Список систем САПР, поставляемых в рамках проекта EURORACTICE

<input type="checkbox"/> Altera	<input type="checkbox"/> Handshake Solutions	<input type="checkbox"/> SoftMEMS
<input type="checkbox"/> Cadence	<input type="checkbox"/> HDL Works	<input type="checkbox"/> Synopsys
<input type="checkbox"/> Celoxica	<input type="checkbox"/> IntelliSense	<input type="checkbox"/> Tanner
<input type="checkbox"/> Coventor	<input type="checkbox"/> MatrixOne	<input type="checkbox"/> Xilinx
<input type="checkbox"/> CoWare	<input type="checkbox"/> Mentor Graphics	<input type="checkbox"/> XJTAG
<input type="checkbox"/> Dolphin Integration	<input type="checkbox"/> PhoeniX	

Приведем стоимость некоторых САПР на момент 1.08.2007г.:

1. САПР фирмы “Altera” (проектирование ПЛИС) – предоставляется бесплатно, за дополнительную небольшую оплату предоставляются аппаратные средства и библиотека IP блоков.

2. САПР фирмы “Xilinx” (проектирование ПЛИС) – предоставляется бесплатно, за дополнительную небольшую оплату предоставляются дополнительные программно-аппаратные средства.

3. САПР фирмы “CADENCE” (полный маршрут проектирования цифровых, аналоговых и смешанных схем в дискретном или интегральном исполнении), САПР номер 1 по продажам в мире:

- System Package – 1800 euro за одну лицензию

- IC Package – 1800 euro за одну лицензию
- Combined IC & System Package – 2400 euro за одну лицензию

4. САПР фирмы “Mentor Graphics” (полный маршрут проектирования цифровых, аналоговых и смешанных схем в дискретном или интегральном исполнении), САПР номер 3 по продажам в мире:

Полный пакет (Physical Design, Analysis, FPGA and High Speed Board Design) – бесплатно

5. САПР фирмы “SYNOPTSYS” (полный маршрут проектирования цифровых, аналоговых и смешанных схем, средства синтеза и верификации), САПР номер 2 по продажам в мире:

- Front End and Verification – 1800 euro за одну лицензию
- System Development – 2400 euro за пять лицензий
- Implementation Tools – 850 euro за лицензию.

Обновление лицензий (обслуживание) ежегодно составляет следующие суммы на те же самые САПР:

1. САПР фирмы “Altera” – 200 euro.

2. САПР фирмы “Xilinx” – 400 euro.

3. САПР фирмы “CADENCE” :

- System Package – 1140 euro

- IC Package – 1140 euro

- Combined IC & System Package – 1445 euro

4. САПР фирмы “Mentor Graphics” :

- Полный пакет – 1000 euro

5. САПР фирмы “SYNOPTSYS” :

- Front End and Verification – 1010 euro

- Combined Front End and Verification/System Development/Implementation Tools – 1500 euro

- Implementation Tools – 1010 euro

Для участников проекта предоставляются наборы проектирования для заказных ИМС (ASIC) и для MEMS. Наборы проектирования (Design Kits) распространяются **бесплатно** для всех членов программы, но файлы закодированы. Раз в год, обновленная версия на CD-ROM (рис. 4.2), включающая все доступные технологии, рассылается участникам. Лицензионный файл для декодирования высылается фирмой IMEC (см. далее) при условии подписания договора о неразглашении (NDA – Non Disclosure Agreement) для выбранной технологии.



Рис. 4.2. Пример диска с библиотеками проектирования проекта EUROPRACTICE

Например, версия 16 CD-ROM Design Kits содержит 50 библиотек, 36 из которых являются новыми или модернизациями старых. Все библиотеки ориентированы на САПР и технологии, поддерживаемые EUROPRACTICE. Из-за большого числа библиотек все скомпоновано на 5-и дисках. Там же содержится документация для некоторых технологий в pdf-формате. Все документы закодированы, для декодирования используются те же файлы, что и для предыдущих версий. Библиотеки могут ставяться, как на рабочих станциях (Sun Solaris 9, HPUX-11 и Linux (RedHat 7.2)), так и на PC-ЭВМ (Windows2000 или WindowsXP). Для PC требуется дополнительно электронный ключ (dongle). Ниже приведен список некоторых библиотек, имеющихся в 16-й версии Design Kits (символ PC – означает, что библиотеки доступны только для декодирования на PC, WS – только на рабочих станциях, PC&WS – на всех ЭВМ) для САПР:

Documentation in pdf format

PC&WS1	Version 2002.4	AMI Semiconductor 0.35 μ CMOS
PC&WS1	Version 2002.4	AMI Semiconductor 0.5 μ CMOS
PC&WS1	Version 2002.4	AMI Semiconductor 0.7 μ CMOS
PC&WS1	Version 2002.4	AMI Semiconductor I2T100
PC&WS1	Version 2002.4	AMI Semiconductor I2T30
PC&WS1	Version 2002.4	AMI Semiconductor I2T30E
PC&WS1	Version 6.7	AMI Semiconductor C5F/N

Virtual Silicon Technology design kits for UMC technologies, supports Cadence

WS1	Version 1.0	VST library for UMC 0.25m 1P5M 2.5V/3.3V technology
WS1	Version 1.0	VST library for UMC 0.18m 1P6M 1.8V/3.3V GII technology

Cadence IC 4.4.6 and IC 5.0.32 AMIS ADS design system, including: digital synthesis, simulation libraries and full custom design environment for mixed signal circuit design (with full layouts)

WS2	Version 2002.4	ASIC Design System (ADS system files)
WS2	Version 2002.4	ADS library : for AMI Semiconductor 0.35 μ CMOS
WS2	Version 2002.4	ADS library : for AMI Semiconductor 0.5 μ CMOS
WS2	Version 2002.4	ADS library : for AMI Semiconductor 0.7 μ CMOS
WS2	Version 2002.4	ADS library : for AMI Semiconductor I2T100
WS2	Version 2002.4	ADS library : for AMI Semiconductor I2T30
WS2	Version 2002.4	ADS library : for AMI Semiconductor I2T30E

Mentor Graphics IC Flow 2002.4 plus Leonardo Spectrum front-end and back-end kits

WS2	Version 3.51	austriamicrosystems - 0.35 μ C35, 0.35 μ S35
-----	--------------	--

Кроме библиотек проектирования EURORACTICE предоставляет возможность получения готовых решений (Reusable IP blocks) в виде топологий или описаний на аппаратных языках (которые могут быть оптимизированы при размещении и трассировке новых ИС). Эти готовые решения размещены на “желтых страницах” библиотек фирмы “Design and Reuse”.

4.4. Сервис по изготовлению ИМС – EURORACTICE IC service

Сервис по изготовлению ИМС в рамках проекта EURORACTICE предоставляет: дешевое прототипирование заказных специализированных ИМС (ASIC), возможность изготовления малых и средних серий; партнерские связи с ведущими фирмами по изготовлению ИМС, по корпусированию и по тестированию; широкий выбор технологических процессов, распространение и полная поддержка библиотеками проектирования и стандартными ячейками высокого качества для большинства самых популярных САПР; выполнение проектирования с RTL-уровня до топологического уровня для субмикронных технологий; полное проектирование ASIC через партнеров.



Эти услуги обеспечиваются двумя центрами: IMEC, Leuven (Belgium), как основной [30], и Fraunhofer Institute for Integrated Circuits, Erlangen (Germany).

Через соглашение с большим числом изготовителей ИМС, EURORACTICE поддерживает распространение технологической информации и библиотек ячеек изготовителей путем подписания стандартного соглашения о неразглашении (Non-

Disclosure Agreements) или соглашения на лицензию набора проектирования (Design Kit). Формы этих соглашений имеются на сайте EURORACTICE.

Информация изготовителя ИМС содержит правила проектирования, параметры моделей в Spice-формате, руководства по проектированию и размещению, а также правила проектирования (DRC, Design Rule Checker), электрические правила (ERC, Electrical Rule Checker), LVS (layout versus Schematic, восстановление и проверка схемы по топологии) большинства ведущих САПР, таких как, Cadence, Synopsys, Mentor Graphics, Tanner и др. Вся эта информация распространяется на CD-ROM или через FTP.

4.4.1. Основные этапы проектирования и изготовления через EURORACTICE

1. Проектирование заказной ИМС (ASIC). После получения набора проектирования, разработчик может приступить к проектированию ИМС. Проектирование можно разделить на два уровня: верхний уровень (Front-end) и нижний (back-end). Верхний уровень выполняется пользователем до получения спецификации RTL уровня. Нижний уровень получения топологии ИМС выполняется либо пользователем, либо может быть выполнен в EURORACTICE [31]. Конечным результатом (после конечных проверок DRC и LVS) является файл в формате GDS II, который направляется в EURORACTICE (рис. 4.3).

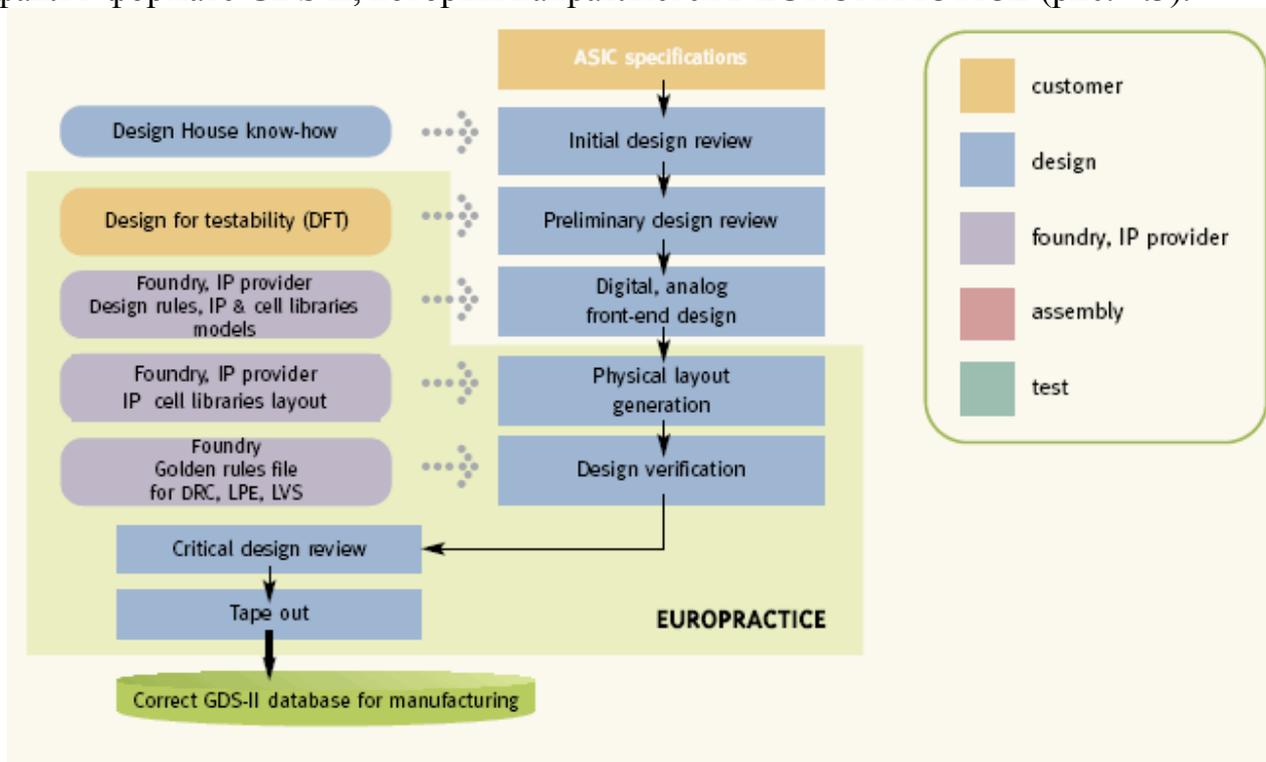


Рис. 4.3. Маршрут проектирования заказных ИМС на основе EURORACTICE

2. Изготовление и разработка тестов.

После проверки полученных файлов на корректность, они направляются в фирму-изготовитель для выполнения первого прогона, который выполняется как MPW или SPW (Single Project Wafer). Параллельно разрабатываются тесты (аппаратные или программные). Затем микросхемы помещаются в корпус в одной из фирм Европы (рис. 4.4).

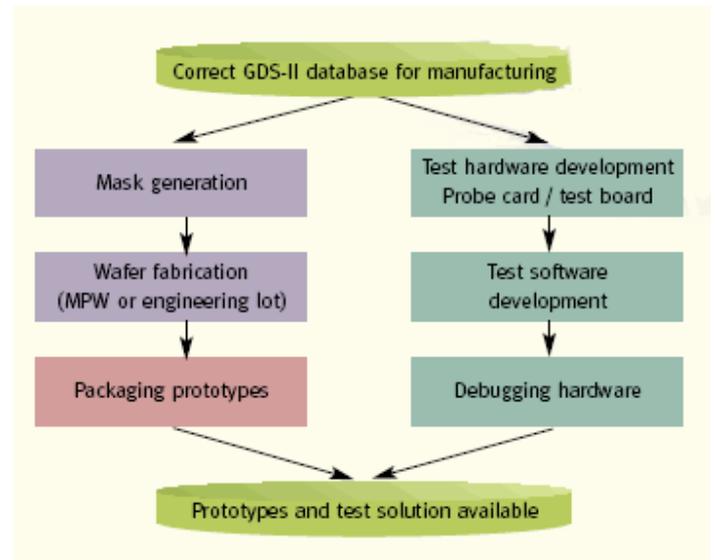


Рис.4.4. Изготовление и разработка тестов

3. Первый тест и проверка прототипа. После поступления микросхем из фирмы-изготовителя, они направляются в один из центров тестирования для отладки и проверки. Выполняются визуальный контроль, тест АТРГ, тесты для аналоговых блоков при комнатной, а затем при низких и высоких температурах. При обнаружении неисправностей выполняется диагноз неисправностей (рис. 4.5).

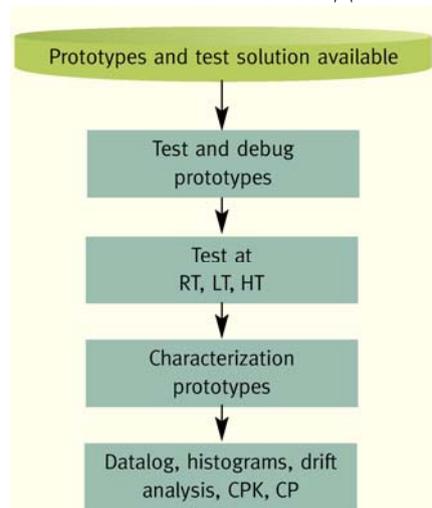


Рис.4.5. Предварительное тестирование и проверка прототипа

4. Оценка (квалификация) микросхем. Данная операция выполняется только для малых серий, может быть выполнена в фирмах партнерах EURORACTICE. Выполняется оценка потребительских свойств, промышленных требований, медицинских и т.д., в соответствии с требованиями стандартов военных (Military), JEDEC и др.

Одной из основных особенностей данного маршрута является то, что EURORACTICE готов помочь проектировщикам на любой стадии. Особенно, когда проектируется схема по субмикронным технологиям (задачи синтеза и получение топологии кристалла). В этом случае требуются очень квалифицированные инженеры и очень дорогие САПР. Есть примеры в EURORACTICE [31] синтеза топологии для 71 млн. транзисторов по технологии 90 нм.

В зависимости от выбранной технологии пользователям поставляются от 25 до 50 прототипов, часть из них может быть без корпусов. В EURORACTICE организуется порядка 200 MPW-процессов в год по различным технологиям.

Ниже приводится список доступных технологий пяти фирм-изготовителей, это AMIS, AMS, INP, TSMC и UMC:

AMI Semiconductor (AMIS)

Основные технологии 0.7μ, 0.5μ и 0.35μ CMOS логические и смешанные схемы, высоковольтные 0.7μ, 0.5μ и 0.35μ CMOS. Наборы проектирования AMIS, Spice параметры и библиотеки стандартных ячеек доступны через EURORACTICE после подписания DKLA. Для разовых проектов с малой стоимостью технология MLM (Multi Level Mask) возможна.



Austriamicrosystems

Поддерживаемые технологии 0.8μ -- 0.35μ CMOS для логических, смешанных и высоковольтных ИМС, для высокоскоростных 0.35μ SiGe BiCMOS. Наборы проектирования доступны через EURORACTICE после подписания CA и NDA.



INP

Технологии включают высокоскоростные 0.25μ SiGe:C BiCMOS. Наборы проектирования INP доступны через EURORACTICE после подписания NDA.



TSMC

Для университетов и исследовательских лабораторий

Только доступ к 0.25μ, 0.18μ и 0.13μ CMOS логических, смешанных и ВЧ схем. Наборы проектирования TSMC доступны через EURORACTICE после подписания NDA, а также через компании типа ARM (artisan).



Для компаний

Широкий диапазон технологий от 0.5μ до 65nm, включая logic, mixed-signal/RF, e-flash, SiGe, CIS (CMOS Imaging Sensor)

UMC

Поддерживаются технологии 0.25μ, 0.18μ, 0.13μ и 90nm CMOS логические и смешанные. Наборы проектирования UMC доступны через EURORACTICE после подписания NDA, а также через Faraday.



Стоимость изготовления для некоторых фирм изготовителей ИМС (на рис. 4.5 приведен снимок производственного участка на заводе в Тайване) приведены ниже (по сниженной цене, discounted – для стран ЕС, стандартная – для всех остальных стран):

	STANDARD	DISCOUNTED
	Price/mm ²	Price/mm ²
AMI Semiconductor		
AMIS 0.7μ C07M-D 2M/1P	360	320
AMIS 0.5μ C05M-D 3M/1P	420	370
AMIS 0.35μ C035M-D 5M/1P	620	570
AMIS 0.35μ C035M-A 5M/2P/HR	680	630
AMIS 0.7μ C07M-I2T100 100 V - 2M	550	500
AMIS 0.35μ C035 - I3T80U 80 V 3M	850	800
austriamicrosystems		
austriamicrosystems 0.35μ CMOS C35B3C1 3M/2P/5V IO	720	580
austriamicrosystems 0.35μ HV CMOS H35 50V 3M	1000	900
austriamicrosystems 0.35μ SiGe-BiCMOS S35 4M/4P	1000	900
TSMC		
TSMC 0.18μ CMOS General LOGIC, MS OR MS RF	Upon request	Upon request
TSMC 0.13μ CMOS General LOGIC, MS or MS RF (12-inch)	Upon request	Upon request
UMC		
UMC L180 1P6M GII Logic + MiM	16000	14500
UMC L180 1P6M MM/RFCMOS	16000	14500
UMC L130E 1P8M2T FSG Logic + MiM (FAB 8D or 12i)	35600	32000
UMC L90N 1P9M2T1F Low K Logic/MixeMode SP (FAB 12i)	55200	50000

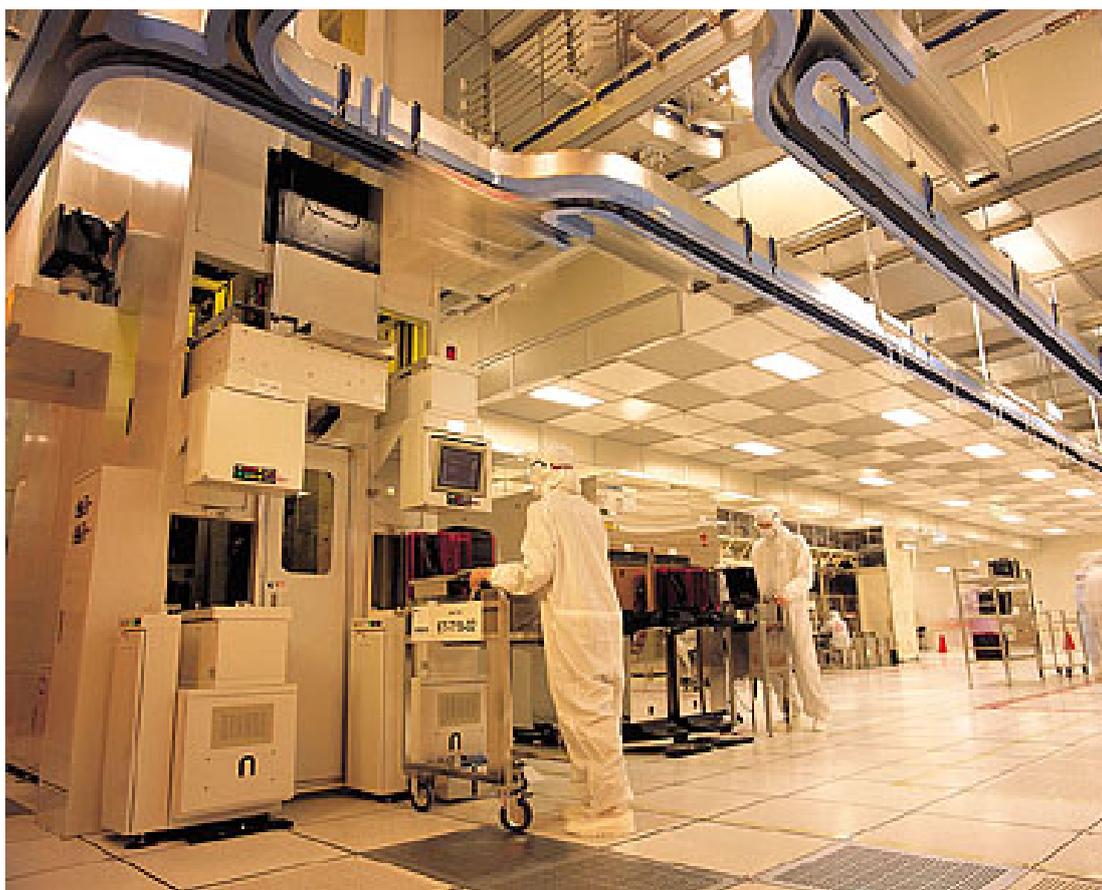


Рис. 4.5. Производственный участок завода в Тайване.

EUROPRACTICE дополнительно, за низкие цены выполняет корпусирование ИМС через своих партнеров. Широкий выбор корпусов от DIL до PGA предоставляется. Некоторые цены приведены ниже:

Unit Prices	
Type	EURO
DIL 18	25
DIL 24	27
DIL 28	30
DIL 48	38
CSOIC 16	45
CSOIC 24	52
CSOIC 28	55
CLCC 44	32
CLCC 84	48
SETUP cost	EURO
Qty	Pins < 32

Unit Prices	
Type	EURO
JLCC 68	50
JLCC 84	56
PGA 84	50
PGA 120	60
PGA 144	75
PGA 256	140
CQFP 64	55
CQFP 120	75
CQFP 208	110
	EURO
	Pins > 32

10 or more	300	400
Unit Prices		Unit Prices
Type	EURO	Type
(Body width .300)		QFN 16 (5x5)
SOIC 16	40	QFN 24 (5x5)
SOIC 24	48	QFN 48 (7x7)
SOIC 28	49	QFN 56 (8x8)

С целью стимулирования университетов и научных лабораторий EURORACTICE, начиная с 2003г. ввел программу *mini@sic*, в рамках которой для небольшого ряда отобранных технологий университеты могут изготавливать очень малые по размерам чипы по очень низкой стоимости. Такими технологиями являются:

- AMIS – 2 кв. мм
- AMS – 3 или 2 кв. мм
- IHP – 0,5 кв. мм
- UMC (0.18, 0.13, 0.09 мкм) – 2,3 кв. мм.



4.5. Сервис по проектированию и изготовлению микросистем (MEMS)

Одной из новых функций проекта EURORACTICE является стимулирование активности в области проектирования и изготовления микросистем.

Для активизации данного направления были сформированы и профинансированы несколько проектов, таких как, “INTEGRAMplus”, “MicroBUILDER”, “STIMESI”. Проект EURORACTICE помогает участникам, как опытным, так и начинающим, в активизации деятельности в области MEMS (рис. 4.6).



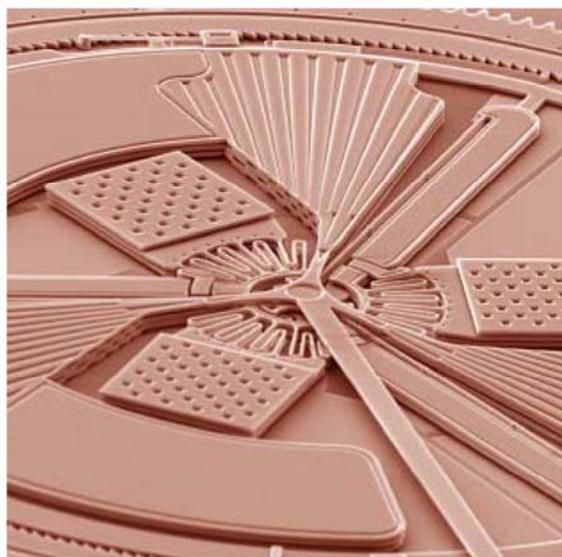


Рис. 4.6. Структура MEMS.

Для стимулирования этой активности проект предлагает большое число наборов проектирования (MEMS Design Kits) на основе САПР Coventor и SoftMEMS (MEMSCAP).

Сервис по обучению – Eurotraining. Одной из основных функций программы EURORACTICE является обучение современным технологиям [32]. Для этого организуются циклы обучающих курсов. Для всех участников проекта предоставляются значительные скидки. Имеются дистанционные курсы обучения, многие из них – бесплатно.

4.6. Сервис по проектированию фирмы CMP (Circuits Multi Projects)



Фирма CMP была ранее в консорциуме проекта EUROCHIP (предшественник EURORACTICE). Проект был открыт в 1981г. для обеспечения университетов и исследовательских организаций в изготовлении прототипов и малой серии микросхем, микросистем (MEMS) и поддержку средствами САПР. С 1990г. CMP начал предоставлять возможности по многопроектным пластинам. Коммерческая фирма CMP была создана на базе лаборатории TИМА при университете Фурье в Гренобле. Руководителем обеих структур является профессор Бернард Куртуа (партнер ВлГУ по нескольким проектам) [33].

В настоящее время фирма CMP реализует близкие к проекту EURORACTICE функции, хотя есть отличия по составу услуг и стоимости САПР и технологий.

СМР предоставляют следующую информацию для проектирования и изготовления микросхем [34]:

- правила проектирования (design rules). СМР распространяет правила конкретных изготовителей и конкретных технологий;

- библиотеки стандартных ячеек (cell libraries). Это набор проектирования (Design Kit), библиотеки стандартных ячеек и правила на электрические и технологические параметры. Набор проектирования связан с конкретными САПР и конкретными фирмами-изготовителями;

- правила подключения и корпусирования (assembly rules). Это рекомендации и спецификации, обычно доступны по Web;

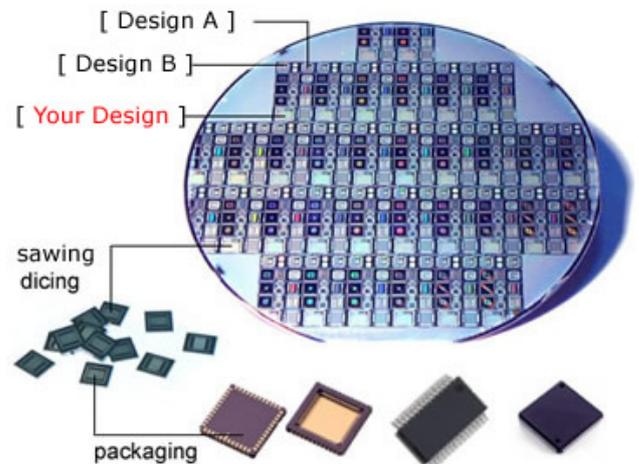
- процедура заказа схемы для изготовления. Обычно это формы заказа микросхем, порядок передачи файла и т.д.

прототипирование – обычно изготовление от 5 до 20 образцов и малой серии. Малая серия часто необходима в следующих случаях: когда схема является частью очень сложной системы и требуется сотни и тысячи экземпляров, когда схема очень специфическая и требуется небольшое их число, когда компания хочет иметь предварительную партию прежде чем заказать очень крупную партию, большинство малых фирм в принципе не имеет необходимости в массовой продукции, исследовательские лаборатории после прототипа выполняют демонстрационные проекты. Кроме того, тенденцией современного состояния электроники является уход от сверхмассовой продукции, все чаще число изделий в партии становится ближе к малой серии.

Прежде чем заказать малую серию, СМР и заказчик определяют границы малой серии, это зависит от типа процесса, технологических норм, размеров и сложности схемы. В зависимости от результатов оценки, если число изделий не велико, то используют обычный MPW процесс, что снижает стоимость. Если число в серии велико, то потребуется отдельный самостоятельный процесс (прогон), рассчитывается необходимое число пластин.

Если заказчику необходимо протестировать микросхемы, то СМР подбирает необходимое тестовое оборудование (в зависимости от спецификации схемы) в специализированных фирмах по тестированию в соответствии с дополнительными соглашениями.

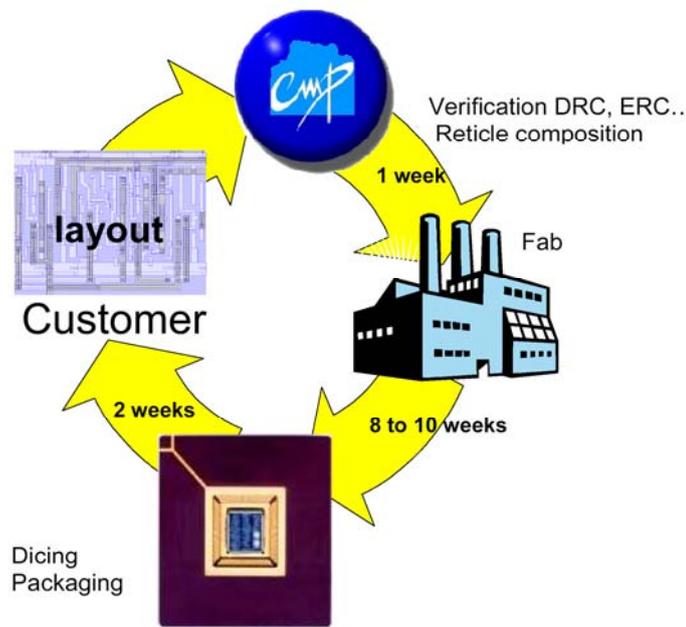
Вследствие того, что число микросхем на пластине постоянно увеличивается (растет размер пластин, ранее были 150 мм, затем 200 мм, сейчас в большинстве своем 300 мм; уменьшаются размеры чипов с уменьшением технологических норм 0,8 мкм, 0,5 мкм, 0,35 мкм, 0,18 мкм, 0,12 мкм, 0,9 мкм и



т.д., при той же сложности), то изготовление малых серий становится все дешевле и дешевле.

Операции, которые должны быть выполнены для всех проектов (рис. 4.7):

- **Выбор технологического процесса.** Процессы, которые доступны, определяются промышленными возможностями и необходимостью, новые технологии постоянно добавляются каждый год. При выборе процесса решаются задачи: какие правила проектирования существуют и доступны, доступны ли библиотеки стандартных ячеек, какие средства САПР поддерживают эти библиотеки и есть ли они в СМР, какие электрические измерения могут быть выполнены при изготовлении и доступны ли они для заказчика в СМР, какие правила и вопросы правового регулирования имеются и есть ли ограничения.



From layout to packaged chips

Рис. 4.7. Диаграмма цикла проектирования и изготовления ИМС

- **Доступность САПР и наборов проектирования.** Для облегчения проектирования специальные библиотеки стандартных ячеек используются для каждой САПР. Разработчики САПР обычно поставляют такие библиотеки сами или через СМР. В тех случаях, когда для каких-либо процессов и для какой-либо САПР, таких библиотек нет, то СМР берется разрабатывать их самостоятельно. Так СМР разработал несколько наборов проектирования для технологических процессов AMS (Austria Micro Systems), ATMEL ES2, VSC для таких САПР как, CADENCE, COMPASS, TANNER и др. Есть список доступных наборов проектирования для поддерживаемых САПР.

- **Распространение и поддержка наборов проектирования.** Большинство наборов проектирования (design kits) поставляется бесплатно при условии, что спроектированная схема будет изготовлена через СМР. Для этого заполняется специальная форма (на сайте СМР), подписывается специфическое конфиденциальное соглашение. Обычно, в течение месяца (зависит от экспортных ограничений) наборы проектирования доставляются пользователю (обычно по сети).

Операции, которые выполняются при изготовлении:

- Получение схемы: топология схемы в формате GDS2 передается по сети или на магнитных носителях. Файлы проверяются в СМР на наличие синтаксических ошибок.

- Проверка правил проектирования: все схемы проверяются на выполнение топологических и электрических правил (DRC – design rule checker, ERC – electrical rule checker) с помощью соответствующих средств в САПР. Если есть ошибки, то они сообщаются пользователю. После коррекции схема включается в расписание прогонов (изготовлений).

- Объединение схем и масок: после проверок всех схем для процесса по расписанию, выполняется их объединение на пластине. В итоге получается файл, содержащий информацию для изготовителя.

- Изготовление и тестирование: СМР получает электрически протестированную пластину. Функциональный тест обычно выполняется пользователем.

- Разрезка пластин, сортировка и рассылка схем: обычно не менее 5 микросхем передается пользователю, часть из помещается в выбранные корпуса. Микросхемы пересылаются заказчику, по дополнительному соглашению высылаются цветной плакат с топологией схемы.

СМР предоставляет следующие промышленные САПР:

- ARM
- Cadence
- Leonardo – ModelSim
- MEMSCAP
- SoftMEMS
- Tanner Tools.

А также ряд САПР учебных:

- Alliance
- Magic
- Microwind and DSCH.

СМР предоставляет следующие Design kits:

Foundry	Process	CAD tool	Version
austriamicrosystems	CMOS 0.35 C35B4C3	Cadence 5.1.41	3.70
austriamicrosystems	CMOS 0.35 C35B4C3	Mentor Graphics 2005	3.70
austriamicrosystems	CMOS 0.35 C35B4C3	Tanner/L-Edit Version 12	5
austriamicrosystems	SiGe BiCMOS 0.35 S35D4	Cadence 5.1.41	3.70
austriamicrosystems	SiGe BiCMOS 0.35 S35D4	Mentor Graphics 2005	3.70
austriamicrosystems	HV CMOS 0.35 H35B4D3	Cadence 5.1.41	3.71
ST	65nm CMOS CMOS065	Cadence 5.1.41	4.2.1
ST	90nm CMOS CMOS090	Cadence 5.1.41	6.1
ST	0.12 CMOS HCMOS9	Cadence 5.1.41	9.2
ST	0.25 SiGe:C BiCMOS BiCMOS7RF	Cadence 5.1.41	6.0
ST	0.35 SiGe BiCMOS BiCMOS6G	Cadence 5.1.41	10.0
OMMIC	GaAs ED02AH	ADS 2005A	4.0
OMMIC	GaAs ED02AH	AWR (Microwave Office Simulator) v5.53	1.1
OMMIC	GaAs ED02AH	PSpice models	04-2000
OMMIC	GaAs ED02AH	CADENCE	

Список поддерживаемых технологии (сокращенный):

1. Integrated Circuits		
0.35 mic C35B4C3	CMOS DLP/4LM	austriamicrosystems
0.35 mic C35B4O1	CMOS-Opto DLP/4LM	austriamicrosystems
0.35 mic H35B4D3	CMOS DLP/4LM High Voltage	austriamicrosystems
0.35 mic S35D4M5	SiGe BiCMOS DLP/4LM	austriamicrosystems
0.12 mic HCMOS9	CMOS 6LM	STMicroelectronics
90 nm CMOS090	CMOS 7LM	STMicroelectronics
65 nm CMOS065	CMOS 7LM	STMicroelectronics
0.35 mic BiCMOS6G	SiGe BiCMOS	STMicroelectronics
0.2 mic ED02AH	P-HEMT E/D GaAs	OMMIC
2. <u>Micro Electro Mechanical Systems</u> (MEMS)		
0.2 mic ED02AH	GaAs HEMT	OMMIC (1)
PolyMUMPs	PolyMUMPs	MEMScAP
SOIMUMPs	SOIMUMPs	MEMScAP
MetalMUMPs	MetalMUMPs	MEMScAP

Цены 2007		
Austriamicrosystems(5)	0.35u CMOS C35B4C3	650 Euro/mm ²
	0.35u CMOS C35B4M3	890 Euro/mm ²
STMicroelectronics(5)	0.12u CMOS HCMOS9GP	2200 Euro/mm ²
	65nm CMOS CMOS065	9500 Euro/mm ²
	0.35u SiGe BiCMOS BiCMOS6G	950 Euro/mm ²
	0.25u SiGe:C BiCMOS7RF	1500 Euro/mm ²
OMMIC	0.2u HEMT GaAs ED02AH	990 Euro/mm ²
MEMSCAP	PolyMUMPs	\$ 3,200
	SOI MUMPs	\$ 3,200
	Metal MUMPs	\$ 3,200

Доступные корпуса:

- Ceramic packages

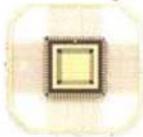
DIL
(Dual in Line)



PGA
(Pin Grid Array)



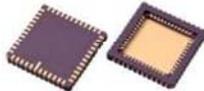
CQFP
(CerQuad Flat Pack)



SOIC
(Small Outline)



CLCC - JLCC
(C Leaded Chip Carrier)
(J Leaded Chip Carrier)



- Plastic Packages

1. Standard

PLCC
(Plastic Leaded Chip Carrier)



SOIC
(Small Outline)



QFP
(Quad Flat Package)



SSOP
(Small Shrink Outline Package)



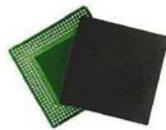
2. Leadless

QFN
(Quad Flat No leads)

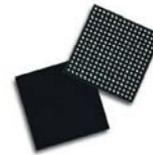


3. Ball Grid Array (BGA)

PBGA
(Plastic Ball Grid
Array)



fpBGA
(fine pitch Ball Grid
Array)



- Plastic Packages: open cavity

QFP, QFN, PLCC
SOIC, TSSOP...



Особенности изменения в размерах корпусов иллюстрируются на рис. 4.8.

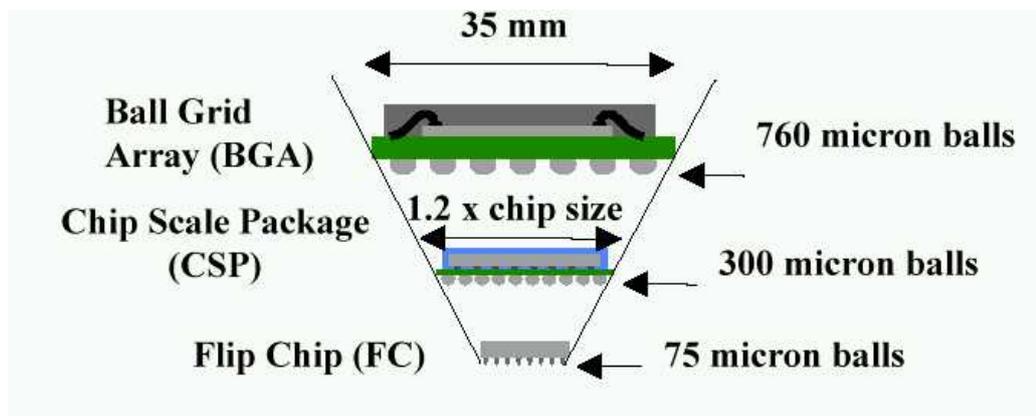


Рис. 4.8. Уменьшение размеров корпусов

4.7. Правила проектирования

Проектирование на основе метода Лямбда (Lambda). В правилах проектирования топологии описаны особенности реализации в специфическом производственном процессе. Правила промышленного проектирования обычно определяются в микронах. Это делает перемещение от одного процесса до более передового процесса трудным, потому что не все правила измеряются таким же образом. Правила проектирования Мида и Конвей [2] основаны на единственном параметре λ , который характеризует разрешающую способность процесса. λ является половиной минимума рисунка длины канала транзистора. Это длина – расстояние между истоком и стоком транзистора и устанавливает минимальную ширину проводника поликремния. Этот размер обычно определяется в микронах,

например процесс 180 нм имеет минимальную ширину поликремния (и следовательно длину канала транзистора) 0,18 микрон и использует в этом случае, правило проектирования $\lambda = 0,09$ мкм. Правила на основе λ консервативны, потому что они округляются до составного кратного числа λ . Однако, они делают более простыми вычисления при формировании топологии; кроме этого, упрощается переход к новой технологии, определяя при этом новое значение λ , т.е. простоту масштабирования.

Правила на основе данного подхода описывают минимальные ширину для избегания обрывов в линии, минимальный зазор, чтобы избежать коротких замыканий между линиями и минимальное перекрытие.

После выполнения проекта до отправки на изготовление выполняются электрические и топологические проверки на соответствие правилам проектирования (рис. 4.8).

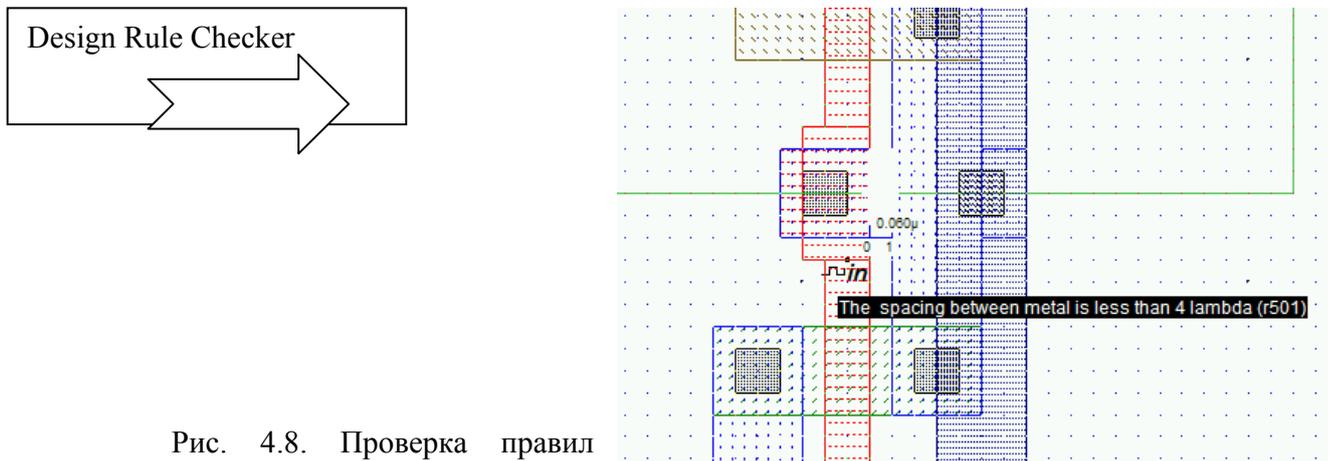


Рис. 4.8. Проверка правил проектирования перед изготовлением

В данном методе окно проектирования топологии представляется в виде сетки, размерность которой соответствует размерности λ (lambda). Все это делается для обеспечения правил проектирования (design rules) и обычной практики проектирования.

Преимущества этого подхода:

- предоставляются возможности менять технологию;
- возможность использования результатов проектирования в других проектах;
- сокращает стоимость проектирования;
- находит применение в фирмах Infineon, Motorola и др.

Недостатки:

- не оптимальное проектирование;
- только частично используется в основных фирмах разработчиках ИМС (Intel, ST и др.).

Правила проектирования МОП

N-канальные МОП (рис. 4.9)

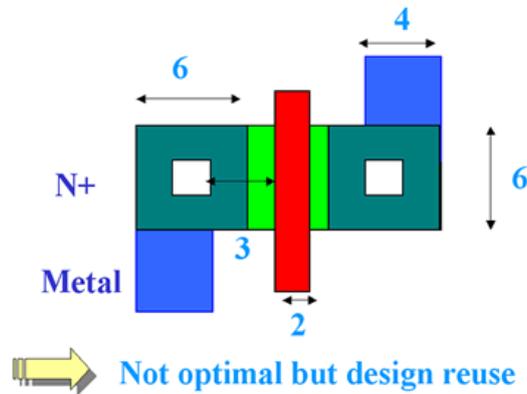


Рис. 4.9. Основные правила проектирования для транзистора n-МОП

Для данного примера, узкий слой поликремния не должен превышать ширины 2λ . N+ диффузионный слой должен иметь как минимум 7λ по обе стороны от поликремневого затвора. Внутренняя секция между диффузией и поликремнием создает канал в nМОП приборах.

В правилах проектирования задаются:

N-channel MOS

- Minimum poly gate
- Diffusion extension
- Contact
- Contact spacing
- Extension metal over contact
- Extension poly over diffusion
- Distance contact/gate
- Metal width
- Metal spacing

P-канальный МОП

Узкий слой поликремния для создания p-канала в МОП затворе должен иметь ширину $\geq 2\lambda$. P+ диффузия должна иметь как минимум 7λ по обеим сторонам поликремневого затвора. Добавляется n-well область, которая полностью включает слои P+ диффузии с границей в 6λ , как показано на рис. 4.10.

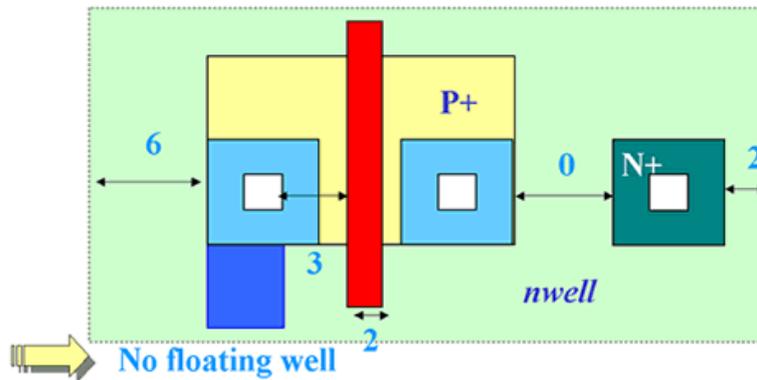


Рис. 4.12. Топология транзистора р-МОП

В правилах проектирования задаются:

P-channel MOS

- Minimum poly gate
- Diffusion extension
- N-well extension P+
- N-well extension N+
- Distance N+/P+
- Diffusion N+/N-well

Инвертор на базе nMOS и pMOS транзисторов с одинаковыми размерами

Использование ранее принятых размеров ширины каналов ($0.6\mu\text{m}$ в CMOS $0.12\mu\text{m}$ технологии) для nMOS и pMOS является не лучшим решением, так как ток переключения р-канального MOS составляет половину тока переключения для n-канального MOS.

Если $W_{nmos}=W_{pmos}$ и $L_{nmos}=L_{pmos}$, то ток $I_{ds}(Nmos)$ пропорционален μ_n , а ток $I_{ds}(Pmos)$ пропорционален μ_p . Типичные значения подвижности электронов (mobility) даны ниже:

для электронов (μ_n) : $1350\text{ cm}^2/\text{V}\cdot\text{s}$
 для дырок (μ_p) : $480\text{ cm}^2/\text{V}\cdot\text{s}$

Следовательно, ток выдаваемый n-канальным MOS прибором в два раза превосходит ток р-канального MOS транзистора. Обычно инвертер проектируется с балансом токов, для того, чтобы обойти значительные расхождения в переключениях. Другими словами, переключение с 0 в 1 должно иметь примерно

такое же время, как и переключение из 1 в 0. Кроме того, требуется сбалансированные характеристики по току (рис. 4.13).

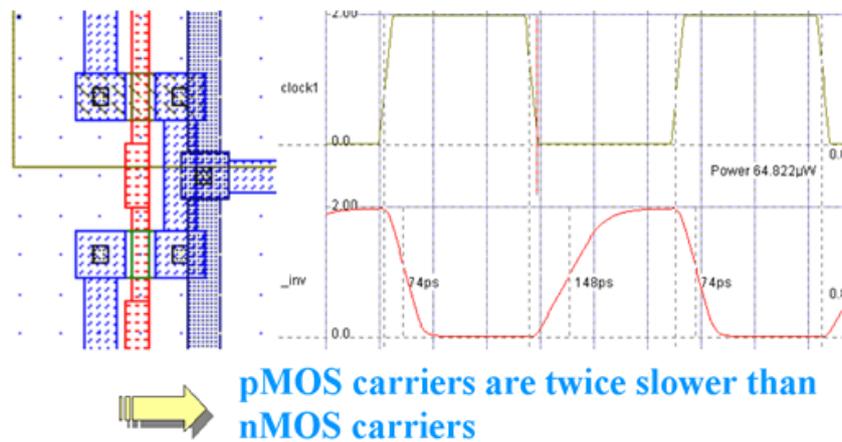


Рис. 4.13. Сравнение характеристик двух транзисторов

Причиной для введения дополнительных контактов является ограничение внутренних токов для каждой элементарной контактной точки. Одиночный контакт может выдержать менее 1мА тока без каких-либо проблем надежности. Если ток будет более 1мА, то контакт может быть поврежден, более сильный ток (порядка 10мА) немедленно разрушает контакт.

В правилах проектирования задается размер контакта $2 \times 2 \lambda$, а расстояние между ними равно 3λ (рис. 4.14).

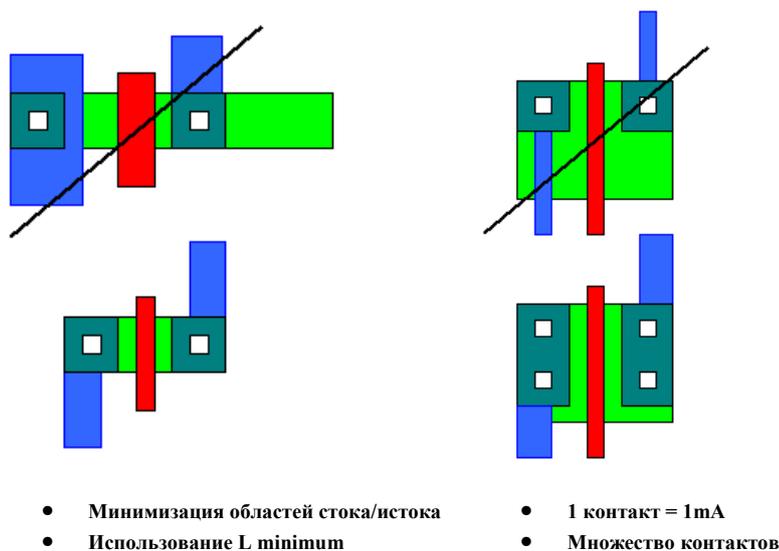


Рис. 4.14. Правила проектирования контактов

Хороший проект состоит в создании р-канального MOS транзистора с удвоенной шириной n-канального MOS. Ток рMOS удваивается и становится сравнимым с током nMOS транзистора. Это балансирует скорость переключения (рис. 4.15).

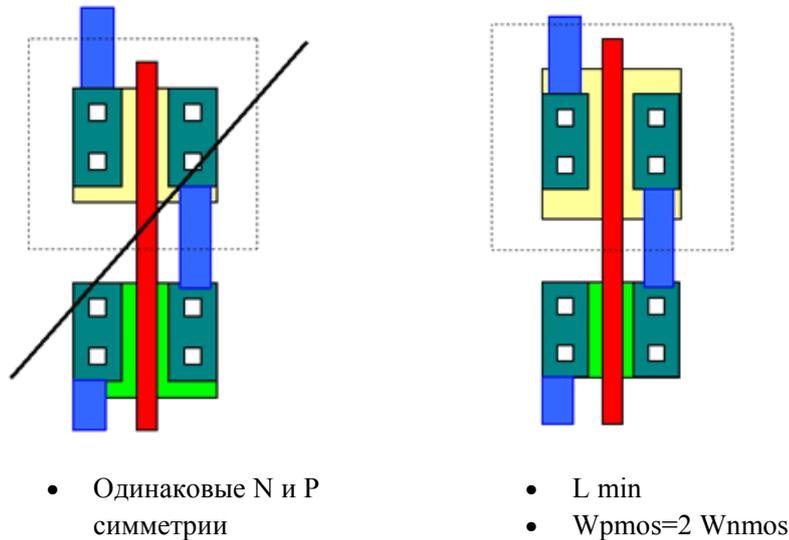


Рис. 4.15. Топология инвертора по правилам проектирования

Правила проектирования для межсоединений (Interconnect)

Хотя мы проектировали CMOS инвертор, используя два слоя металла, но в современных технологиях доступно до 6 – 7 слоев металла для обеспечения соединений и подачи напряжения. Значительная разница существует между 0.7мкм и 2 слоями металлизации и, например, 0.12мкм технологией по условиям эффективного межсоединения.

Нагромождение контактов не допустимо в микро-технологиях. Имеется в виду, что контакт от poly до metal2 требует значительной площади кремния, так как контакты должны быть (прорисованы) в отдельных местах (позициях). В субмикронных технологиях (начиная с 0.35мкм и менее), нагромождение контактов разрешается (рис. 4.16).

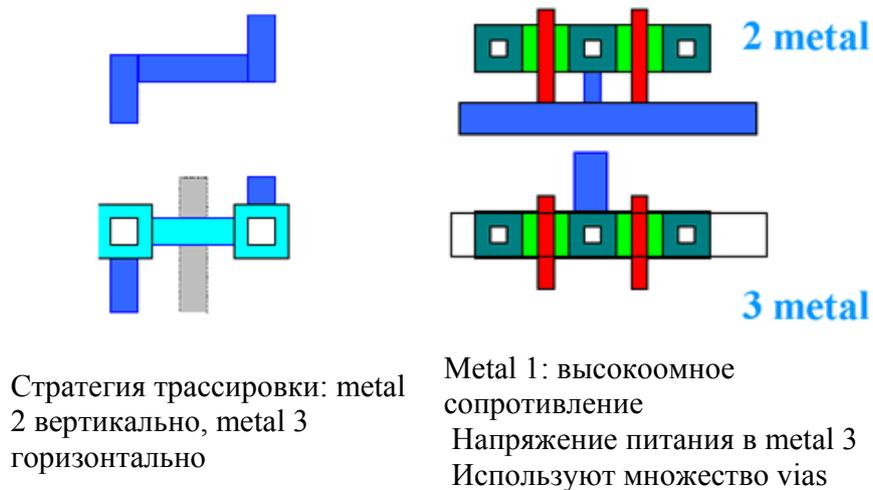


Рис. 4.16. Правила проектирования межсоединений для субмикронных технологий

Слои металлизации нумеруются в соответствии с порядком, в котором они изготавливаются, т.е. с нижнего первого уровня (metal 1) до верхних уровней (metal 6 в технологии 0.12мкм). Каждый слой встраивается в оксид кремния (SiO_2), который изолирует слои друг от друга. Разрез для 0.18 μm CMOS технологии показан на рис. 4.17.

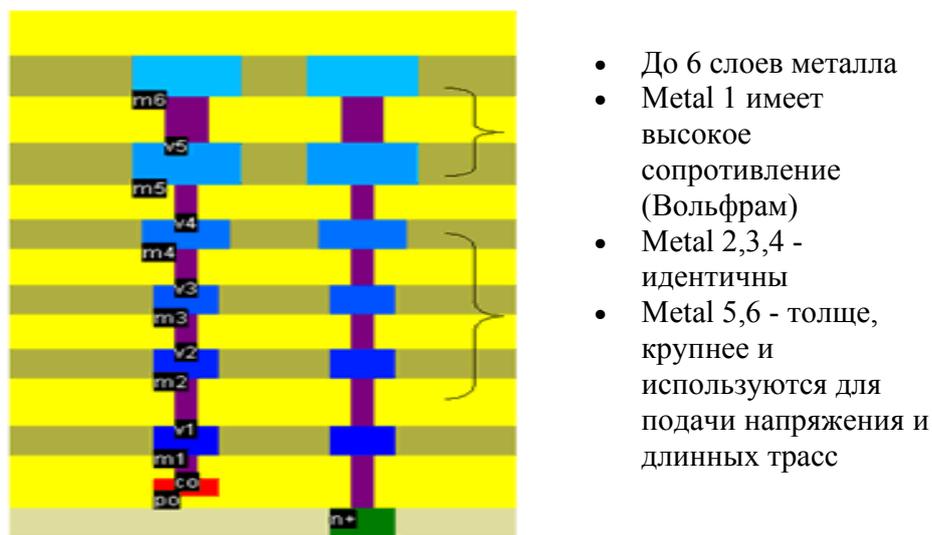


Рис. 4.17. Сечение межсоединений при 6 слоях металла

Роль межсоединений в характеристиках интегральных схемах значительно возрастает при переходе к субмикронным размерам. В 0.18мкм технологии, 6 слоев металлизации доступны. На рис. 4.18 приведен разрез для 0.18 μm CMOS технологии, который показывает технологическую эволюцию: введение

дополнительной (боковой) горизонтальной диффузии стока (lateral drain diffusion), неглубокой (shallow trench) изоляции и возможность использования различных режимов MOS. Емкостные эффекты несколько увеличиваются вследствие множества близких трасс, а сопротивление межсоединений значительно увеличивается вследствие сокращения секций проводников.

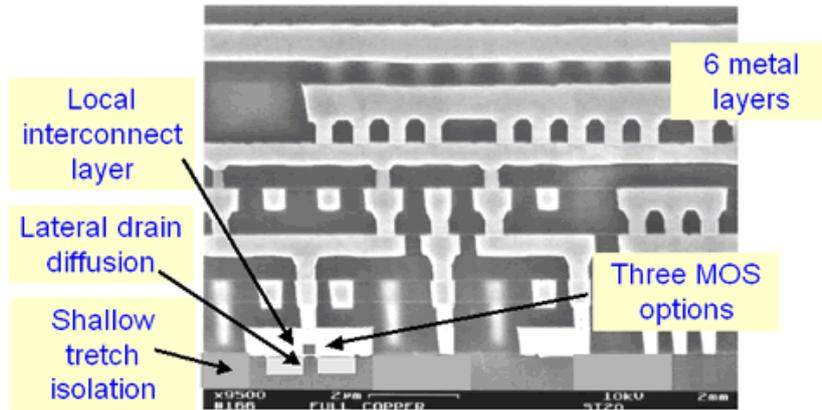


Рис. 4.18. Эволюция в технологиях межсоединений

В технологии 0.12мкм слои металлизации 1, 2 , 3 и 4 имеют почти идентичные характеристики. В правилах проектирования минимальный размер w межсоединений должен быть равен 3λ . Минимальный размер между ними – 4λ . Обычно в программном обеспечении каждое межсоединение отражается различным цветом.

Эти минимальные ширина соединений и расстояние между ними являются критическими для площади кристалла. Они же являются источниками ошибок при изготовлении. Если мы выполним (прорисуем) линию металла с шириной 2λ и 2λ расстояние между линиями, то при изготовлении могут возникнуть разрывы в линиях или замыкание соседних. Поэтому, правила проектирования всегда должны проверяться перед изготовлением. Даже, если все правила выполняются, имеется большая вероятность ошибок изготовления.

Ширина металлических соединений при изготовлении обычно немного больше чем минимальное значение. Уровень (pitch) это обычно расстояние, которое разделяет две отдельные линии соединений. В технологии 0.7мкм, вследствие нескольких директив в размерах контактов, pitch фиксируется как 10λ . В субмикронных технологиях размер сокращается до 8λ . В технологии 0.12мкм он равен 0.48мкм (рис. 4.19).

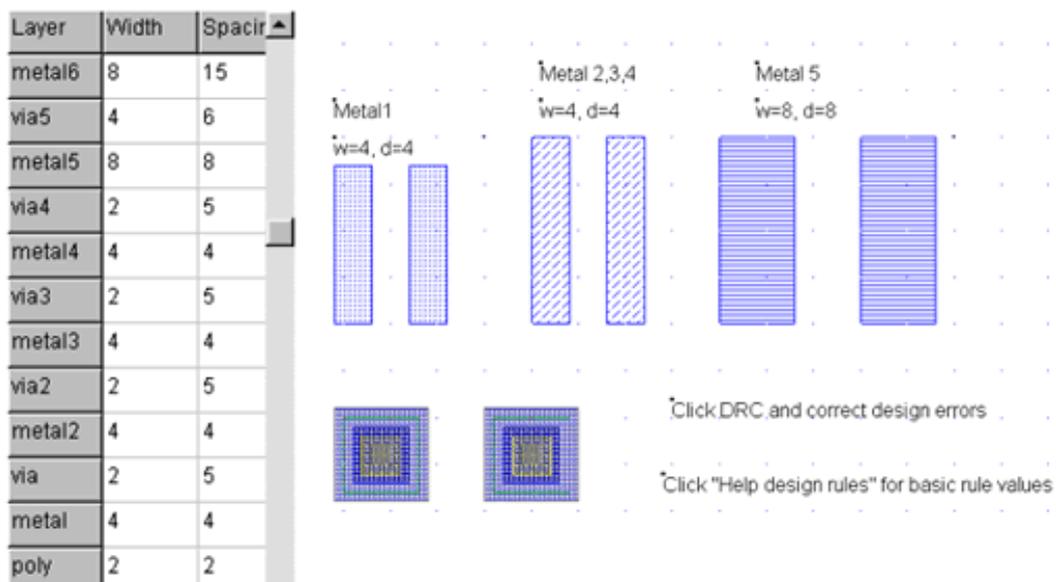


Рис. 4.19. Типичные размеры ширины соединений для различных технологий

На рис. 4.20 приведены некоторые правила проектирования резисторов.

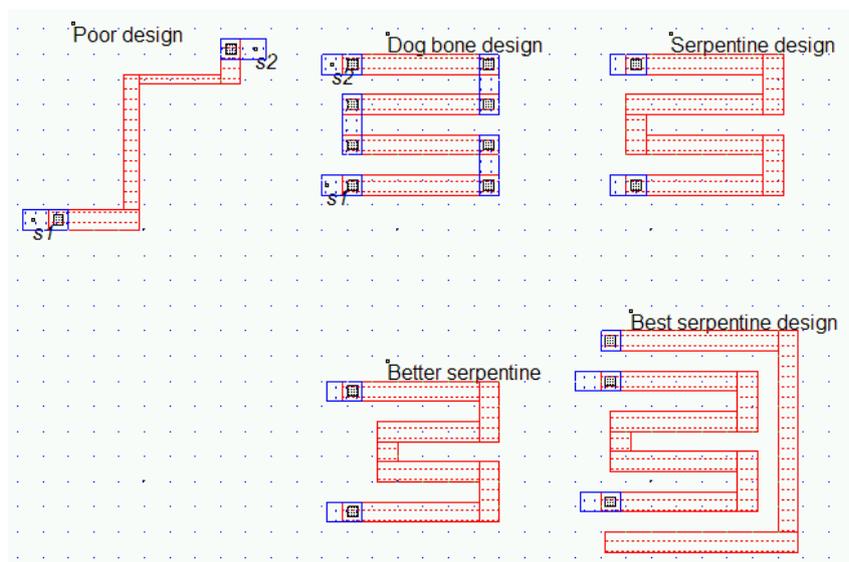


Рис. 4.20. Некоторые правила проектирования резисторов

Антенный эффект (Antenna Ratio). Во время изготовления соединений плазменное вытравливание электрически заряжает линии металла. Аккумуляция этих зарядов может повредить оксид затвора MOS транзистора, подсоединенного к этой линии. Как следствие, напряжение отсечки (threshold voltage) V_T может быть изменено (рис. 4.21). Специфические правила проектирования используются для обхода этих проблем.

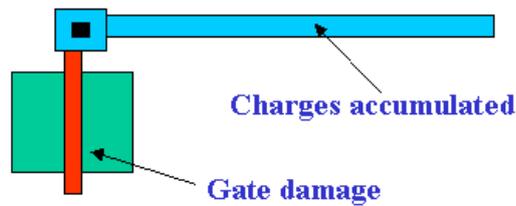


Рис. 4.21. Влияние процедур вытравливания на заряд слоев металла

Расчет данного эффекта осуществляется по соотношению:

$Antenna\ ratio = \frac{\text{Площадь (metal)}}{\text{Площадь (gate)}}$, например для технологии 0.18мкм это соотношение < 50 . Для обхода любых проблем аккумуляции заряда могут быть использованы диоды.

На рис. 4.22 приведены основные правила проектирования проекта MOSIS для технологии с двумя металлическими слоями. Размеры транзистора часто определяют их соотношение ширину/длину (Ш/Д). Для примера, транзисторы на рис. 4.22 сформированы на основе соотношения Ш/Д, равном 4/2. В технологии 0,6 мкм это соответствует фактической ширине 1,2 мкм и длине 0,6 мкм.

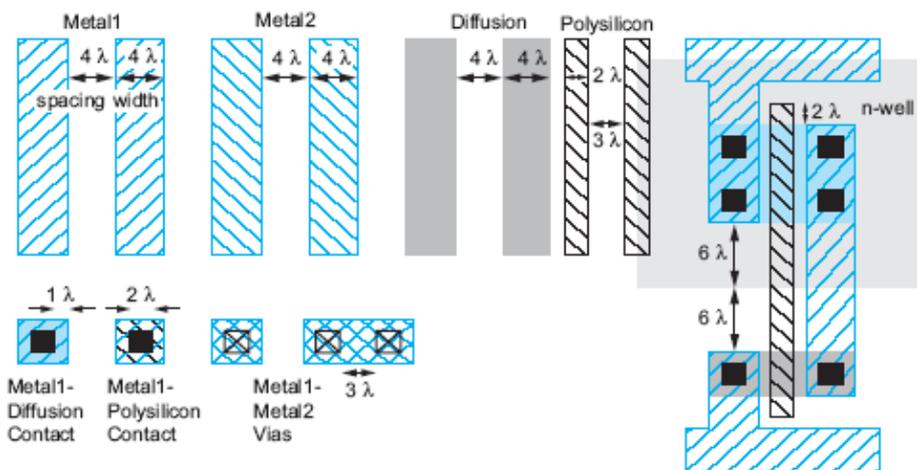


Рис. 4.22. Упрощенные правила проектирования основанные на λ в проекте MOSIS

Такая минимальная толщина транзистора, часто называют единицей транзистора.

Пример правил проектирования для ПО Microwind. Данное ПО может использовать множество технологий. Параметры процесса обычно сохраняются в файлах правил проектирования. Предполагается, что используется технология с 6 слоями металла для 0.25 мкм CMOS технологии.

САПР MICROWIND3 работает на основе метода lambda. Следовательно, тот же самый проект может быть промоделирован в любой CMOS технологии. Значение lambda равно половине минимальной длины поликремневого затвора. Табл. 4.2 дает соответствие между lambda и микронами для всех возможных CMOS технологий.

Таблица 4.2

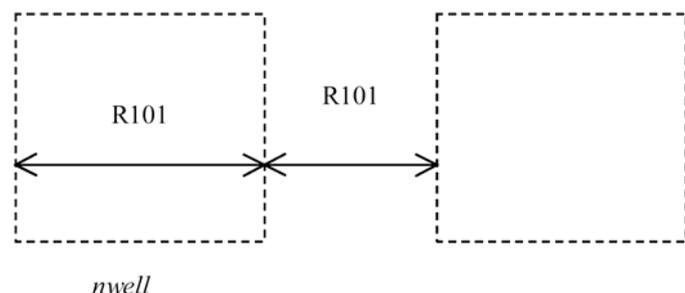
Соотношения между размером λ и технологией в микронах

Technology file available in version 3.1	Minimum gate length	Value of lambda
Cmos12.rul	1.2 μm	0.6 μm
Cmos08.rul	0.7 μm	0.35 μm
Cmos06.rul	0.5 μm	0.25 μm
Cmos035.rul	0.4 μm	0.2 μm
Cmos025.rul	0.25 μm	0.125 μm
Cmos018.rul	0.2 μm	0.1 μm
Cmos012.rul	0.12 μm	0.06 μm
soi012.rul (SOI version)	0.12 μm	0.06 μm
Cmos90n.rul	0.1 μm	0.05 μm
Cmos65n.rul	0.07 μm	0.035 μm
Cmos45n.rul	0.05 μm	0.025 μm

Ниже приведены основные правила проектирования для основных операций для САПР Microwind [14].

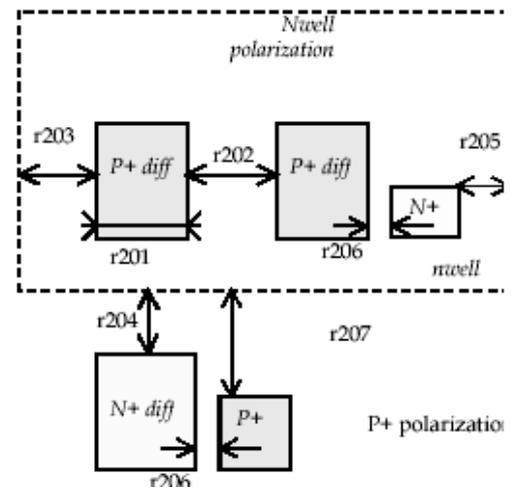
1. N-Well

Minimum well size 12λ
 Between wells 12λ
 Minimum well area 144λ



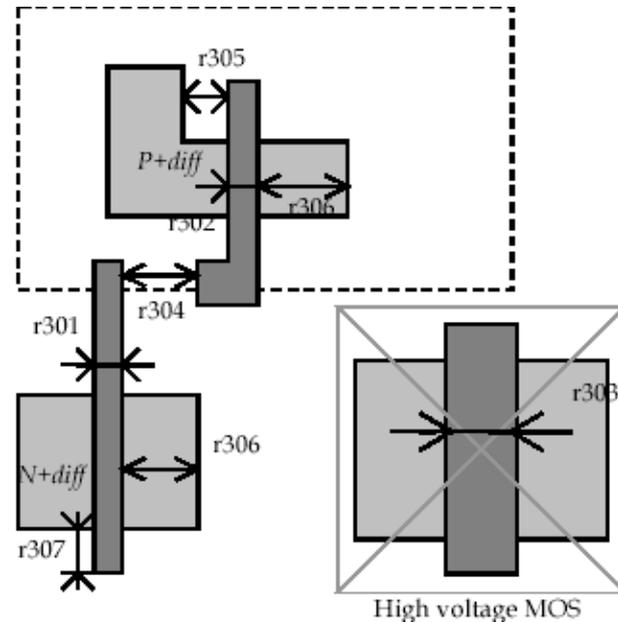
2. Diffusion

r201	Minimum N+ and P+ diffusion width	4λ
r202	Between two P+ and N+ diffusions	4λ
r203	Extra nwell after P+ diffusion :	6λ
r204:	Between N+ diffusion and nwell	6λ
r205	Border of well after N+ polarization	2λ
r206	Between N+ and P+ polarization	0λ
r207	Border of Nwell for P+ polarization	6λ
r210	Minimum diffusion area	$24 \lambda^2$



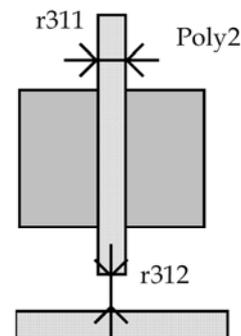
3. Polysilicon

r301	Polysilicon width	2λ
R302	Polysilicon gate on diffusion	2λ
R303	Polysilicon gate on diffusion for high voltage MOS	4λ
R304	Between two polysilicon boxes	3λ
R305	Polysilicon vs. other diffusion	2λ
R306	Diffusion after polysilicon	4λ
R307	Extra gate after polysilicon	3λ
r310	Minimum surface	$8 \lambda^2$



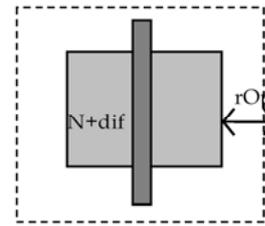
4. 2nd Polysilicon Design Rules

r311	Polysilicon2 width	2λ
r312	Polysilicon2 gate on diffusion	2λ
r320	Polysilicon2 minimum surface	$8 \lambda^2$



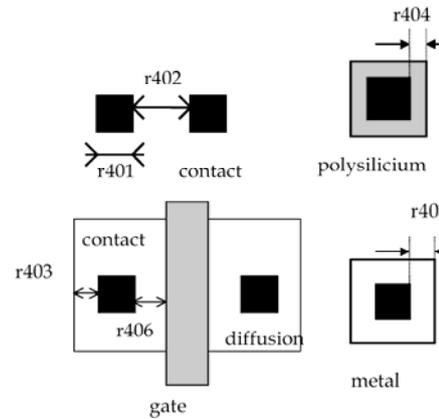
5. MOS option

rOpt Border of "option" layer over diff 7λ
 N+ and diff P+



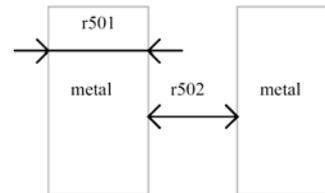
6. Contact

r401	Contact width	2λ
r402	Between two contacts	5λ
r403	Extra diffusion over contact	2λ
r404	Extra poly over contact	2λ
r405	Extra metal over contact	2λ
r406	Distance between contact and poly gate	3λ
r407	Extra poly2 over contact	2λ



7. Metal 1

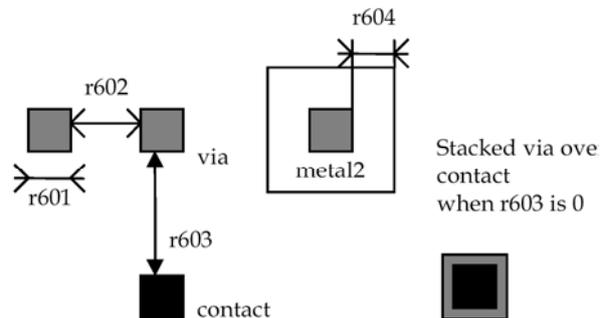
r501	Metal width	4λ
r502	Between two metals	4λ
r510	Minimum surface	$16\lambda^2$



8. Via

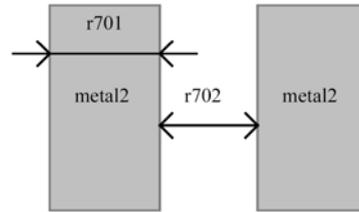
r601 Via width 2λ
 r602 Between two Via 5λ
 r603 Between Via and contact 0λ

r604 Extra metal over via 2λ
 r605 Extra metal2 over via: 2λ



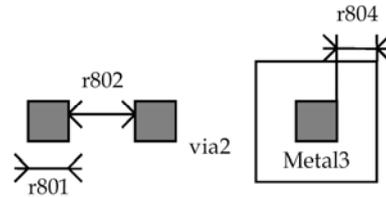
9. Metal 2

r701	Metal width::	4λ
r702	Between two metal2	4λ
r710	Minimum surface	$16 \lambda^2$



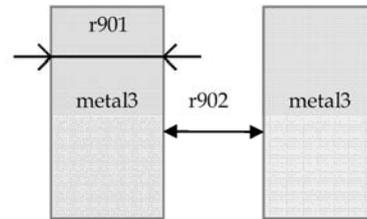
10. Via 2

r801	Via2 width : 2λ
r802	Between two Via2: 5λ
r804	Extra metal2 over via2: 2λ
r805	Extra metal3 over via2: 2λ



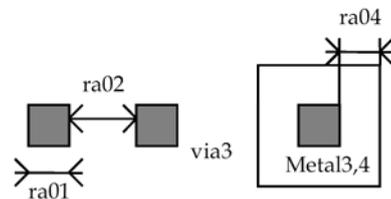
11. Metal 3

r901	Metal3 width: 4λ
r902	Between two metal3 : 4λ
r910	Minimum surface : $32 \lambda^2$



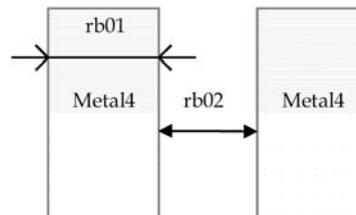
12. Via 3

ra01	Via3 width : 2λ
ra02	Between two Via3: 5λ
ra04	Extra metal3 over via3: 2λ
ra05	Extra metal4 over via3: 2λ



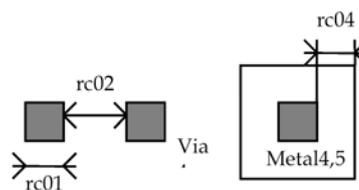
13. Metal 4

rb01	Metal4 width: 4λ
rb02	Between two metal4 : 4λ
rb10	Minimum surface : $32 \lambda^2$



14. Via 4

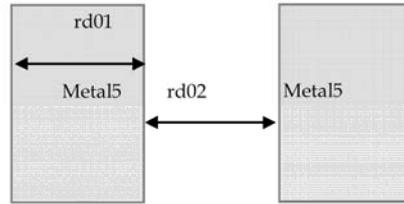
rc01	Via4 width : 2λ
rc02	Between two Via4: 5λ
rc04	Extra metal4 over via2: 3λ
rc05	Extra metal5 over via2: 3λ



15. Metal 5

rd01
rd02
rd10

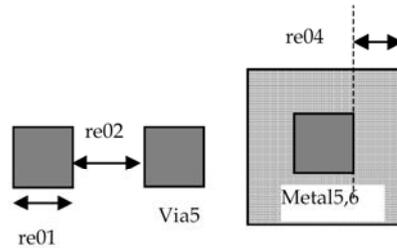
Metal5 width: 8λ
Between two metal5 : 8λ
Minimum surface : $100 \lambda^2$



16. Via 5

re01
re02
re04
re05

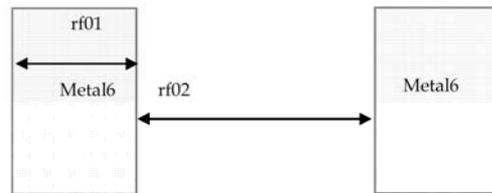
Via5 width : 4λ
Between two Via5: 6λ
Extra metal5 over via5: 3λ
Extra metal6 over via5: 3λ



17. Metal 6

rf01
rf02
rf10

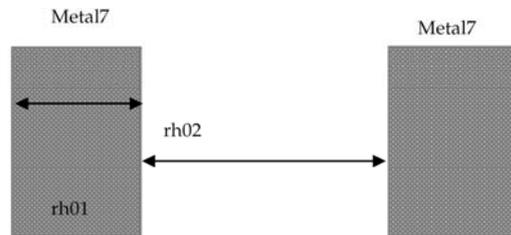
Metal6 width: 8λ
Between two metal6 : 15λ
Minimum surface : $300 \lambda^2$



18. Metal 7

rh01
rh02
rh10

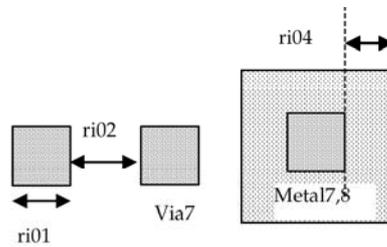
Metal7 width: 8λ
Between two metal7 : 15λ
Minimum surface : $300 \lambda^2$



19. Via 7

ri01
ri02
ri04
ri05

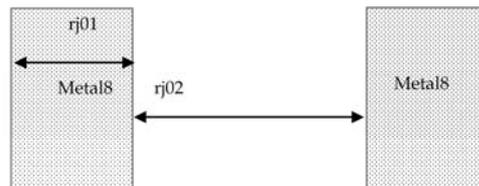
Via7 width : 4λ
Between two Via7: 6λ
Extra metal7 over via7: 3λ
Extra metal8 over via7: 3λ



20. Metal 7

rj01
rj02
rj10

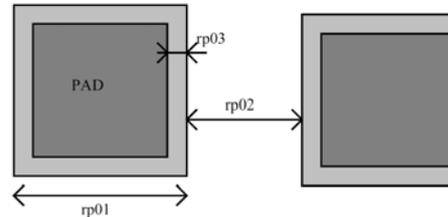
Metal8 width: 8λ
Between two metal8 : 15λ
Minimum surface : $300 \lambda^2$



21. Pads

Правила, приведенные ниже, указаны в мкм. В файлах программ правила даются в lambda. Так как размеры разъемов имеют почти постоянные размеры в мкм, то каждая технология представляется в собственных размерах λ .

rp01	Pad width:	100 μm
rp02	Between two pads	100 μm
rp03	Opening in passivation v.s via :	5 μm
rp04	Opening in passivation v.s metals:	5 μm
rp05	Between pad and unrelated active area :	20 μm



4.8. САПР для проектирования заказных ИМС

САПР фирмы CADENCE. В рамках проекта EURORACTICE поставляется САПР для заказных ИМС в наиболее полном составе, название комплекта “**Physical Design, Analysis and Board Design**”, который покрывает весь цикл проектирования заказных ИС, начиная от системного уровня, моделирования, топологического проектирования ИМС и ПЛИС и проектирования плат, включая [28]:

- [Analog / Mixed Signal Simulation](#)
- [Custom IC Design](#)
- [High Capacity Circuit Simulation](#)
- [Physical Verification and Manufacturability](#)
- [Physical Optimization](#)
- [Static Timing Analysis](#)

В целом проектирование ИМС в среде CADENCE включает следующие этапы [36]:

- системное проектирование – построение модели системы на высоком уровне абстракции с использованием языков C/C++ и SystemC, разбиение на программные и аппаратные модули, исследование параметров системы, получение спецификаций на программные и аппаратные блоки;
- аппаратное проектирование и верификация;
- разработка на основе спецификации поведенческих моделей отдельных блоков системы с использованием языков Verilog/VHDL, реализация проекта в базе библиотек производителя ИМС, проверка программно-аппаратной реализации на соответствие спецификациям, полученным на системном уровне;
- предварительное размещение элементов, оценка потребляемой мощности, планирование шин питания и иерархии тактовых сигналов;
- качественная оценка возможных искажений сигналов;
- проектирование и верификация топологии кристалла – разработка топологии заказных блоков, трассировка на уровне ячеек, проверка правил проектирования топологии, экстракция паразитных параметров.

Маршрут проектирования заказных ИМС в САПР Mentor Graphics. На рис. 4.23 приведен маршрут проектирования в САПР.

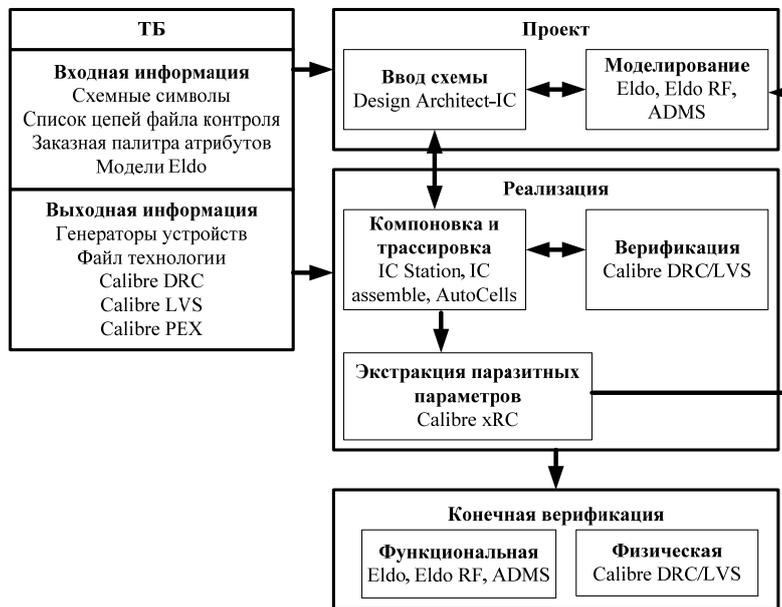


Рис. 4.23. Пример использования САПР фирмы Mentor Graphics и ТБ AMS

На примере CMOS инвертора рассмотрим последовательность проектирования в САПР Mentor Graphics [37]:

1. Прорисовка принципиальной электрической схемы инвертора выполняется с помощью подсистемы *Design Architect*.

2. Инвертор может затем быть использован в более сложных схемах, поэтому ему присваивается определенный схемотехнический символ (обозначение). Это также выполняется в *Design Architect*.

3. Проверка корректности логического функционирования выполняется с помощью логического моделирования, используя подсистему *Modelsim*.

4. Аналоговое моделирование затем может быть выполнено, чтобы убедиться в корректности работы схемы при моделировании временных характеристик перед началом проектирования топологии. Моделирование выполняется с помощью подсистемы *Eldo* и не является обязательным.

5. После проверок функционирования схемы мы переходим к физическому проектированию топологии в соответствии с какими-либо правилами проектирования CMOS процесса. Этот этап выполняется, используя подсистему *IC Station layout editor*. Отметим, что размеры в *IC Station* для этого процесса даются в *lambda*, а не в микронах.

6. Проверка топологии на соответствие правилам выбранного процесса (DRC, ERC). Это выполняется с помощью *ICrules* внутри пакета *IC Station*.

7. После проверки правил проектирования необходимо проверить, а правильно ли отражает топология заданную схему (LVS). Подсистема *ICtrace* выполняет анализ топологии по сравнению со схемой. Данная подсистема также имеется в составе IC Station.

8. После LVS (layout versus schematic) необходимо восстановить (вычислить, extract) параметры топологии, например емкости, которые влияют на задержки. Это выполняется с помощью *ICextract*. Полученные значения емкостей, а также значения внешних нагрузок являются исходными данными для аналогового моделирования.

9. Аналоговое моделирование выполняется снова, но уже с учетом реальных задержек по результатам топологического проектирования. Моделирование выполняется в Modelsim.

Особенности проектирования аналого-цифровых заказных ИМС.

Маршрут проектирования заказных аналого-цифровых СБИС (рис. 4.24) включает все основные этапы проектирования – создание принципиальной схемы проекта, функциональную верификацию проекта, проектирование топологии ИС и ее физическую верификацию, в том числе экстракцию паразитных параметров. Все модули маршрута полностью совместимы между собой и базируются на стандартных промышленных форматах, что позволяет использовать их в любом сочетании со средствами проектирования других поставщиков. Поддерживается методология проектирования как полностью заказных схем, так и на базе стандартных ячеек.

Общая схема проекта создается в среде **Design Architect2IC**, включающей редактор ввода принципиальной схемы, модуль генерации списка цепей в форматах SPICE, HSPICE или Verilog, модуль подготовки и настройки моделирования аналоговых и смешанных схем и визуализатор для просмотра результатов моделирования. Функциональное моделирование выполняется с помощью уже упоминавшейся системы ADMS, которая базируется на платформах цифрового VHDL/Verilog-моделирования **ModelSim** и аналогового моделирования **Eldo Analog Design Station**. Основные преимущества последней – высокая производительность, большой допустимый объем проектов (500 тыс. транзисторов) и высокая точность. Наряду с классическим алгоритмом численного моделирования Newton-Raphson она использует более совершенные алгоритмы OSR и IEM, а также позволяет назначать различные алгоритмы моделирования разным блокам. Поддерживаются практически все модели MOS, биполярных и MESFET-транзисторов (BSIM3v3.x, BSIM4.2, EKV, Philips MM9, Mextram, VBIC, HICUM и т.д.).

По завершении функционального моделирования начинается проектирование топологии СБИС. Для этого предназначены пакеты **IC Station**, **ICassemble** и **AutoCells**. **IC Station** включает интерактивный редактор топологии

ICgraph Basic, генератор топологии на основе электрической принципиальной схемы **ICgraph SDL**, параметрические генераторы цифровых **ICdevice Digital** и аналоговых **ICdevice Analog** ячеек. **IC Station** может применяться как для проектирования топологии кристалла в целом, так и для проектирования отдельных ячеек.

Планирование, размещение, интерактивную и автоматическую трассировку аналоговых и аналого-цифровых блоков, а также всего кристалла в целом выполняет модуль **ICassemble**. Инструмент **AutoCells** предназначен для размещения и трассировки цифровых блоков. В качестве входных данных он может использовать файлы GDSII и LEF, а также net-листы в форматах Verilog, EDIF и DEF. Проектирование топологии завершается этапом физической верификации и экстракции паразитных параметров. Для этого предназначена платформа **Calibre** – фактически промышленный стандарт в области верификации топологии СБИС. Она включает модуль контроля топологических проектных норм **Calibre DRC**, модуль проверки соответствия топологии и электрической схемы **Calibre LVS**, модуль интерактивной верификации ячеек и блоков, работающий непосредственно в среде топологического редактора – **Calibre Interactive**, модуль визуализации результатов верификации и отладки **Calibre RVE/QDB**, модуль экстракции паразитных параметров для ячеек, блоков и кристаллов **Calibre xRC**. Последний поддерживает 3D-экстракцию в форматах "сосредоточенный-C", "распределенный-CC", "распределенный-RC", "распределенный-RCC SPICE". Результаты экстракции могут быть использованы для более точного моделирования с учетом реальных физических параметров и соответствующей модификации схемы проекта. При проектировании топологии субмикронных СБИС не обойтись без соответствующих методов коррекции маски (RET) для устранения эффектов искажения в субмикронном диапазоне. Эти функции реализованы с помощью модулей **Calibre OPC** и **Calibre PCM**.

В целом можно констатировать, что продукты компании Mentor Graphics, относящиеся к проектированию СБИС, позволяют решать сколь угодно сложные задачи. Все они интегрированы в сквозной маршрут, верифицированный и поддерживаемый множеством технологических библиотек от ведущих изготовителей СБИС (UMC, TSMC, Chartered, IBM, STMicroelectronics, AMS и др.). Все продукты Mentor Graphics основаны на общепринятых стандартах, а поэтому легко интегрируются в маршруты проектирования других поставщиков. Отдельные пакеты, например Calibre, Seamless, ModelSim, TestKompress, занимают доминирующие позиции на мировом рынке. На российском рынке продукция Mentor Graphics достаточно широко используется с 1991 года.

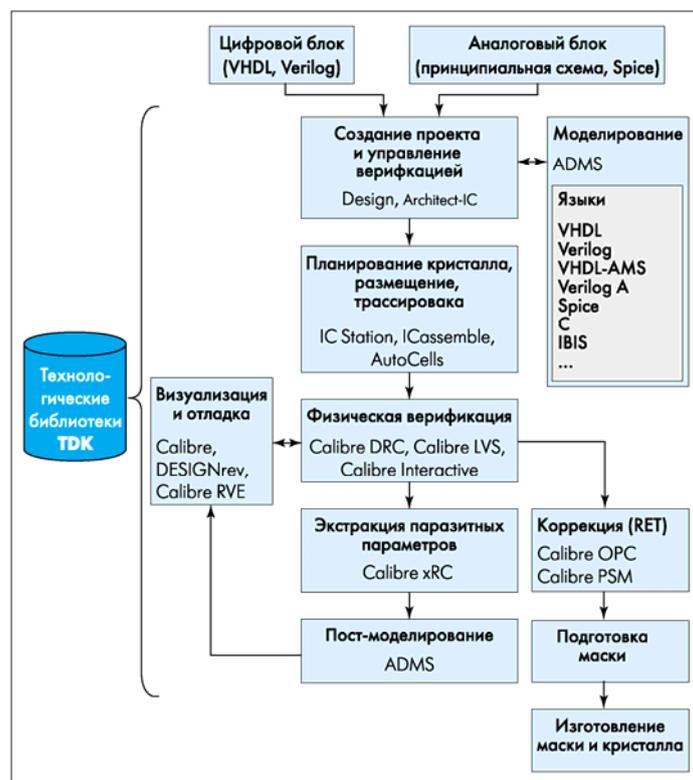


Рис. 4.24. Проектирование заказных аналого-цифровых (AMS) СБИС

БИБЛИОГРАФИЧЕСКИЙ СПИСОК

1. Рындин Е.А., Коноплев Б.Г. Субмикронные интегральные схемы: элементная база и проектирование. – Таганрог: Изд-во ТРТУ, 2001. – 147 с.
2. Казеннов Г.Г. Основы проектирования интегральных схем и систем. – М.: БИНОМ. Лаборатория знаний, 2005. – 295 с.
3. Рындин Е.А. Проектирование специализированных СБИС: Конспект лекций. – Таганрог: ТРТУ, 2004. – 110 с.
4. Мурога С. Системное проектирование сверхбольших интегральных схем: В 2-х кн. Пер. с англ. – М.: Мир, 1985
5. Пономарев М.Ф., Коноплев Б.Г. Конструирование микросхем и микропроцессоров. – М.: Радио и связь, 1986. – 176 с.
6. Эйрис Р. Проектирование СБИС. Метод кремниевой компиляции. Пер. с англ. – М.: Наука, 1988. – 456 с.
7. Быстродействующие матричные БИС и СБИС. Теория и проектирование / Под ред. Б.Н. Файзулаева и И.И. Шагурина. – М.: Радио и связь, 1985.- 480 с.
8. Герсковитц Г.Д. Машинный расчет интегральных схем. Пер. с англ. Под ред. К.А. Валиева, Г.Г. Казеннова, А.П. Голубева. – М.: Мир, 1971. – 407 с.
9. Ефимов И.Е., Козырь И.Я., Горбунов Ю.И. Микроэлектроника. – М.: Высшая шк., 1987. – 416 с.
10. Автоматизация проектирования БИС. В 6-ти кн. / Под ред. Г.Г. Казеннова. – М.: Высшая шк., 1990
11. Ланцов В.Н. Проектирование ПЛИС на VHDL: Учеб. пособие. – Владимир, ВлГУ, 2000. – 120 с.
12. Sicard E. Introduction to Microelectronics. Version 5.1. – INSA, Toulouse, 1995. – 119 p.
13. Основы автоматизации проектирования: Метод. указания к лабораторным работам / Владим. гос. ун-т; Сост.: В.Н. Ланцов, В.И. Быков. – Владимир, 1998. – 32 с.
14. Sicard E. Microwind & Dsch, version 3.0. User's manual. – INSA, Toulouse, 2004. – 100 p.
15. Sicard E., Bendhia S. CMOS Design and Technology Course. – INSA, Toulouse, 2003. – 102 p.
16. Top 50 semiconductor companies // EE Times Europe, 2007, N 10.
17. Sicard E. Aziz S.M. Introducing 65 nm technology in Microwind3. Microwind Application Note. INSA, Toulouse, 2006. – 18 p.
18. Шагурин И.И., Бердышев Е.М. Процессоры семейства Intel P6. Архитектура, проектирование, интерфейс. – М.: Горячая линия – Телеком, 2000. – 248 с.
19. Пономарев М.Ф., Коноплев Б.Г., Фомичев А.В. Базовые матричные кристаллы. Проектирование специализированных БИС на их основе. – М.: Радио и связь, 1985. – 80 с.

20. Проектирование специализированных КМОП БИС на основе БМК 5501ХБ2 / Под ред. В.В.Ермака. – М.: МГИЭТ (ТУ), 1996, 180 с.
21. Пономарев М.Ф., Коноплев Б.Г. Базовые матричные кристаллы и программируемые логические матрицы. – М.: Высшая шк., 1987. – 94 с.
22. Бубенников А.Н. Моделирование интегральных микротехнологий приборов и схем. – М.: Высшая шк., 1989
23. Драгунов В.П., Неизвестный И.Г., Гридчин В.А. Основы нанoeлектроники. Новосибирск: НГТУ, 2000. – 332 с.
24. Книга ASIC
25. Баринов В.В. Сверхбольшие интегральные микросхемы оперативных запоминающих устройств. – М.: Радио и связь, 1991
26. Баринов В.В., Калинин А.В., Киреев В.Ю. Кластерное производство специализированных СБИС // Известия вузов. Электроника, 2000. - № 4-5. – С. 98-102.
27. MOSIS
28. //www.msc.rl.ac.uk/europractice/
29. //cmp.imag.fr/
30. //www.europractice.imec.be/
31. EURORACTICE IC service. Activity report 2007. – IMEC, Belgium, 2008. – 34 p.
32. EUROTRAINING (Web address)
33. //tima-cmp.imag.fr/
34. CMP Annual Report 2006. – INP, Grenoble, 2007. – 210 p.
35. Horspool N., Gorman P. The ASIC Handbook. – Prentice Hall, 2001. – 232 p.
36. Бухтеев А. Среда проектирования компании Cadence // Chip News, № 4, 2003.
37. Лохов А. Среда проектирования СБИС компании Mentor Graphics // Электроника: наука, технология, бизнес, №7, 2003.

Оглавление

ВВЕДЕНИЕ.....	3
Глава 1. Основы технологии заказных интегральных микросхем на КМОП.....	6
1.1. Прогресс в микроэлектронике.....	6
1.2. Классификация ИМС по технологии проектирования и изготовлению.....	13
1.3. Базовые элементы технологии КМОП ИМС.....	16
1.4. МОП транзистор.....	22
1.5. Базовая логическая ячейка ключа (Transmission Gate).....	37
1.6. Инвертор.....	38
1.7. Технология 65 нм.....	45
Глава 2. Проектирование цифровых схем.....	50
2.1. Базовые логические схемы.....	50
2.2. Схемы арифметических операций.....	56
2.3. Триггеры-защелки (Latches).....	59
2.4. Схемы памяти.....	65
2.5. Пример 64 Bit Static RAM.....	72
2.6. Динамическая (DRAM) память.....	83
2.7. Память ROM.....	88
2.8. EEPROM память.....	90
2.8. Flash память.....	93
2.9. Классификация.....	98
2.10. Элементы Ввода/Вывода микросхем.....	100
Глава 3. Проектирование аналоговых ячеек.....	108
3.1. Резистор.....	108
3.2. Конденсаторы.....	110
3.3. Делитель напряжения (Voltage Reference).....	112
3.4. Зеркало токов (Current Mirror).....	114
3.5. Усилитель (Amplifier).....	115
3.6. Многокаскадные схемы усиления.....	119
3.7. Радиочастотные схемы.....	122
3.8. Генераторы.....	141
3.9. Схемы ФАПЧ (Phase-lock-loop).....	151
3.10. Аналого-цифровые и цифро-аналоговые преобразователи.....	157
3.11. Преобразователь частоты.....	161
Глава 4. Проектирование и изготовление ИМС на основе правил проектирования «кремниевых фабрик».....	180
4.1. Особенности изготовления ИМС.....	180

4.2. Сервис по проектированию и изготовлению ИМС – проект EURORACTICE.....	183
4.3. Сервис по поставке средств САПР – EURORACTICE Software service...	184
4.4. Сервис по изготовлению ИМС – EURORACTICE IC service.....	187
4.5. Сервис по проектированию и изготовлению микросистем (MEMS).....	193
4.6. Сервис по проектированию фирмы CMP (Circuits Multi Projects).....	194
4.7. Правила проектирования.....	200
4.8. САПР для проектирования заказных ИМС.....	215
БИБЛИОГРАФИЧЕСКИЙ СПИСОК.....	220

Учебное издание

ЛАНЦОВ Владимир Николаевич

ПРОЕКТИРОВАНИЕ ЗАКАЗНЫХ ИНТЕГРАЛЬНЫХ СХЕМ НА КМОП

Учебное пособие

Подписано в печать 01.12.09

Формат 60x84/16. Усл. печ. л. 13,02. Тираж 100 экз.

Заказ

Издательство

Владимирского государственного университета.

600000, Владимир, ул. Горького, 87.