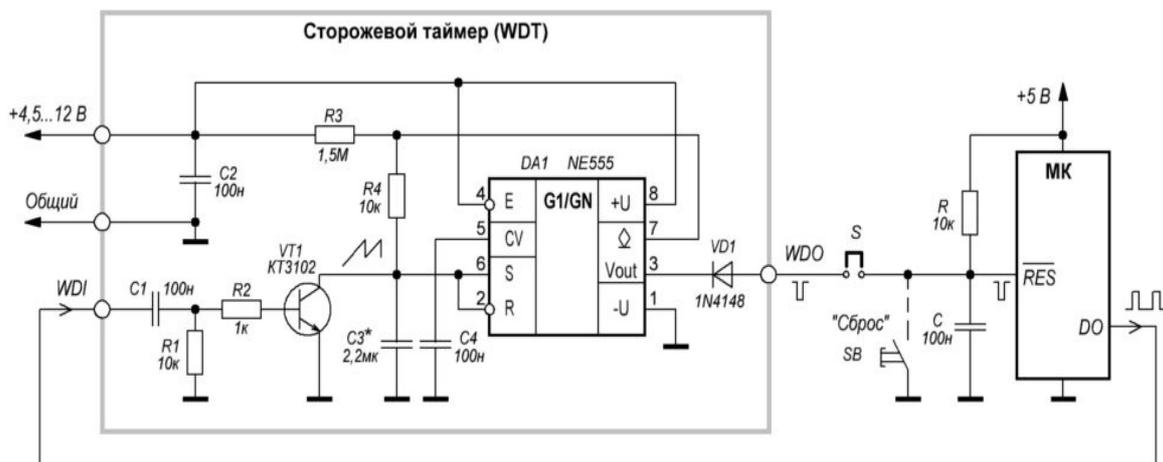


В. С. ТУЛЯКОВ

ЭЛЕКТРОНИКА И СХЕМОТЕХНИКА

Лабораторный практикум



Министерство науки и высшего образования Российской Федерации
Федеральное государственное бюджетное образовательное учреждение
высшего образования
«Владимирский государственный университет
имени Александра Григорьевича и Николая Григорьевича Столетовых»

В. С. ТУЛЯКОВ

ЭЛЕКТРОНИКА И СХЕМОТЕХНИКА

Лабораторный практикум



Владимир 2023

УДК 621.31
ББК 31.2
Т82

Рецензенты:

Доктор технических наук, профессор
зав. кафедрой информационных систем и программной инженерии
Владимирского государственного университета
имени Александра Григорьевича и Николая Григорьевича Столетовых
И. Е. Жигалов

Кандидат технических наук
начальник управления информатизации, телекоммуникаций
и делопроизводства администрации города Владимира
С. В. Черников

Издается по решению редакционно-издательского совета ВлГУ

Туляков, В. С.

Т82 Электроника и схемотехника : лаб. практикум / В. С. Туляков ; Владим. гос. ун-т им. А. Г. и Н. Г. Столетовых. – Владимир : Изд-во ВлГУ, 2023. – 131 с. – ISBN 978-5-9984-1557-9.

Представляет собой лабораторный практикум для разработки цифровых модулей по техническому заданию на уровне структурной, функциональной и принципиальной электрических схем. Позволяет студентам получить навыки работы по техническому заданию с микросхемами, справочниками, графическими инструментальными средствами.

Предназначено для студентов бакалавриата очной формы обучения по направлению подготовки 09.03.01 «Информатика и вычислительная техника».

Рекомендовано для формирования профессиональных компетенций в соответствии с ФГОС ВО.

Табл. 4. Ил. 107. Библиогр.: 12 назв.

УДК 621.31
ББК 31.2

ISBN 978-5-9984-1557-9

© ВлГУ, 2023

ВВЕДЕНИЕ

Достижения в микроэлектронике и функциональной электронике в значительной мере определяют возможности развития промышленных технологий. Современная промышленная продукция, производственные линии, станки, бытовая аппаратура насыщены электроникой. Необходимо отметить, что микроэлектроника – самая быстроразвивающаяся область инженерной деятельности в современном мире.

Пособие разработано на основе опыта преподавания курса «Электроника и схемотехника» на кафедре вычислительной техники и систем управления Института информационных технологий и радиоэлектроники Владимирского государственного университета; учебный лабораторный практикум – часть учебного курса «Электроника и схемотехника», который преподается в третьем семестре на кафедре.

Основная цель лабораторного практикума – приобретение студентами навыков разработки и оформления чертежей электрических схем цифровых устройств на основе интегральных микросхем. Для достижения этой цели студентам необходимо:

- 1) понимать значение и содержание технического задания на разработку устройства;
- 2) освоить алгоритм выбора микросхем для применения их в схемах на основе заданных в техническом задании критериев;
- 3) приобрести навыки работы со справочной информацией и поиска необходимой информации;
- 4) изучить правила разработки и оформления чертежей электрических схем;
- 5) освоить программные средства для графической разработки электрических схем в виде читаемых графических документов.

Пособие состоит из двух разделов. В первом разделе рассматриваются теоретические основы разработки структурной, функциональной и принципиальной электрических схем устройств вычислительной техники и раскрываются назначение и содержание технического задания на разработку цифровых модулей. Также здесь приводится пример разработки цифрового устройства – автомобильной сигнализации – на уровне трех электрических схем: структурной, функциональной и принципиальной.

Во втором разделе содержится восемь лабораторных работ, в которых студентам по индивидуальным вариантам технических заданий предлагается разработать принципиальные схемы модулей цифровых устройств на базе интегральных схем различного функционального назначения.

Глава 1. ОСНОВЫ РАЗРАБОТКИ ЭЛЕКТРИЧЕСКИХ СХЕМ

В первой главе рассмотрены базовые понятия, необходимые для разработки структурной, функциональной и принципиальной электрических схем устройств вычислительной техники на основе технического задания.

Схема – это графический конструкторский документ, на котором показаны в виде условных обозначений составные части изделия и связи между ними. Схемы предназначены для использования:

– *на этапе проектирования* – для выявления структуры будущего изделия, которая необходима для дальнейшей конструкторской разработки;

– *этапе производства* – для ознакомления с конструкцией изделия, разработки технологических процессов изготовления и контроля изделий;

– *этапе эксплуатации* – для выявления неисправностей и использования при техническом обслуживании.

Электрические схемы устройств выполняют в соответствии с ГОСТ 2.702-2011 «Общие требования к выполнению, виды и типы схем в соответствии с ГОСТ 2.701-2008» [1]. Правила построения условных буквенно-цифровых обозначений элементов, устройств и функциональных групп в электрических схемах приведены в ГОСТ 2.710-81 [2]. В первой главе приводится пример разработки цифрового устройства на уровне структурной, функциональной и принципиальной электрических схем по техническому заданию.

1.1. Техническое задание

Техническое задание (ТЗ) – документ, на основании которого разрабатывается любое устройство или система, как программная, так и аппаратная. Разработка ТЗ – первый этап проектирования любого объекта.

ТЗ содержит требования к разрабатываемой системе или устройству, которые формируются заказчиком или инициатором разработки. ТЗ необходимо для решения трех принципиальных вопросов:

- максимально подробное описание и формализация задачи;
- планирование выполнения работ и предотвращение возможных ошибок;
- упрощение взаимодействия по проекту с заказчиком.

В зависимости от требований заказчика ТЗ может включать в себя разные разделы. Если необходимо разработать ТЗ по государственному образцу, то необходимо руководствоваться положениями утвержденных стандартов: ГОСТ 34.602-89 «Комплекс стандартов на автоматизированные системы. Техническое задание на создание автоматизированной системы» [3] и ГОСТ 19.201-78 «Техническое задание. Требования к содержанию и оформлению» [4].

В ТЗ могут входить следующие разделы:

– **общие сведения:** название системы, основание для ее разработки, исходные данные для разработки, а также информация об участниках проекта;

– **назначение и цели создания:** для чего создается система и какие целевые показатели должны быть достигнуты в результате ее разработки;

– **требования и ограничения к разрабатываемому устройству (системе):** что и как должны выполнять система и ее компоненты; определение их состава, функций, виды обеспечения системы и др.

– **требования к документированию:** перечень стандартов, которым должна соответствовать техническая и эксплуатационная документация на систему;

– **порядок выполнения и приемки работ:** описание этапов выполнения (выносится в календарный план) и порядок приемки работ заказчиком;

– **дополнительные разделы:** при необходимости в ТЗ вносят дополнительные пункты для уточнения требований заказчика к разрабатываемому устройству.

В лабораторном практикуме ТЗ моделируется в виде индивидуального варианта задания, которое необходимо выполнить студенту.

1.2. Структурная электрическая схема

Структурная электрическая схема устройства – это системный чертеж, в котором в виде отдельных блоков отображают основные элементы разрабатываемого устройства (системы), а также основные связи между ними без их детального рассмотрения. Структурные схемы разрабатывают при проектировании изделий на стадиях, предшествующих разработке схем других типов.

Разработка структурной электрической схемы устройства (системы) предполагает фактическую декомпозицию общей задачи проектирования устройства на множество более простых задач схемотехнического проектирования.

Решение задачи разработки электрической структурной схемы предполагает, что исполнитель четко понимает задачу проектирования устройства или системы. Структурная электрическая схема не регламентирует реальное расположение блоков в устройстве и не раскрывает подробно способы их взаимодействия.

Электрическая структурная схема должна давать наглядное представление о системных связях, последовательности структурных блоков или элементов в устройстве. Направление процессов, происходящих в устройстве, при необходимости обозначается стрелками на линиях связи блоков схемы.

Построение схемы

При выполнении схем действительное пространственное расположение составных частей изделия не учитывают или учитывают приближенно. Расположение условных графических обозначений на схеме определяется удобством чтения схемы; оно должно обеспечивать наилучшее представление о структуре изделия и взаимосвязях его составных частей.

Для этого при построении схемы должны соблюдаться следующие условия: элементы, совместно выполняющие определенные функции, должны быть сгруппированы и расположены соответственно развитию процесса слева направо; расположение элементов внутри функциональных групп должно обеспечивать наиболее простую конфигурацию цепей с минимальным количеством изломов и пересечений линий связи.

Элементы или блоки устройства изображают в структурной электрической схеме в виде прямоугольников и с помощью условных графических обозначений. Каждый блок имеет свое название и входные и выходные сигналы, которые можно конкретизировать обозначениями. Линии связи изображают в виде горизонтальных или вертикальных отрезков, имеющих минимальное количество изломов и взаимных пересечений.

Расстояние между двумя соседними параллельными линиями должно быть не менее 3,0 мм, между двумя соседними линиями графического обозначения – не менее 1,0 мм, между отдельными условными графическими обозначениями – не менее 2,0 мм.

Электрические связи изображают линиями толщиной от 0,2 до 1,0 мм. Для выделения важных цепей (жгутов проводов) можно использовать утолщенные линии связи [5].

Пример структурной электрической схемы блока питания приведен на рис. 1.1. Схема состоит из трех элементов: блока импульсного питания, который преобразует переменное напряжение номиналом от 110 до 220 В в постоянное напряжение +5 В; блока источника бесперебойного питания, который при прерывании или отсутствии внешнего питания обеспечивает питанием +5 В; блока стабилизации напряжения +5 В до значения $+5 \text{ В} \pm 1 \%$. При обозначении блоков в виде прямоугольников их наименование, типы, технические параметры поясняют текстом внутри прямоугольников или рядом с ними.



Рис. 1.1. Структурная электрическая схема блока питания

Для изображения блоков в чертеже допускается использовать три-четыре типоразмера прямоугольников. Размеры прямоугольников должны быть кратны отношениям 2:1; 3:1; 3:2 и т. д. Структурная электрическая схема не предполагает подробного изображения линий связи между блоками, но возможно уточнение применения конкретного канала связи или интерфейса в виде поясняющих надписей.

Иногда для более подробного представления структурной схемы можно использовать дополнительные условные обозначения. Например, на рис. 1.2 в структурной электрической схеме осциллографа используются дополнительные обозначения для индикатора, переключателей, разъемов.

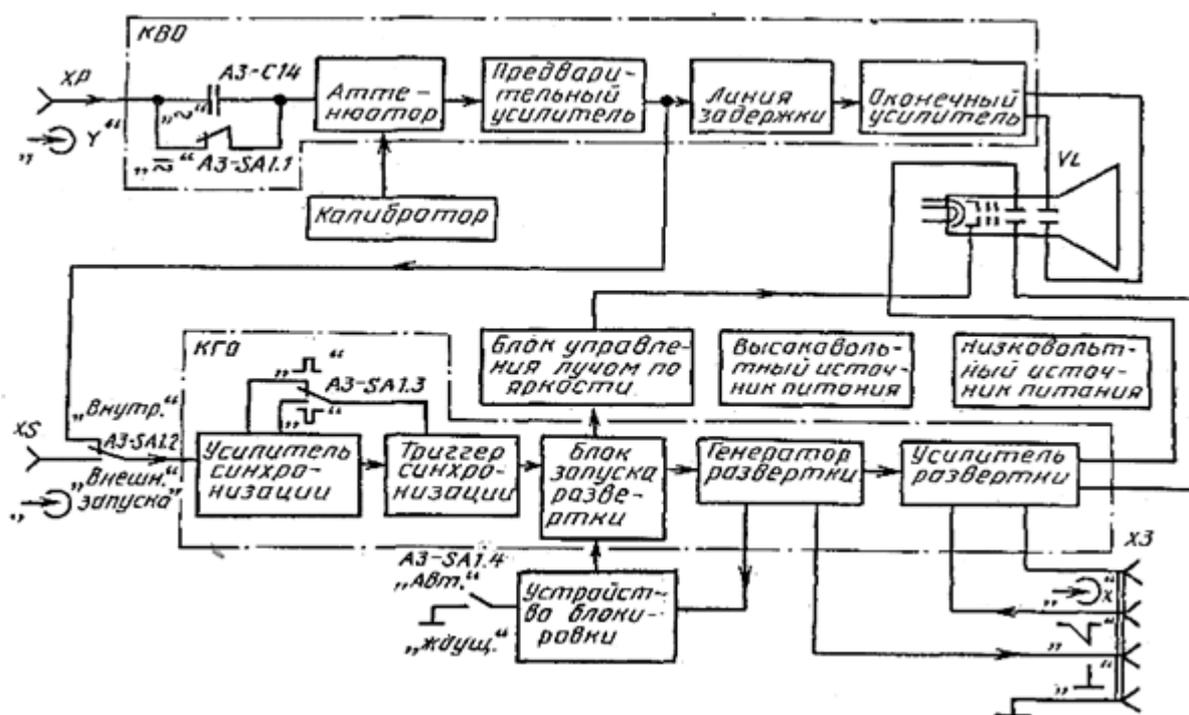


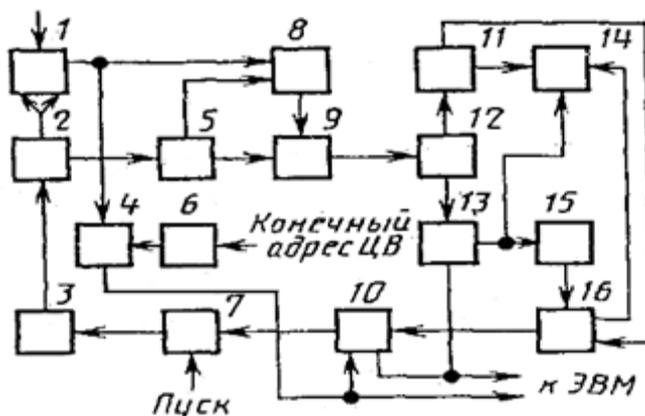
Рис. 1.2. Структурная электрическая схема осциллографа [5]

Если устройство содержит большое количество элементов и надписи внутри блоков нанести проблематично, то допускается их маркировка цифрами. Цифры наносят вверху или внутри блока, как показано на рис. 1.3.

В этом случае названия блоков поясняют в специальной таблице произвольной формы, которую размещают рядом с чертежом. Такой

способ изображения структурной электрической схемы применяют достаточно редко, так как он малоинформативен, т. е. не дает возможности при чтении охватить чертеж в целом.

На структурной электрической схеме допускается объединение пунктирной линией блоков, выполняющих один процесс. Допускается внесение поясняющих надписей, диаграмм сигналов, которые определяют последовательность выполняемых устройством действий.



Номер блока	Наименование блока
1	Блок импульсного питания
2	Блок резервного питания
3	Блок контроллера заряда

Рис. 1.3. Пример структурной электрической схемы без обозначений функций внутри блоков [5]

1.3. Функциональная электрическая схема

Функциональная электрическая схема – следующий этап разработки цифрового устройства. Функциональная электрическая схема предназначена для пояснения логического принципа работы устройства и описания процессов, происходящих при его работе во времени. На этой схеме изображают функциональные узлы, блоки, компоненты, элементы устройства, функциональные группы и связи между ними.

Функциональная схема служит для разъяснения процессов, протекающих в отдельных цепях изделия или в изделии в целом. Схемы используют для изучения принципов работы изделий, а также при их наладке, контроле и ремонте в процессе эксплуатации.

При изображении связей между функциональными элементами можно отмечать количество физических линий связи и направление передачи информации. Детальное изображение отдельных линий связи необязательно.

Цепи питания для отдельных узлов не показывают, чтобы не обременять чертеж малоинформативными линиями. Графическое построение схемы должно наглядно отражать последовательность процессов, происходящих в разрабатываемом устройстве.

Функциональные части и связи между ними изображают в виде условных графических элементов, установленных стандартами ЕСКД. Например, на рис. 1.4 приводится пример функциональной электрической схемы, в которой части схемы нумеруют буквой *A* с цифрой, фиксирующей порядковый номер блока, а внутри блока символом показывают функциональное назначение блока.

Например, позиция *A7* – это сумматор, а *A2* и *A3* – это усилители. При этом разрешается раскрывать отдельные функциональные узлы на уровне отдельных компонентов: резисторов; конденсаторов; транзисторов; диодов; разъемов; переключателей; индикаторов и т. п.

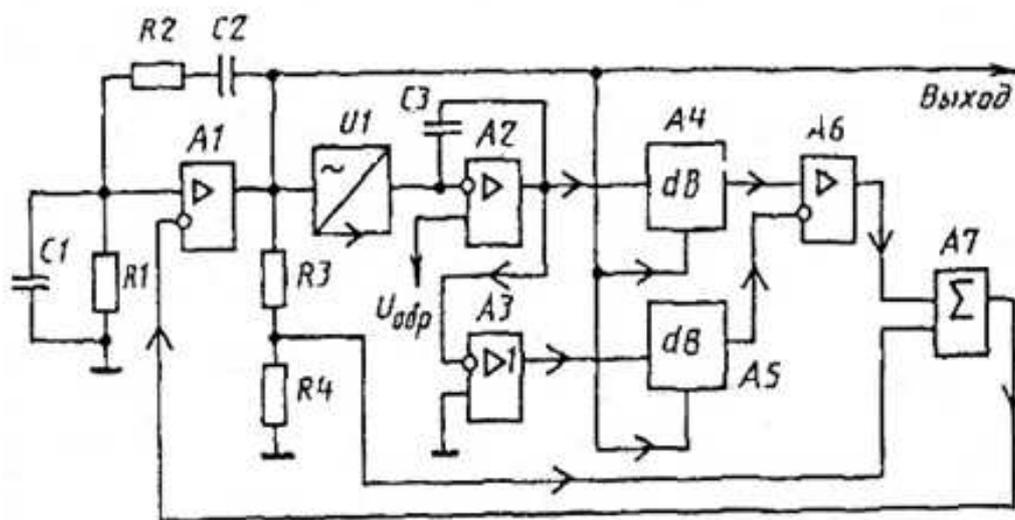


Рис. 1.4. Пример функциональной электрической схемы [5]

Если это целесообразно, то часть блоков функциональной схемы можно изображать так же, как они были изображены в структурной схеме. В функциональной схеме можно применять функциональные изображения цифровых и аналоговых интегральных схем без привязки к конкретной серии (см. рис. 1.4).

В функциональную электрическую схему можно добавлять изображения дискретных элементов: резисторов, конденсаторов, индуктивностей, разъемов, переключателей и т. д. Допускается выносить в поле чертежа поясняющий текст.

Условные графические обозначения функциональных и принципиальных электрических схем

При изображении функциональных и принципиальных схем узлов, блоков и устройств цифровой электроники используют обобщенные символы функциональных элементов и узлов (например, конденсатор и усилитель).

В самом общем виде условное графическое обозначение элемента может содержать основное и одно или два дополнительных поля прямоугольной формы. Дополнительные поля можно располагать по обе стороны от основного поля, как показано на рис. 1.5.

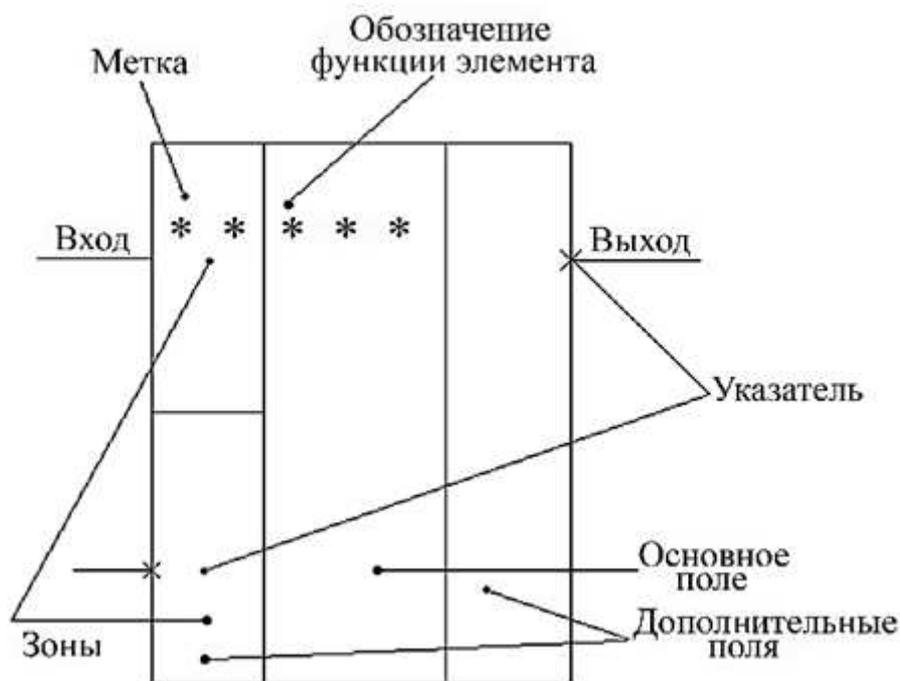


Рис. 1.5. Изображение функционального блока и точек для указательных меток

Размеры условного графического обозначения элементов по высоте должны быть кратны постоянной величине C , где C не менее 5 мм. Минимальная высота основного поля – от 10 до 12 мм. В зависимости

от числа помещаемых на поле знаков его ширину выбирают от 8 до 12 или от 12 до 17 мм, при этом ширина дополнительного поля должна быть не менее 5 мм. Дополнительные поля можно разбивать на зоны.

В основном поле указывают условное обозначение функционального назначения элемента (табл. 1.1).

Таблица 1.1

Обозначение функционального назначения элемента

№	Название элемента	Сокращенное название	№	Название элемента	Сокращенное название
1	Вычислитель.	<i>CP</i>	17	Генератор.	<i>G</i>
2	Вычислительное устройство (центральный процессор).	<i>CPU</i>	18	Триггер:	<i>T</i>
3	Процессор.	<i>P</i>		– одноступенчатый;	<i>TT</i>
4	Секция процессора.	<i>pS</i>		– двухступенчатый;	<i>TL</i>
5	Память.	<i>M</i>	19	– Шмитта.	<i>A</i>
6	Оперативно запоминающее устройство (ОЗУ):		20	Арифметика.	<i>SM</i> или Σ
	– с произвольным доступом;	<i>RAM</i>	21	Суммирование.	<i>SUB</i>
	– с последовательным доступом.	<i>SAM</i>	22	Вычитание.	<i>MPL</i>
7	Постоянно запоминающее устройство (ПЗУ).	<i>ROM</i>	23	Умножение.	<i>DIV</i>
8	ПЗУ с возможностью программирования:		24	Деление.	<i>L</i>
	– однократного;	<i>PROM</i>	25	Логика.	<i>&</i> или <i>И</i>
	– многократного.	<i>RPRM</i>	26	Логическое И.	$\geq I$ или <i>I</i>
9	Регистр со сдвигом:		27	Логическое ИЛИ.	$= I$
	– слева направо;	<i>RG</i> →	28	Исключающее ИЛИ.	<i>I</i>
	– справа налево;	<i>RG</i> ←	29	Повторитель.	<i>CO</i>
	– с реверсивным сдвигом.	<i>RG</i> ↔	30	Управление.	<i>CR</i>
10	Счетчик.	<i>CT</i>	31	Перенос.	<i>INR</i>
11	Дешифратор.	<i>DC</i>	32	Прерывание.	<i>RC</i>
12	Преобразователь.	<i>XY</i>	33	Прием.	<i>TF</i>
13	Мультиплексор.	<i>MUX</i>	34	Передача.	
14	Демультимплексор.	<i>DMX</i>		Ввод-вывод:	
15	Мультиплексор-селектор.	<i>MS</i>		– последовательный;	<i>IOS</i>
16	Селектор.	<i>SL</i>		– параллельный.	<i>IOP</i>
			35	Формирователь:	
				– общего значения;	<i>F</i>
				– логического нуля;	<i>FLO</i>
				– логической единицы.	<i>FLI</i>

В дополнительных полях приводят информацию о функции или назначении выводов (табл. 1.2).

Таблица 1.2

Обозначения меток на графическом изображении схемы

№	Состояние элемента	Сокращенное обозначение состояния	№	Состояние элемента	Сокращенное обозначение состояния
1	Установка в состояние: <i>n</i> <i>I</i> <i>O</i> исходное (сброс).	<i>S_n</i> <i>S</i> <i>R</i> <i>SR</i>	17	Захват.	<i>TR</i>
2	Вывод двунаправленный.	↔ или < >	18	Исполнение (конец).	<i>END</i>
3	Бит.	<i>BIT</i>	19	Инструкция (команда).	<i>INS</i>
4	Условный бит («флажок»).	<i>FL</i>	20	Ожидание.	<i>WI</i>
5	Байт.	<i>BY</i>	21	Контроль.	<i>CH</i>
6	Запрет.	<i>DE</i>	22	Маркер.	<i>MR</i>
7	Готовность.	<i>RA</i>	23	Начало.	<i>BG</i>
8	Данные.	<i>D</i>	24	Перенос: – распространение переноса; – генерация переноса.	<i>CR</i> <i>CRP</i> <i>CRG</i>
9	Буфер.	<i>BF</i>	25	Переполнение.	<i>OF</i>
10	Шина.	<i>B</i>	26	Повтор.	<i>RP</i>
11	Сброс.	<i>C</i>	27	Приоритет.	<i>PR</i>
12	Разрешение.	<i>E</i>	28	Продолжение.	<i>CN</i>
13	Запись.	<i>WR</i>	29	Пуск.	<i>ST</i>
14	Считывание.	<i>RD</i>	30	Синхронизация.	<i>SYN</i>
15	Запрос.	<i>RQ</i>	31	Инверсия.	<i>IN</i>
16	Ответ: – аналоговый; – цифровой.	<i>AD</i> <i>DD</i>			

Указатель в местах присоединения выводов характеризует их особенное свойство (инверсные, динамические и т. д.). Входы изображают слева, выходы – справа, остальные выходы – с любой стороны.

Ширина условного графического изображения элемента (узла) определяется наличием дополнительных полей, числом знаков в них и надписях основного поля (меток выводов, обозначением функции элемента). Высота условного обозначения зависит от числа выводов,

интервалов между ними и числа строк информации в основном и дополнительных полях.

Функциональное назначение элементов указывают в верхней части основного поля. Допускается применять комбинированное обозначение (*CT2DC* – двоичный счетчик с дешифратором, *RAM16K* – оперативное запоминающее устройство емкостью 16 К).

Различные варианты выводов предпочтительного обозначения показаны на рис. 1.6.

При необходимости допускается поворачивать условные обозначения на 90 градусов по часовой стрелке, располагать входы сверху, а выходы – снизу.

Если один и тот же вывод имеет несколько функциональных назначений (например, 3, как на рис. 1.6) или взаимосвязей, или то и другое одновременно, то их обозначают соответствующими метками (например, метки 1, 2, 3), которые помещают одну над другой.

При необходимости напротив каждой метки можно наносить указатели, определяющие условия выполнения функций. Двухнаправленный вывод выполняет две функции: как приемника, так и передатчика информации. Для пояснения этого факта используют указатель \leftrightarrow или $< >$. Метки входных функций ставят над указателями, а выходные – под ними.

В общем случае открытые выводы элементов, выходные каскады которых рассчитаны на повышенную нагрузку, условно обозначают метками \diamond либо \boxtimes (табл. 1.3).

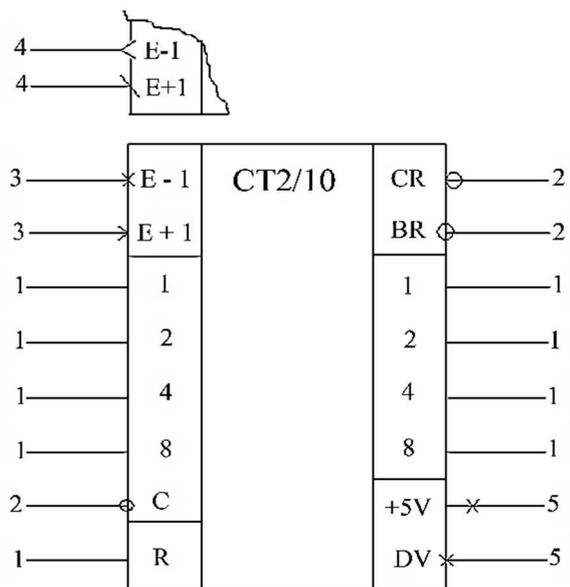
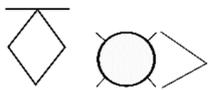
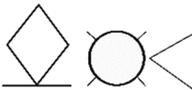


Рис. 1.6. Пример обозначения выводов микросхем: 1 – прямые линии; 2 – инверсные линии; 3 – динамические прямые линии; 4 – динамические инверсные линии; 5 – не несущие логической информации линии; *CT2/10* – двоично-десятичный реверсный счетчик; *E* – разрешение; *C* – синхронизация; *R* – установка в состояние нуля; *CR* – перенос; *BR* – заем (перенос при обратном счете); +5 В, 0 В – выводы питания +5 В и общий

Условные метки выводов микросхем

Название вывода	Графическое обозначение выхода		
Тип выхода			
Коллектор Эмиттер Сток Исток	$p - n - p$ $n - p - n$ p -канал n -канал	$n - p - n$ $p - n - p$ n -канал p -канал	С высокоомным состоянием

Дополнительные указатели уточняют тип транзистора и то, какой его вывод является выходом элемента. Особенность функциональной электрической схемы заключается в том, что компоненты схемы изображаются без привязки к конкретным интегральным схемам.

1.4. Принципиальная электрическая схема

Разработка **принципиальной электрической схемы** – третий этап разработки устройства. На принципиальной электрической схеме изображают все реальные компоненты, необходимые для осуществления электрических процессов, все электрические взаимосвязи между ними, а также электрические элементы (соединители, разъемы и т. д.), которыми заканчиваются входные и выходные цепи. На принципиальной схеме допускается изображать соединительные и монтажные элементы, устанавливаемые в изделии по конструктивным соображениям.

На принципиальной электрической схеме не показывают цепи питания компонентов для сокращения объема линий связи в чертеже. Однако в поле чертежа дают краткую инструкцию о том, какие контакты конкретных интегральных схем должны быть подключены к питанию, как показано в нижней части рис. 1.7.

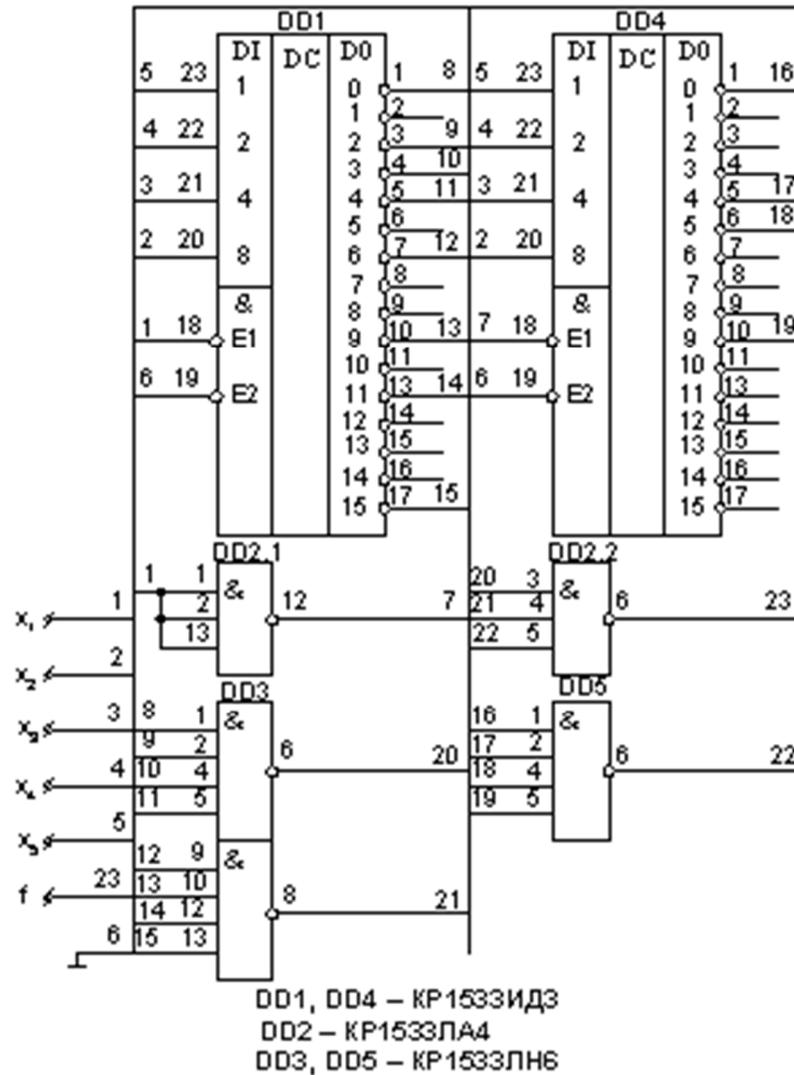


Рис. 1.7. Пример принципиальной электрической схемы [6]

Еще один важный элемент принципиальной электрической схемы – спецификация компонентов, применяемых в разработанной принципиальной электрической схеме. Пример спецификации показан на рис. 1.8. В спецификации указывают номер позиции компонента в схеме, наименование компонента, номинал, тип корпуса, количество компонентов данного типа.

При разработке принципиальной электрической схемы вводится понятие «обозначение позиции компонента схемы». Например, на рис. 1.7 показаны два способа обозначения позиции микросхемы.

В первом способе интегральная схема обозначается в виде целого корпуса $DD1$, где DD – цифровая микросхема (DA – аналоговая микросхема), а цифра 1 – номер микросхемы в схеме.

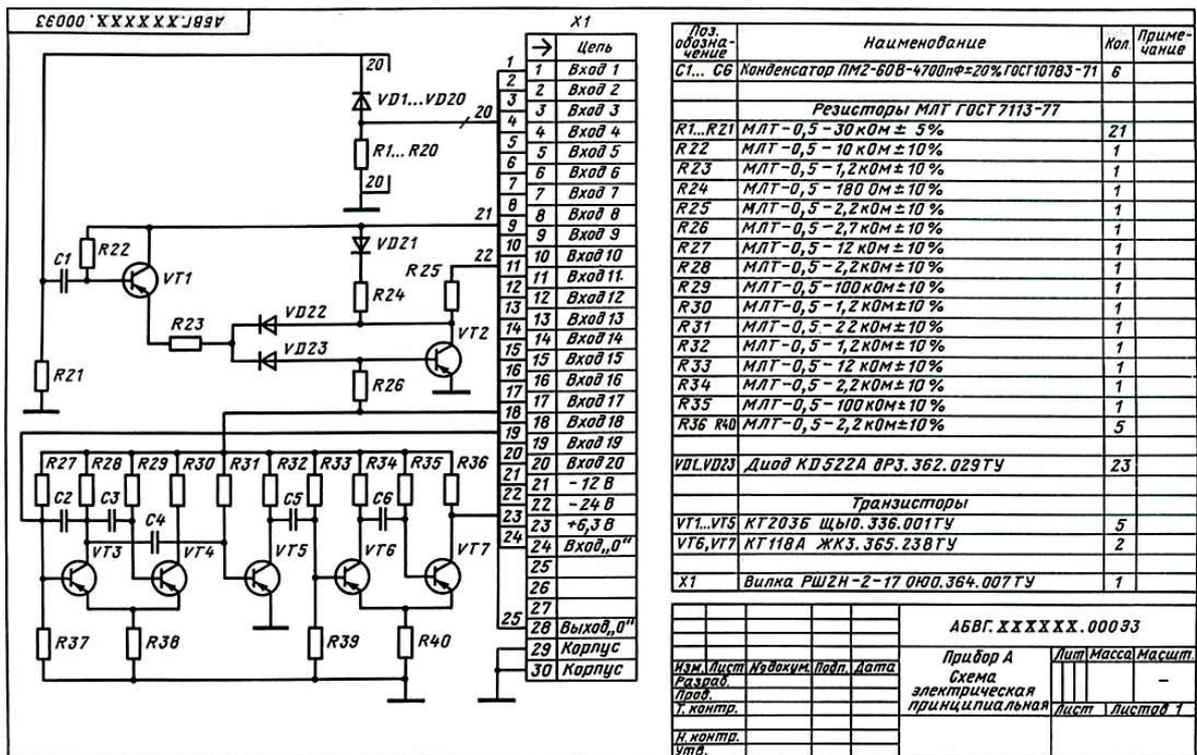


Рис. 1.8. Пример электрической принципиальной схемы и спецификации компонентов [6]

Во втором способе элементы одной микросхемы разносятся по полю чертежа. Это бывает удобно для оптимального размещения элементов в поле чертежа. Пример такого обозначения – микросхема DD2.1, DD2.2. Эта запись означает, что цифровая микросхема 2 разделена на два элемента: первый и второй. Такая ситуация возможна, если в корпусе интегральной схемы сконструированы одинаковые функциональные элементы.

Все пины интегральной схемы должны иметь свой номер сверху пина. Тогда задаются все связи между компонентами. Часто в принципиальных схемах применяют изображение жгута проводов для сокращения линий соединений (см. рис. 1.7). Каждый провод, входящий в жгут и выходящий из жгута, нумеруют цифрой. Нумерация проводов одного жгута сквозная. Если в схеме несколько не связанных друг с другом жгутов, то нумерация проводов в них может повторяться.

Опять обращаемся к рис. 1.7, на котором показан жгут проводов. Мы можем проследить, что сигнал «x1» входит по проводу в жгут под номером 1, потом этот провод соединяется с первым пином микро-

схемы *DD2*, и далее он соединяется с пином 18 микросхемы *DD1*. Нумерация проводов в жгутах и нумерация пинов микросхем – это разные процедуры. Все обозначения на изображениях электрических схем в России регламентирует ГОСТ 2.702-2011 «Единая система конструкторской документации. Правила выполнения электрических схем», а также ГОСТ 2.701-2008 (межгосударственный стандарт) «ЕСКД. Схемы. Виды и типы» и ГОСТ 2.710-81 «Обозначения буквенно-цифровые в электрических схемах».

Любая принципиальная электрическая схема, согласно этим ГОСТам, должна содержать только пиктограммы и условные обозначения, описанные в этих нормативных документах. Отступление от правил допускается, если при разработке электрических схем используются системы автоматизированного проектирования, в которых есть свои базы графических примитивов.

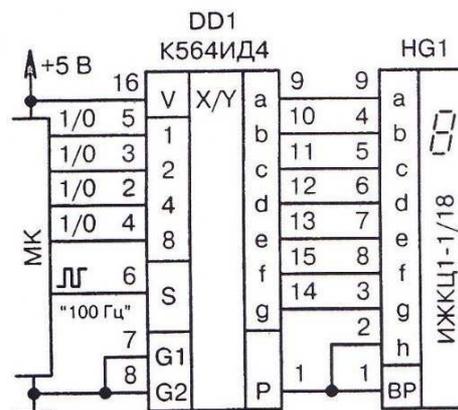
Пример описания работы отдельных модулей принципиальной электрической схемы

Любая схема состоит из микросхем, взаимодействующих друг с другом по определенному протоколу, который указывается в справочнике производителя интегральных схем. Практическая схемотехника цифровых и аналоговых микросхем представляет собой объемную базу типовых схемных решений, которые можно использовать при курсовом проектировании.

Например, в книге «1000 и одна микроконтроллерная схема» [7] С. М. Рюмик предлагает набор решений для цифровых устройств конечного применения на разной элементной базе.

В качестве примера решим задачу подключения к микроконтроллеру сегментного индикатора *HG-1*, показанного на рис. 1.9.

Главный параметр при выборе жидкокристаллического индикатора – диапазон питания. Для микроконтроллера подходят индикаторы



*Рис. 1.9. Схема подключения
сегментного индикатора
ИЖКЦ-1 к микроконтроллеру [7]*

с напряжением питания от 5 до 10 В. Их можно подключить к микроконтроллеру напрямую через дешифратор, например К564ИД4 (это преобразователь двоично-десятичного кода в код для семисегментного индикатора).

Меандр частотой 30 – 100 Гц поступает от микроконтроллера на вход *S* К564ИД4, далее проходит без инверсии на выход *P* и подается на вход *BP* индикатора. Сигналы на выходах *a – g* микросхемы *DD1* синфазные (сегмент светится) или противофазные (сегмент погашен). Индицируются цифры 0 – 9, буквы *L, H, P, A*.

Таким образом, в примере даны схема подключения сегментного индикатора и описание протокола работы модуля.

1.5. Схема электрическая соединений

Кроме структурной, функциональной и принципиальной электрических схем применяют дополнительные схемы. К ним относятся схема электрическая соединений, схема электрическая подключений и схема электрическая расположения.

На схеме соединений (рис. 1.10) отображают все устройства и элементы, входящие в состав изделия, их входные и выходные элементы (соединители, платы, зажимы и т. д.), а также соединения между этими устройствами и элементами.

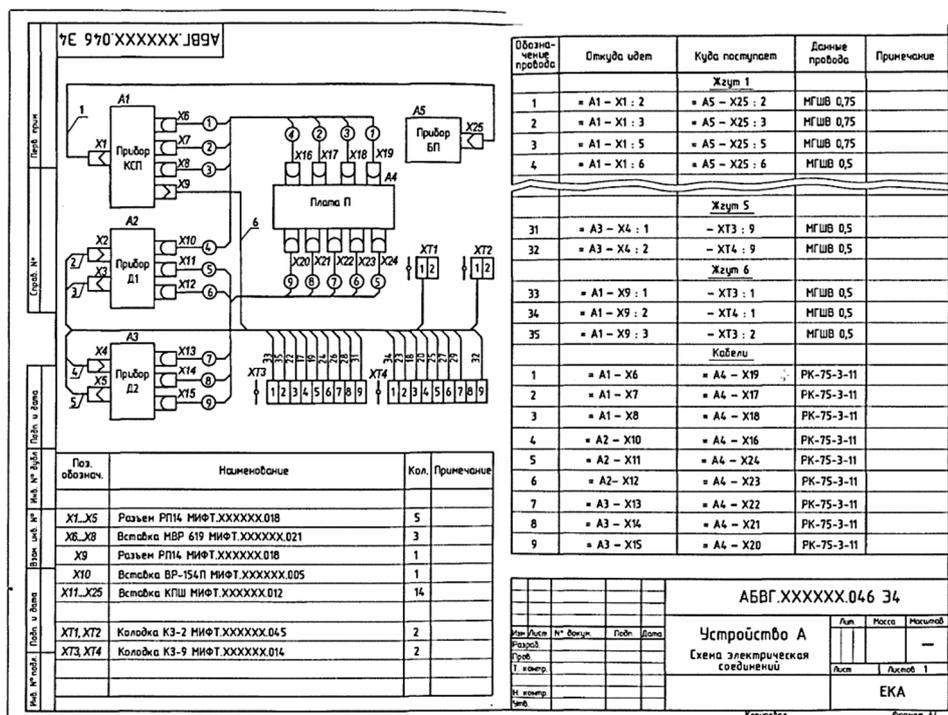


Рис. 1.10. Пример схемы электрической соединений [8]

Расположение графических обозначений устройств и элементов на схеме должно примерно соответствовать действительному размещению элементов и устройств в изделии.

Расположение изображений входных и выходных элементов или выводов внутри графических обозначений и устройств или элементов должно примерно соответствовать их действительному размещению в устройстве или модуле.

1.6. Схема электрическая подключения

На схеме электрической подключения должны быть изображены: изделие; его входные и выходные элементы (соединители, зажимы) и подводимые к ним концы проводов и кабелей (многожильных проводов, электрических шнуров) внешнего монтажа, около которых помещают данные о подключении изделия (характеристики внешних цепей).

Размещение изображений входных и выходных элементов внутри графического обозначения цифрового модуля должно примерно соответствовать их действительному размещению в изделии. На схеме следует указывать позиционные обозначения входных и выходных элементов, присвоенные им на принципиальной электрической схеме изделия. Пример схемы подключения показан на рис. 1.11 [8].

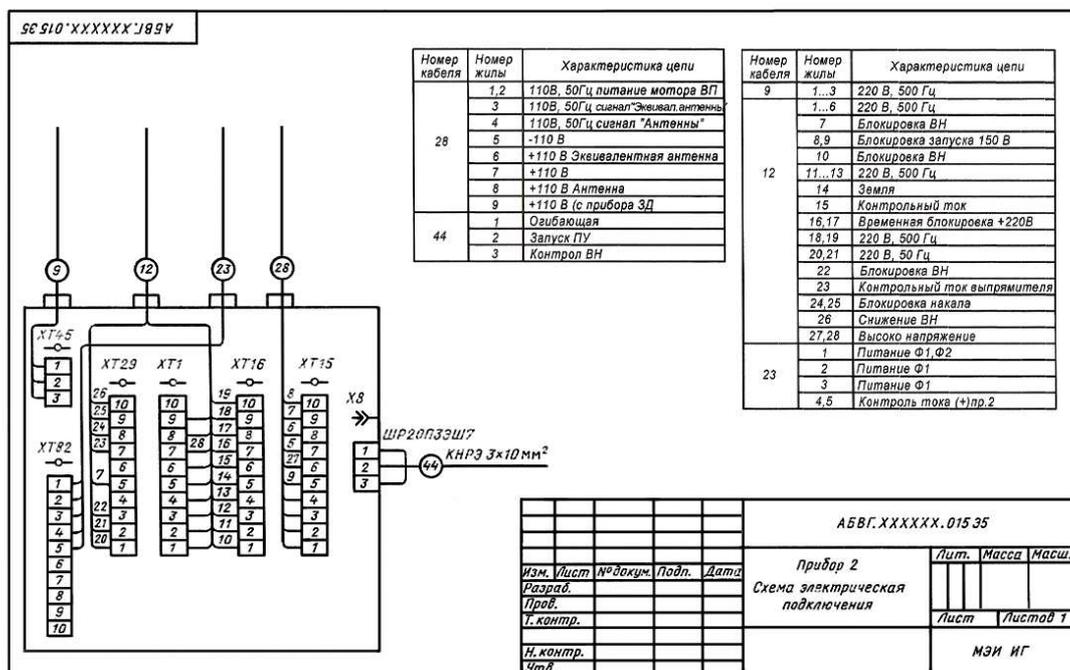


Рис. 1.11. Пример схемы электрической подключения [8]

1.7. Схема электрическая расположения

На схеме электрической расположения изображают составные части изделия (как на рис. 1.12), а при необходимости указывают связи между ними, конструкцию, помещение или местность, на которых эти составные части будут расположены.

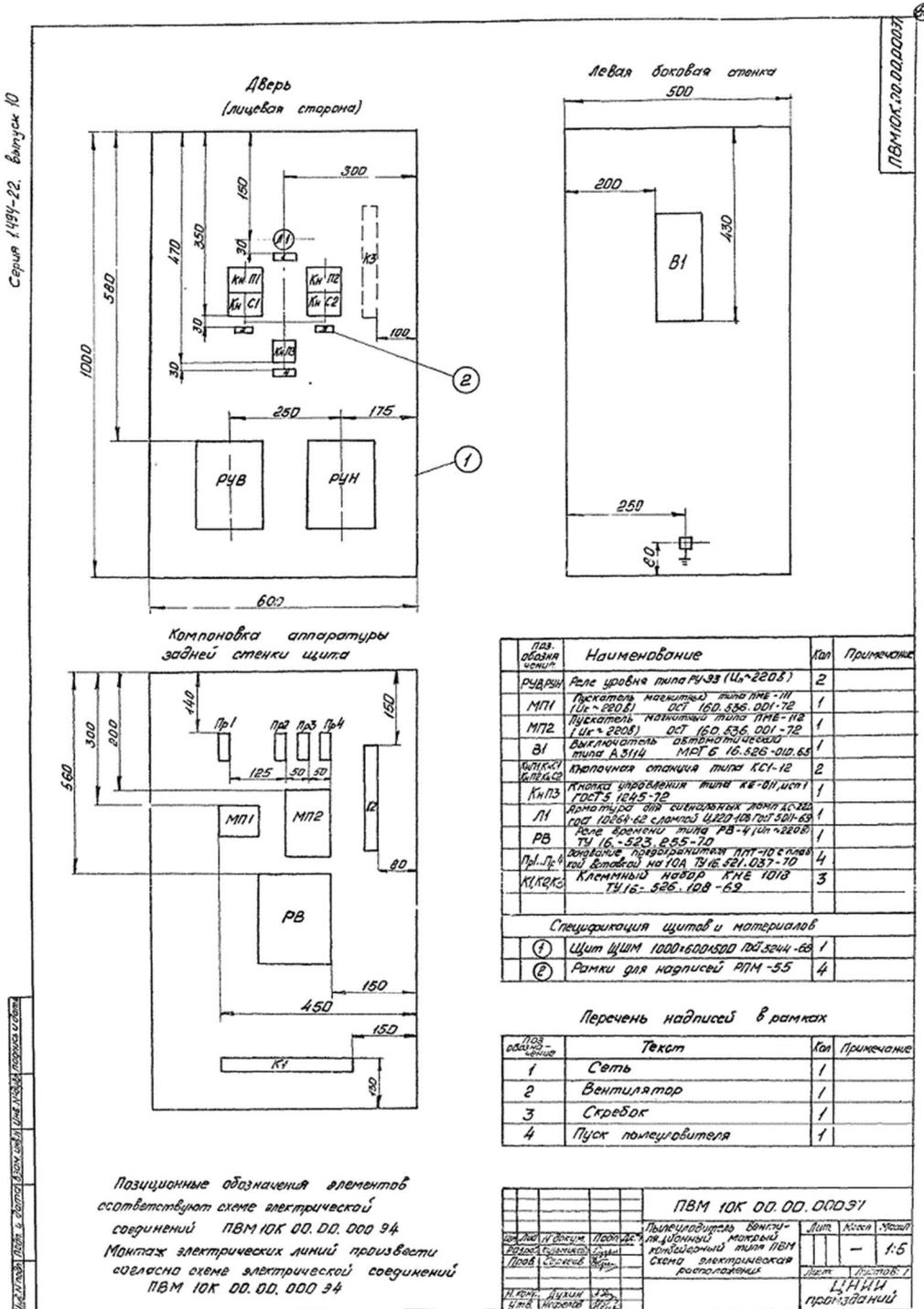


Рис. 1.12. Пример схемы электрической расположения [8]

1.8. Пример разработки электронного устройства

Техническое задание на разработку цифрового модуля

Разработать схему модуля автомобильной сигнализации. Алгоритм работы сигнализации следующий: если водитель автомобиля находится на своем рабочем месте и открыта хотя бы одна из четырех дверей или багажник автомобиля, то должна срабатывать световая и звуковая сигнализация на приборной панели автомобиля.

В качестве основной элементной базы использовать микросхемы К555ЛА3, красный светодиод и бuzzer. Дополнительные компоненты выбрать самостоятельно. Питание схемы модуля сигнализации осуществлять от бортового питания автомобиля +12 В.

Разработать структурную, функциональную и принципиальную электрические схемы модуля автомобильной сигнализации согласно техническому заданию и представить чертеж в среде *Microsoft Visio*.

Этап 1. Разработка структурной электрической схемы автомобильной сигнализации

Разработка структурной электрической схемы устройства предполагает фактическую декомпозицию общей задачи проектирования устройства на множество более простых задач схемотехнического проектирования.

В рассматриваемом примере для графического изображения структурной электрической схемы автомобильной сигнализации можно выделить следующие блоки: блок из шести дискретных датчиков, фиксирующих текущее положение четырех дверей «Закрыто или Открыто», багажника «Закрыто или Открыто», присутствие водителя на своем рабочем месте; блок управления, имеющий шесть дискретных входов, выполняющий логику 5ИЛИ и 2И; блок индикации световой и звуковой; блок питания, преобразующий бортовое напряжение +12 В в напряжение +5 В для питания микросхем К555ЛА3.

На структурной электрической схеме (рис. 1.13) показаны выделенные выше структурные блоки и связи между ними.

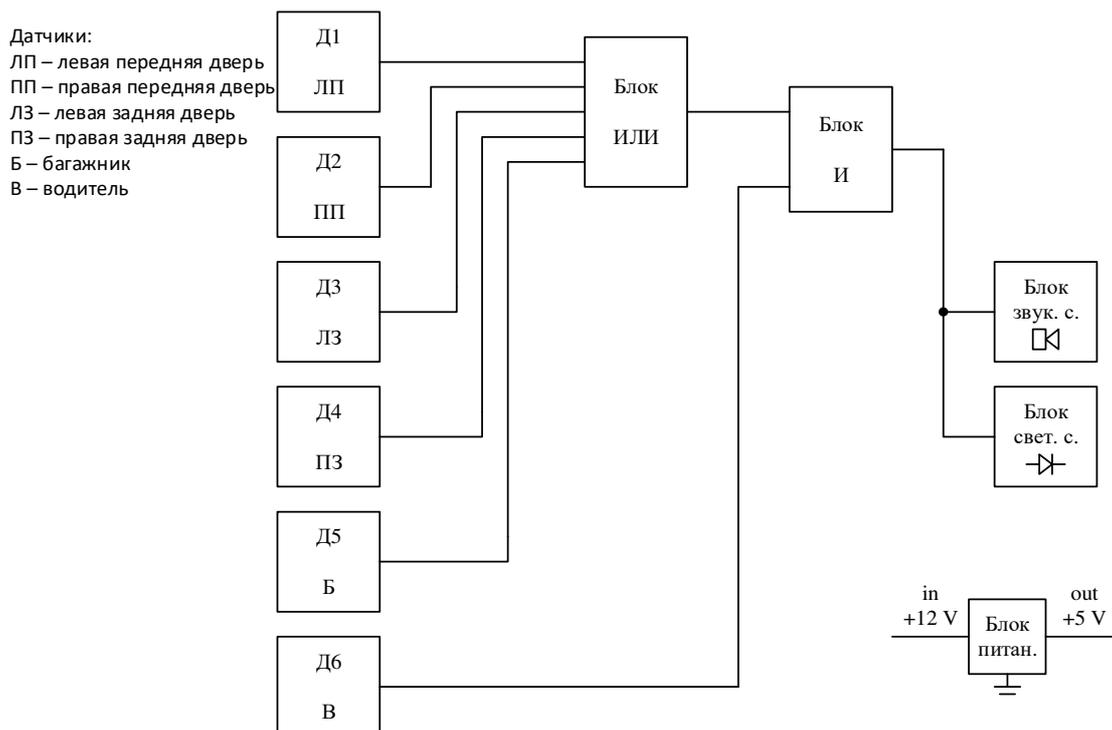


Рис. 1.13. Структурная электрическая схема автомобильной сигнализации

Таким образом, при срабатывании любого датчика из Д1 – Д5 и датчика Д6 на выходе блока управления И будет активирован сигнал, который инициирует срабатывание световой и звуковой сигнализации.

Представленная электрическая структурная схема выполнила разбиение общей задачи проектирования на ряд простых задач: как реализовать датчики; как синтезировать блок управления на базе микросхем К555ЛА3; каким образом реализовать блок питания +5 В из напряжения +12 В.

Этап 2. Разработка функциональной электрической схемы автомобильной сигнализации

Функциональная электрическая схема – следующий этап разработки цифрового модуля. Функциональная электрическая схема предназначена для пояснения логического принципа работы устройства и описания процессов, происходящих при его работе. На схеме изображают функциональные элементы, устройства, функциональные группы и связи между ними.

При разработке функциональной схемы необходимо учесть тот факт, что для создания блока управления можно использовать только элементы 2И-НЕ, так как в ТЗ задан только один тип микросхемы

K555ЛА3, которая представляет собой четыре логических элемента 2И-НЕ в одном корпусе.

Необходимо решить задачу представления элемента 5ИЛИ с помощью элементов 2И-НЕ. Здесь уместно вспомнить формулы алгебры логики, которые дают такое решение. Тогда функциональная электрическая схема автомобильной сигнализации может быть представлена так, как показано на рис. 1.14.

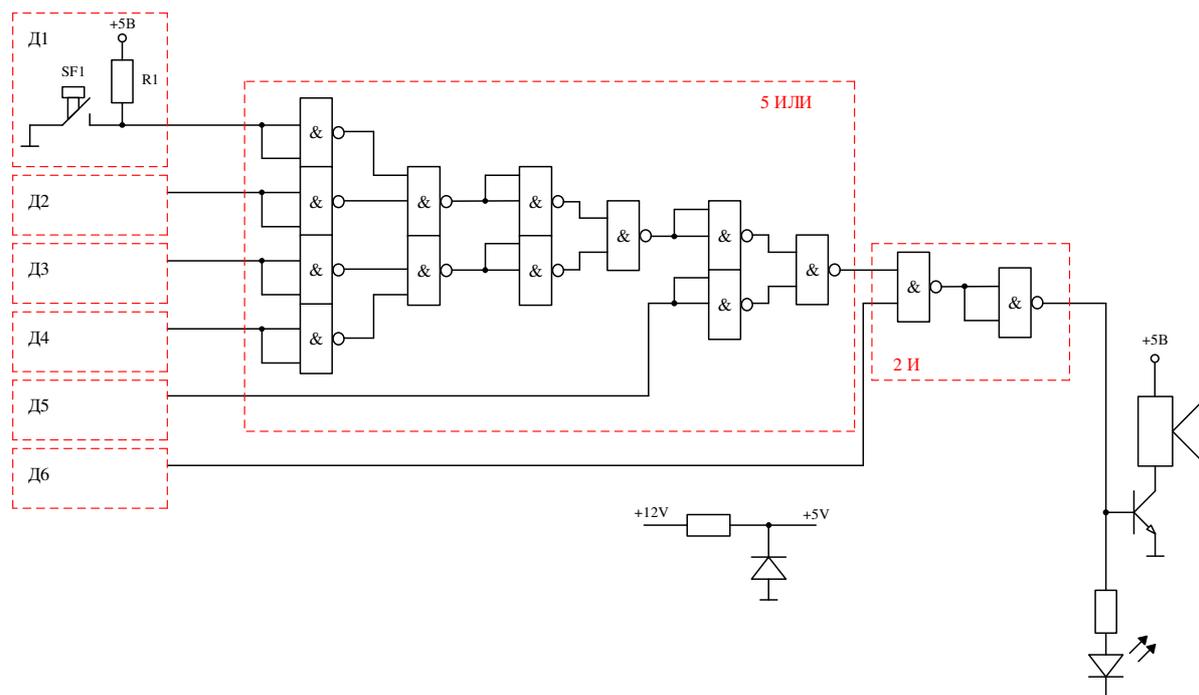


Рис. 1.14. Функциональная электрическая схема автомобильной сигнализации

Функциональная электрическая схема представляет собой графическую интерпретацию алгоритма работы автомобильной сигнализации.

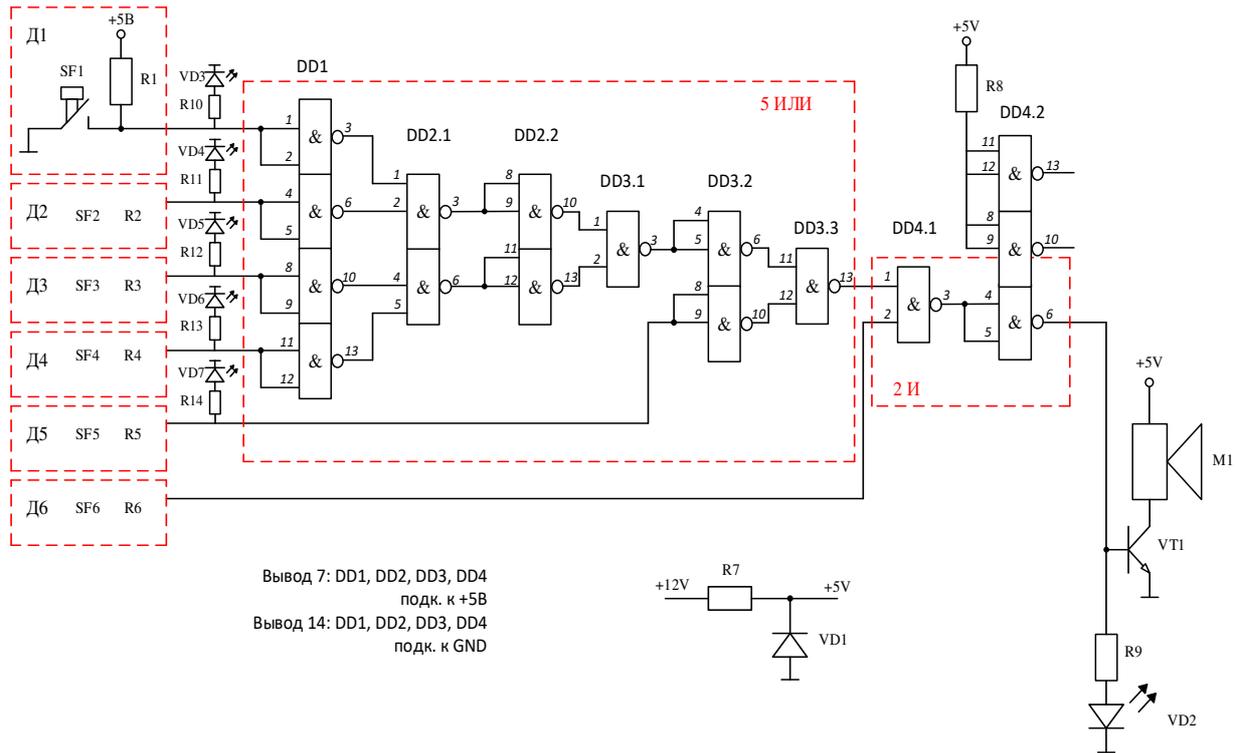
Дискретные датчики предлагается реализовать с помощью нажимной кнопки и резистора. Если дверь закрыта, то датчик будет выдавать сигнал логического нуля.

Логическая единица на выходе схемы управления 2И активирует работу светодиода и транзистора, в коллекторную цепь которого включен звуковой бuzzer.

Параметрический стабилизатор на основе стабилитрона будет обеспечивать преобразование бортового постоянного напряжения +12 В в постоянное напряжение +5 В для обеспечения питания интегральных схем (ИС) и блока индикации.

Этап 3. Разработка принципиальной электрической схемы автомобильной сигнализации

На принципиальной электрической схеме изображают все компоненты и микросхемы устройства с указанием их позиции в схеме и электрические связи между ними на уровне выводов с указанием их номеров (рис. 1.15).



Спецификация к принципиальной электрической схеме

№ п/п	Обозначение	Маркировка	Номинал	Количество	Тип корпуса
1	DD1 – DD4	K555LA3	–	4	DIP
2	R1 – R14	SMD 0805	1 кОм	14	SMD 0806
3	VD2 – VD7	A102M	–	6	SMD 0806
4	VD1	Kc407	–	1	Навесной
5	SF1 – SF6	МК	–	6	Мембранный
6	VT1	K315	–	1	SMD 0806
7	M1	Бuzzer	–	1	Пьезоэлектрический

Рис. 1.15. Принципиальная электрическая схема
модуля автомобильной сигнализации

В поле чертежа принципиальной электрической схемы дана инструкция подключения микросхем К555ЛА3 к цепи питания +5 В.

Отдельно формируется спецификация компонентов, применяемых в принципиальной электрической схеме, которая открывает возможности расчета потребности в компонентах при производстве любого количества модулей автомобильной сигнализации.

Главный результат проектирования автомобильной сигнализации по ТЗ до уровня принципиальной электрической схемы – возможность создания реального устройства.

Глава 2. ЛАБОРАТОРНЫЕ РАБОТЫ

ЛАБОРАТОРНАЯ РАБОТА № 1

Схемотехника дешифраторов и шифраторов, мультиплексоров и демультиплексоров

Цели работы: изучение принципа работы и типов дешифраторов и шифраторов, мультиплексоров и демультиплексоров. Разработка принципиальной электрической схемы цифрового модуля по варианту ТЗ. Выработка навыков использования справочников по интегральным схемам при решении прикладных задач и применения программной среды для разработки чертежей.

Теоретическая часть

Дешифратор – это устройство, преобразующее входной двоичный код в выходной унитарный код, имеющий активный уровень только в одном разряде на выходе, а именно в том, номер которого в двоичном счислении равен входному двоичному числу.

На рис. 2.1 показан пример функционального изображения дешифратора размерностью 4 на 16 с инверсными выходами и двумя инверсными входами V , которые разрешают работу дешифратора при установке на входах управления $V1$ и $V2$ нулей.

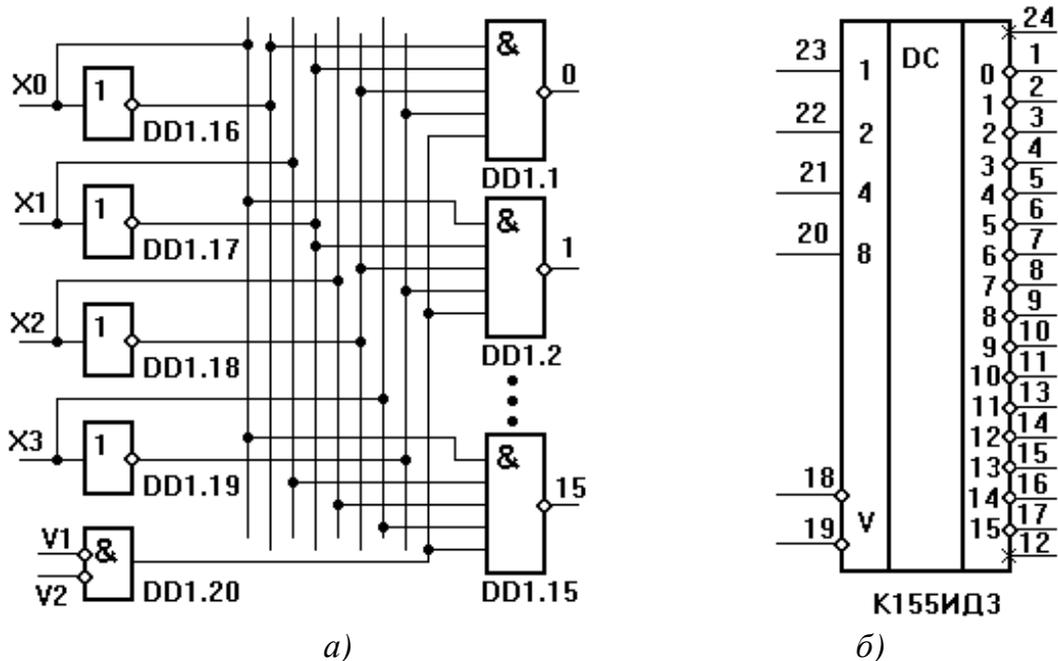


Рис. 2.1. Функциональное изображение дешифратора размерностью 4 на 16 [8]:
а – логика работы на основе базовой логики; б – интегральное исполнение

Дешифраторы бывают *полными* и *неполными*. Полный дешифратор с n входами имеет t выходов, где $t = 2^n$ – число возможных минтермов от n переменных. Число входов и выходов указывается следующим образом: 3-8 (три в восемь), 4-16, 4-10 (неполный дешифратор). Существует три способа организации дешифратора: *линейный*, *каскадный* и *пирамидальный*.

При линейной организации (на примере дешифратора 3-8, рис. 2.2) каждый минтерм реализуется отдельно на трехвходовом элементе типа И. На входы элементов подаются все возможные комбинации прямых и инверсных значений разрядов входного кода. Для каждого значения входного кода будет активироваться один выход.

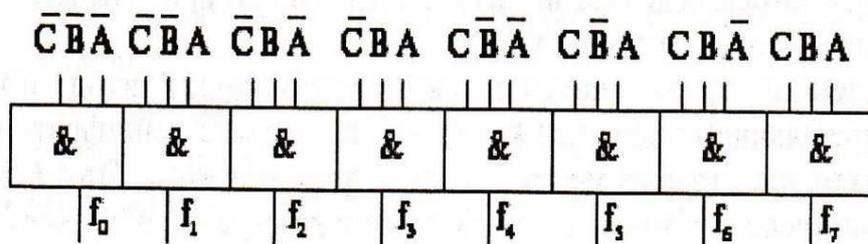


Рис. 2.2. Линейный дешифратор размерностью 3 на 8 [8]

Пример пирамидальной структуры дешифратора показан на рис. 2.3. При этом первый уровень пирамиды формирует все возможные конъюнкции двух разрядов, а второй уровень пирамиды – все возможные конъюнкции выходов первого ряда для схем И следующего ряда. Уровней пирамиды может быть несколько.

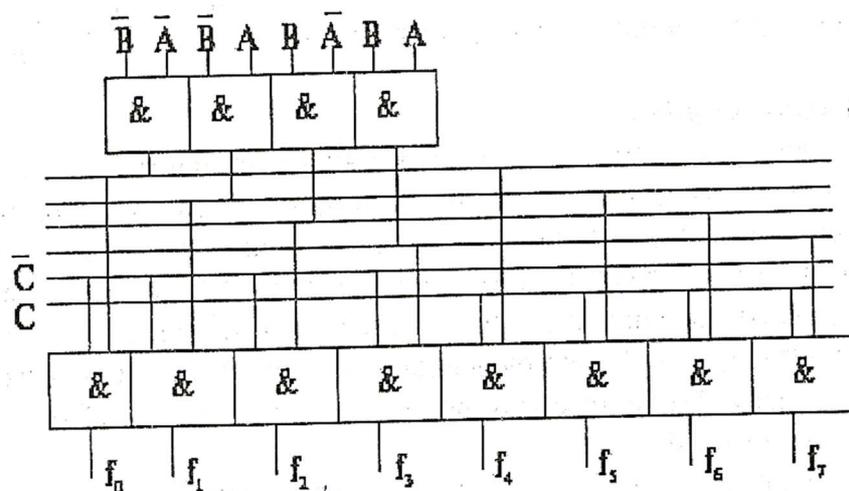


Рис. 2.3. Схема пирамидального дешифратора [8]

При каскадном построении дешифратора входное число переменных разбивается на несколько равных по количеству разрядов кодов и для каждого набора строится линейный дешифратор, а затем выходы линейных дешифраторов соединяются элементами И.

Дешифраторы часто имеют вход, при запрещающем значении которого все выходы дешифратора неактивны независимо от значения входного кода.

Этот вход можно использовать в качестве старшего разряда входного кода и наращивать разрядность дешифраторов интегрального исполнения. Дешифраторы широко применяют в схемах адресации памяти, схемах подключения нескольких источников данных к линии связи коллективного пользования, работающей в режиме разделения времени.

Шифраторы выполняют функцию, противоположную дешифрации, пример показан на рис. 2.4. Они преобразуют унитарный код 1 из N в цифровой двоичный код. Наиболее часто применяют приоритетные шифраторы. Ниже приведена таблица истинности приоритетного шифратора (табл. 2.1).

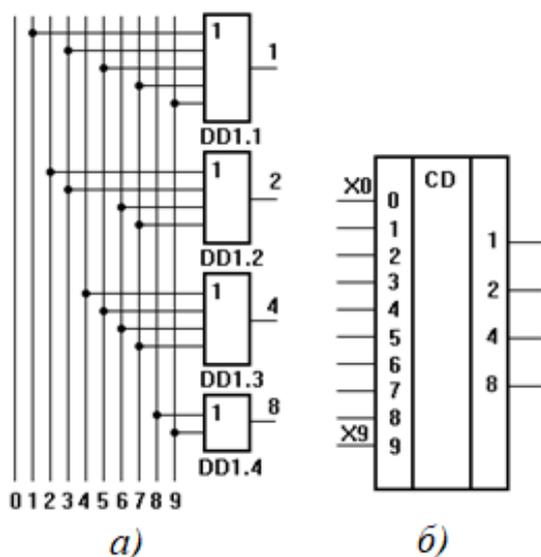


Рис. 2.4. Функциональное изображение неполного шифратора размерностью 10 на 4: а – полное; б – свернутое

$E1$, выходы $A0 - A2$, выход G – признак наличия комбинации входного кода, выход EO – признак отсутствия комбинации кода на входе. Основная особенность приоритетного шифратора заключается в соответствии каждой унитарной комбинации входа уровню приоритета.

ратора (табл. 2.1).

Приоритетный шифратор вырабатывает на выходе двоичный код старшего запроса (наиболее приоритетного из всех, установленных на входе). Обычный шифратор – частный случай приоритетного шифратора. Шифраторы, как и дешифраторы, бывают полными и неполными. При разработке шифраторов часто возникает задача увеличения разрядности.

Входы приоритетного шифратора (табл. 2.1) – переменные $R0 - R7$, вход разрешения работы

Таблица состояний приоритетного шифратора

EI	R ₇	R ₆	R ₅	R ₄	R ₃	R ₂	R ₁	R ₀	A ₂	a ₁	a ₀	G	EO
1	1	X	X	X	X	X	X	X	1	1	1	1	0
1	0	1	X	X	X	X	X	X	1	1	0	1	0
1	0	0	1	X	X	X	X	X	1	0	1	1	0
1	0	0	0	1	X	X	X	X	1	0	0	1	0
1	0	0	0	0	1	X	X	X	0	1	1	1	0
1	0	0	0	0	0	1	X	X	0	1	0	1	0
1	0	0	0	0	0	0	1	X	0	0	1	1	0
1	0	0	0	0	0	0	0	1	0	0	0	1	0
1	0	0	0	0	0	0	0	0	0	0	0	0	1
0	X	X	X	X	X	X	X	X	0	0	0	0	0

На рис. 2.5 показана типовая схема решения задачи увеличения разрядности приоритетного шифратора за счет применения приоритетных шифраторов меньшей размерности.

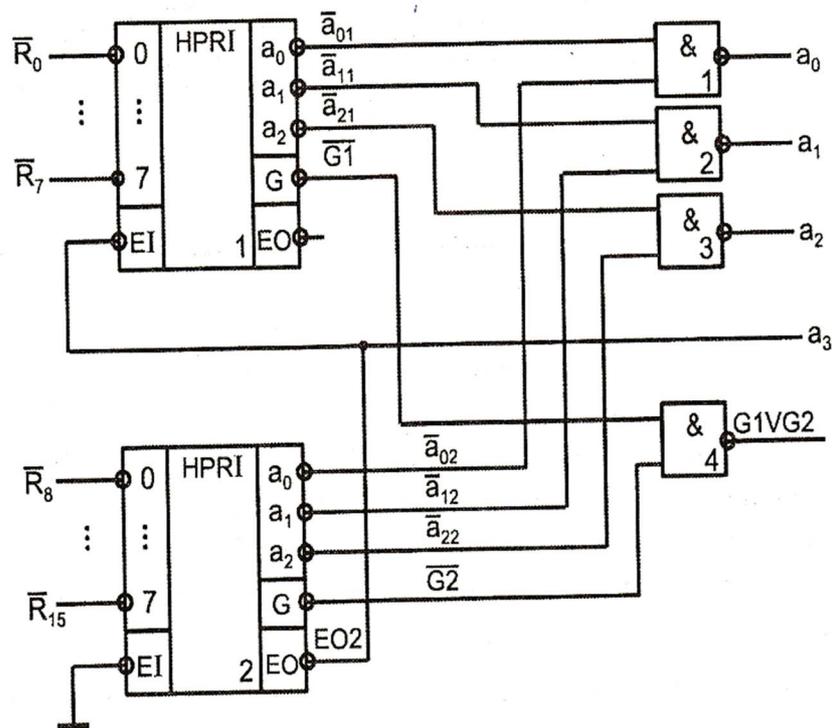


Рис. 2.5. Типовая схема увеличения разрядности шифратора [8]

Приоритетные шифраторы используют при решении задачи определения приоритетного претендента на использование каким-либо ресурсом, в частности их используют в контроллерах прерываний в качестве арбитров приоритета запроса внешних устройств.

Мультиплексор и демультиплексор – это функциональные элементы, которые выполняют функцию коммутации линий связи и решают задачу изменения пути следования сигналов или создания физической линии связи между абонентами на время обмена информацией.

Мультиплексор выполняет задачу переключения нескольких входных сигналов на один выходной. Маркируется мультиплексор в графических изображениях буквами *MX*, как на рис. 2.6, *г*. На этом рисунке изображен одноразрядный мультиплексор размерностью 4 на 1. Для реализации коммутационной функции необходима схема цифрового управления, которая обеспечивается заданием входов *A0* и *A1*. На рис. 2.6, *в* показана схемная реализация мультиплексора на базе логических элементов, а на рис. 2.6, *д* – таблица состояний.

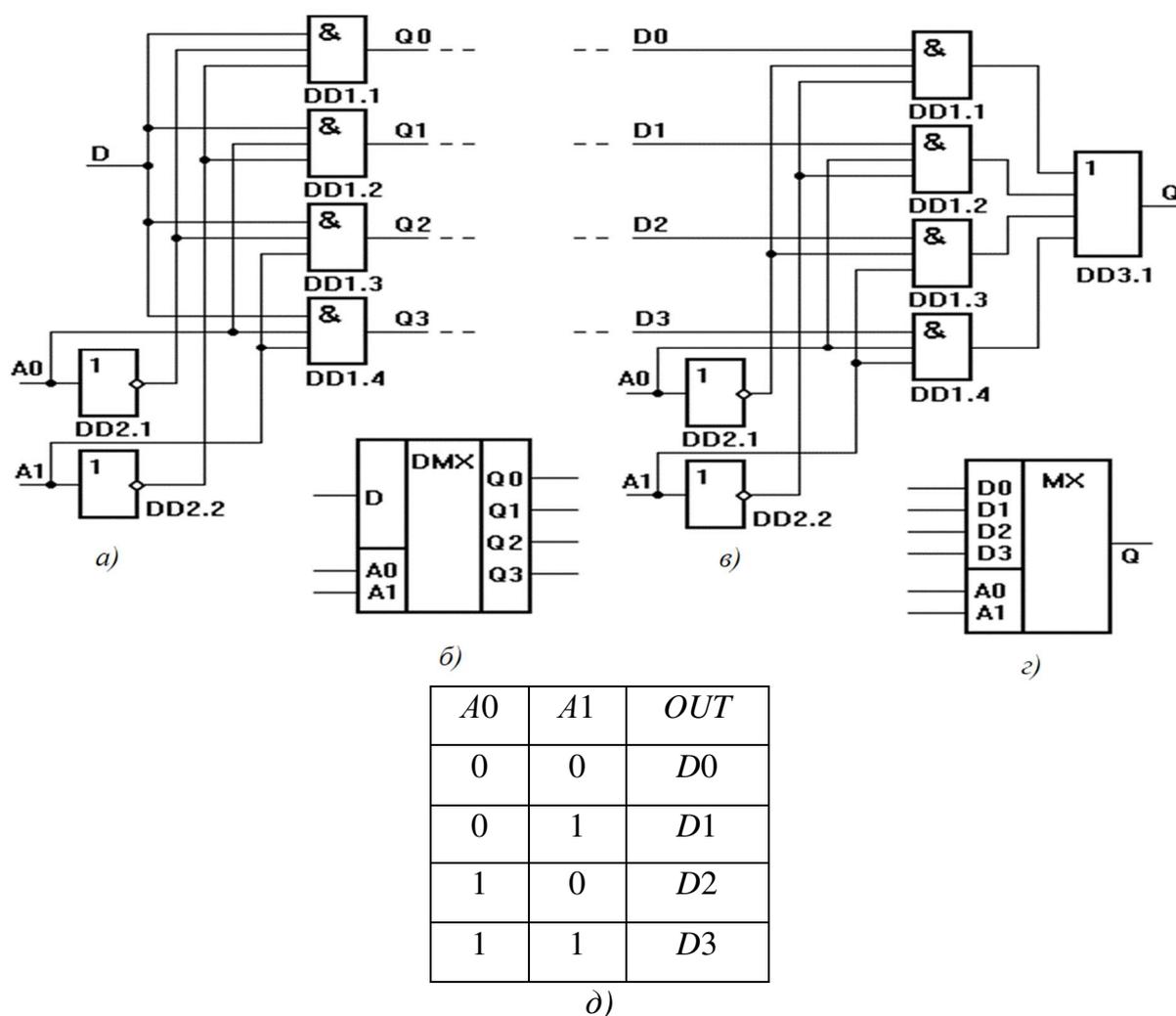


Рис. 2.6. Изображение: *б* – одноразрядного демультиплексора; *г* – мультиплексора; *а, в* – их реализации на основе логических элементов; *д* – таблицы состояний мультиплексора [8]

Демультимплексор – функциональный элемент, который осуществляет переключение одного входного сигнала на один из нескольких выходов. Маркируется демультимплексор в графических изображениях буквами *DMX*, как на рис. 2.6, *а, б* [8]. На этом рисунке показан одноразрядный демультимплексор размерностью 1 на 4. Переключение входа на один из выходов происходит на основе сигналов управления *A0* и *A1*, как и мультиплексора.

Для коммутации многоразрядных шин применяют многоразрядные мультиплексоры и демультимплексоры. На рис. 2.7, *а* показан четырехразрядный мультиплексор размерностью 2 на 1. Он позволяет переключить две четырехпроводные шины на одну четырехпроводную выходную шину с сохранением порядка разрядов в шине. Согласно этому функциональному изображению данный мультиплексор обладает функцией третьего состояния логического выхода, который управляется входом *EN* и входом управления коммутацией *A*.

На рис. 2.7, *б* представлено функциональное изображение двухразрядного мультиплексора размерностью 4 на 1 интегрального исполнения серии *K555КП2* и его реализация на базе логических элементов (рис. 2.7, *в*) [9]. Этот мультиплексор обладает обычным логическим выходом *D0, D1* и дополнительными входами *E0, E1* для расширения возможности управления микросхемой.

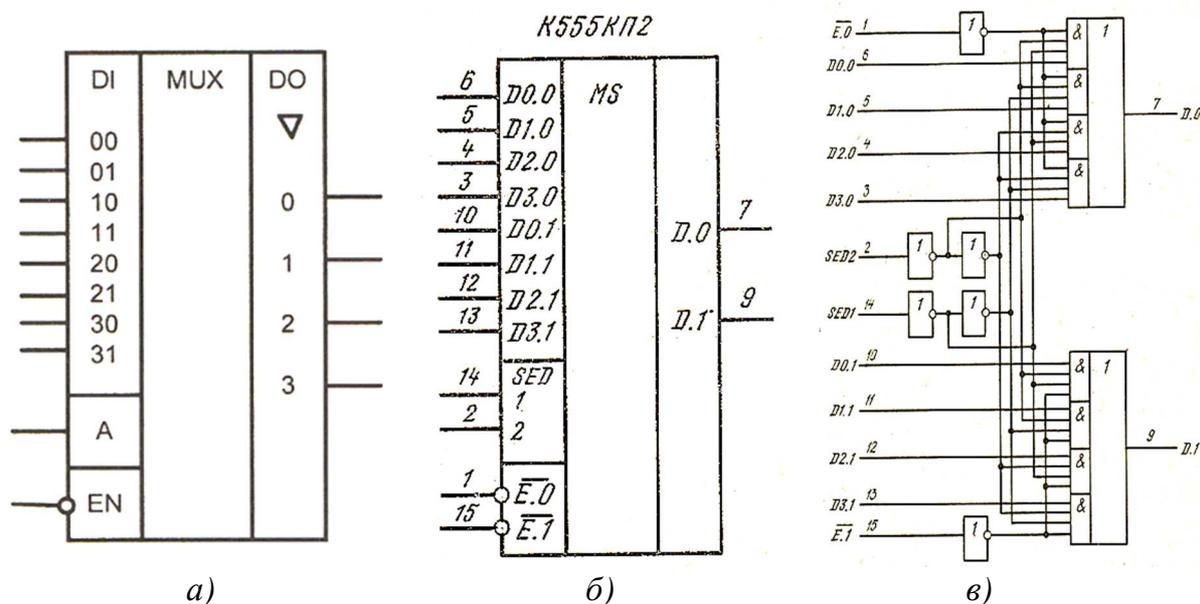


Рис. 2.7. Изображение: *а* – четырехразрядного мультиплексора размерностью 2 на 1; *б* – микросхемы двухразрядного мультиплексора *K555КП2*; *в* – схемы его организации на базе логических элементов [9]

Для построения мультиплексоров повышенной размерности из мультиплексоров малой размерности применяют различные схемные приемы. Один из них показан на рис. 2.8 [8]. Из пяти мультиплексоров размерностью 8 на 1 собрана схема мультиплексора размерностью 32 на 1.

Интегральное исполнение демультиплексора серии 74138 показано на рис. 2.9. Это одноразрядный демультиплексор, где $Q7$ – вход; $Q0$ – $Q7$ – выходы; $A0, A1, A2$ – входы управления; $E1, E2, E3$ – входы разрешения работы. Когда трехразрядный код поступает на три входа ($A0, A1$ и $A2$) микросхемы 74138, на соответствующем этому коду выходе Q устанавливается напряжение низкого уровня, а на остальных выходах – высокого.

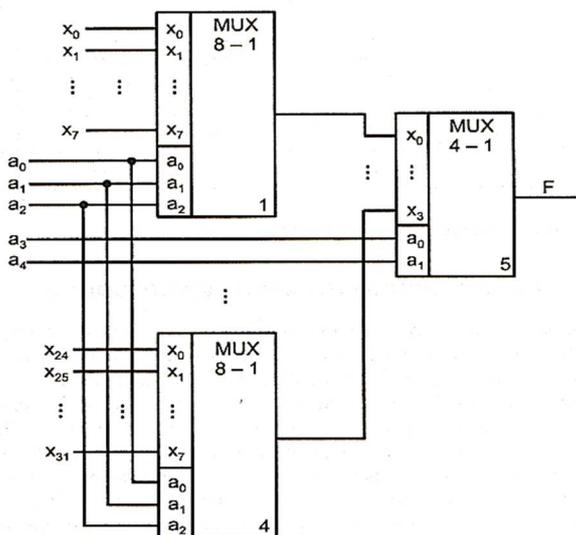


Рис. 2.8. Пример решения задачи увеличения размерности мультиплексора [10]

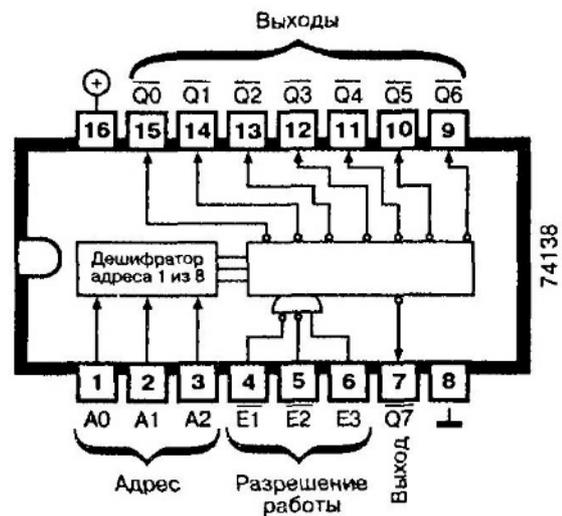


Рис. 2.9. Микросхема одноразрядного демультиплексора серии 74138 [8]

Однако это происходит лишь в том случае, если на разрешающие входы $E1$ и $E2$ микросхемы 74138 подается напряжение низкого уровня, а на вход $E3$ – высокого. Такая комбинированная возможность отпираания схемы позволяет легко расширить ее до дешифратора 1 из 32, параллельно подключив к схеме четыре микросхемы 74138 и один инвертор.

Микросхему 74138 можно использовать и в качестве демультиплексора на восемь выходов, если один из разрешающих выходов $E1$

или $E2$ служит в качестве информационного входа, а другие разрешающие входы – в качестве входов стробирующих импульсов. При этом на незадействованные разрешающие входы микросхемы 74138 необходимо постоянно подавать напряжение соответствующего уровня (высокого или низкого), который необходим для работы микросхемы.

Системы коммутации каналов – главная область применения мультиплексоров и демультиплексоров. Они позволяют создать структуры коллективного использования приемниками и передатчиками линии передачи, как на рис. 2.10, а и на функциональной схеме на рис. 2.10, б. Если задать код A_0 и A_1 , то схема произведет переключение канала связи и определенный передатчик X будет связан с определенным приемником F .

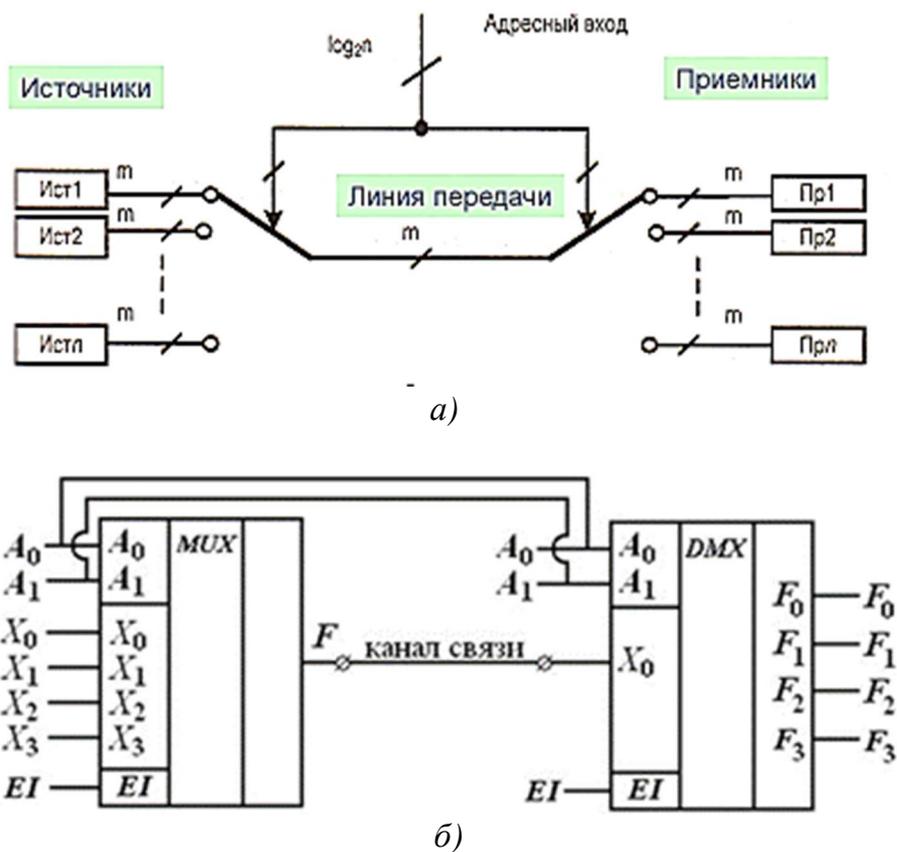


Рис. 2.10. Изображение: а – системы коммутации каналов; б – примера функциональной схемы системы коммутации

Мультиплексоры могут быть использованы для реализации логических функций. При этом входы управления мультиплексора будут использованы в качестве аргументов логической функции, а входы каналов – для настройки значений логической функции. Логическая

функция сложения по модулю 2 будет реализована с помощью мультиплексора, как показано на рис. 2.11, а, а функция четырех аргументов может быть реализована, как показано на рис. 2.11, б.

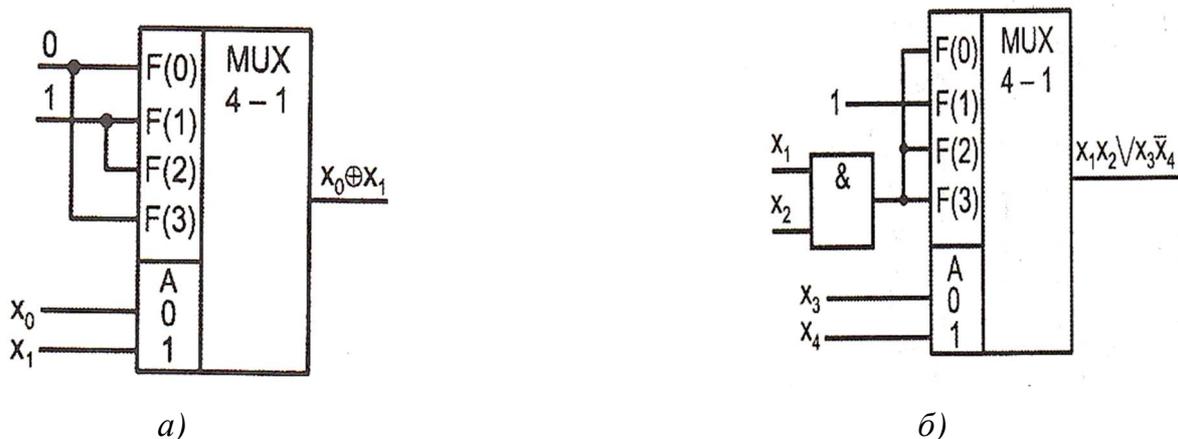


Рис. 2.11. Изображение: а – логического модуля сложения по модулю 2 на базе мультиплексора; б – примера логического модуля четырех аргументов [10]

Задание на лабораторную работу

№	Разработать электрическую функциональную и электрическую принципиальную схемы согласно вариантам	Microsoft Visio	Элементная база для обязательного применения
1	Дешифратор линейного типа и дешифратор пирамидального типа размерностью 4-14, выходы инверсные. Выходы и входы соединить с контактами разъема	Да	К555ЛА4
2	Приоритетный шифратор на 6 входов и 3 выхода, входы инверсные. Выходы и входы соединить с контактами разъема	Да	К555ЛН1 К555ЛР4 К555ЛИ1
3	Дешифратор размерностью 5-20, выходы инверсные. Выходы и входы соединить с контактами разъема	Да	Выбрать самостоятельно по критерию минимального количества корпусов ИС в схеме
4	Дешифратор размерностью 5-32. Выходы и входы соединить с контактами разъема	Да	К555ИД6 К555ИД4
5	Модуль из соединенных дешифратора размерностью 3-8 и шифратора размерностью 8-3, предусмотреть сигнал разрешения работы шифратора	Да	Выбрать самостоятельно по критерию минимума корпусов ИС в схеме

Продолжение

№	Разработать электрическую функциональную и электрическую принципиальную схемы согласно вариантам	Microsoft Visio	Элементная база для обязательного применения
6	Дешифратор размерностью 3-7 с инверсными входами. Четыре первых выхода дешифратора соединить с входами мультиплексора размерностью 4-1	Да	К555ИД4
7	Приоритетный шифратор размерностью 4-2, входы и выходы инверсные, предусмотреть сигнал разрешения работы схемы и его световую индикацию	Да	Выбрать самостоятельно, обосновать выбор
8	Соединенная пара (шифратор размерностью 5-3, дешифратор размерностью 3-8), входы шифратора инверсные, выходы дешифратора прямые. Выходы и входы соединить с контактами разъема	Да	Выбрать самостоятельно, обосновать выбор
9	Два шифратора размерностью 4-2 с инверсными выходами, выходы подключить к схеме сравнения, выполняющей функцию «равно»	Да	К555ЛА3 К555ЛН1
10	Приоритетный шифратор на 14 входов, предусмотреть сигнал разрешения работы, выходы инверсные	Да	Выбрать самостоятельно
11	Дешифратор размерностью 4-10, входы и выходы инверсные, предусмотреть два входа для сигналов условия разрешения работы	Да	К555ЛА3, К555ЛИ1
12	Два шифратора размерностью 8-3 с инверсными входами, выходы которых подключены к блоку сравнения, который можно настроить на выполнение операции сравнения кодов «больше» или «меньше»	Да	Выбрать самостоятельно
13	Дешифратор размерностью 4-12, входы инверсные, выходы прямые. Индикация состояния выходов светодиодами	Да	Выбрать по критерию минимального количества корпусов ИС в схеме
14	Два приоритетных шифратора размерностью 6-3, работающих на три общие линии с логикой подключения выходов шифраторов к общим линиям	Да	Выбрать самостоятельно, обосновать выбор

Окончание

№	Разработать электрическую функциональную и электрическую принципиальную схемы согласно вариантам	Microsoft Visio	Элементная база для обязательного применения
15	Дешифратор размерностью 3-8, входы и выходы инверсные, выходы дешифратора должны с помощью схемы разрешения подключаться к одной линии связи	Да	Выбрать самостоятельно, обосновать выбор
16	На базе дешифраторов разработать схему разрешения работы одного элемента логического элемента 3-И-НЕ из матрицы подобных элементов размерностью 5-5	Да	Выбрать самостоятельно, обосновать выбор
17	Построить из двух приоритетных шифраторов размерностью 8-3 приоритетный шифратор размерностью 16-4. Выходы и входы схемы прямые	Да	Выбрать самостоятельно, обосновать выбор
18	Схема на базе дешифратора размерностью 4-16, входы инверсные, состояния выходов индицируются светодиодами	Да	Выбрать самостоятельно, обосновать выбор
19	Схема содержит два шифратора размерностью 8-3 с инверсными входами, выходы шифраторов подключены к логической схеме 8-ИЛИ-НЕ	Да	Выбрать самостоятельно, обосновать выбор
20	Разработать схему кодировщика унитарного кода в двоичный. Дана клавиатура четыре клавиши. Нажатие клавиши должно давать на выходе значение двоичного кода. Код должен индицироваться светодиодами	Да	Выбрать самостоятельно, обосновать выбор
21	Выходы двух приоритетных шифраторов размерностью 8-3 соединены с цифровым компаратором с функцией «равно»	Да	K555ИВ1
22	Мультиплексор размерностью 4-1 соединен с демультимплексором размерностью 1-4. Входы мультиплексора и демультимплексора объединены в едином блоке управления	Да	Выбрать самостоятельно, обосновать выбор

Для поиска микросхем предлагается в учебных целях использовать справочник «Цифровые интегральные микросхемы» [9].

Электрические схемы модулей выполняйте в среде *Microsoft Visio*. Применение программы схемотехнического моделирования *Micro-Cap9* – по индивидуальному заданию преподавателя.

Содержание отчета

1. Электрическая функциональная схема устройства.
2. Электрическая принципиальная схема устройства в заданном элементном базисе или выбранном элементном базисе. Если микросхемы выбирались по заданию из справочника самостоятельно, обосновать выбор применяемых интегральных схем.
3. Справочная информация о применяемых микросхемах с указанием источника информации.
4. Таблица истинности, справочная информация, временная диаграмма или иная информация, необходимая для пояснения работы разработанных функциональной и принципиальной схем.

Контрольные вопросы

1. Чем полный дешифратор отличается от неполного?
2. Зачем применяют пирамидальную структуру дешифратора?
3. Как решают задачу увеличения разрядности дешифратора?
4. В чем заключается разница в работе обычного и приоритетного шифраторов?
5. Приведите пример функционального обозначения дешифратора размерностью 3 на 7 с инверсными входами и третьим состоянием выхода.
6. Как решают задачу увеличения разрядности шифратора?
7. Зачем разрабатывают принципиальную электрическую схему? Перечислите ее основные элементы.
8. Зачем применяют изображение жгута проводов в электрических схемах и каковы правила изображения жгута проводов?
9. Для чего разрабатывают спецификацию компонентов в принципиальной электрической схеме?

ЛАБОРАТОРНАЯ РАБОТА № 2

Сумматоры

Цели работы: изучение принципа работы и типов сумматоров. Разработка сумматоров произвольной разрядности и типов на реальной интегральной базе. Выработка навыков использования справочников по интегральным схемам при решении прикладных задач и применения программной среды для разработки чертежей.

Теоретическая часть

Сумматоры выполняют арифметическое сложение и вычитание чисел. Они представляют собой ядро арифметико-логических устройств, входящих в состав микропроцессоров. Сумматоры можно разделить на следующие группы:

- одноразрядный полный сумматор как основа всех сумматоров;
- сумматор для последовательных операндов;
- многоразрядный сумматор для параллельных операндов:
 - с последовательным переносом;
 - параллельным переносом;
 - групповой структурой;
 - накапливающий, или аккумулятор.

Одноразрядный полный сумматор

Одноразрядный полный сумматор имеет три входа (два слагаемых и перенос из предыдущего разряда) и два выхода (сумма и перенос в следующий разряд). На рис. 2.12 показана схема одноразрядного полного сумматора на базе схем сложения по модулю 2 конъюнкторов (2И) и дизъюнктора (2ИЛИ).

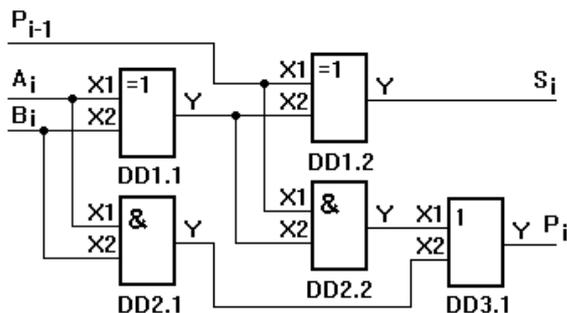


Рис. 2.12. Схема полного одноразрядного сумматора [8]

На рис. 2.12 показана схема одноразрядного полного сумматора на базе схем сложения по модулю 2 конъюнкторов (2И) и дизъюнктора (2ИЛИ).

На рис. 2.13 показана схема интегрального исполнения двух полных одноразрядных сумматоров в одном корпусе серии К555ИМ5. При соединении 5-го и 11-го контактов микросхемы мы получим двухразрядный сумматор. Используя данный пример, можно построить сумматор

произвольной разрядности с последовательным принципом формирования сигнала переноса.

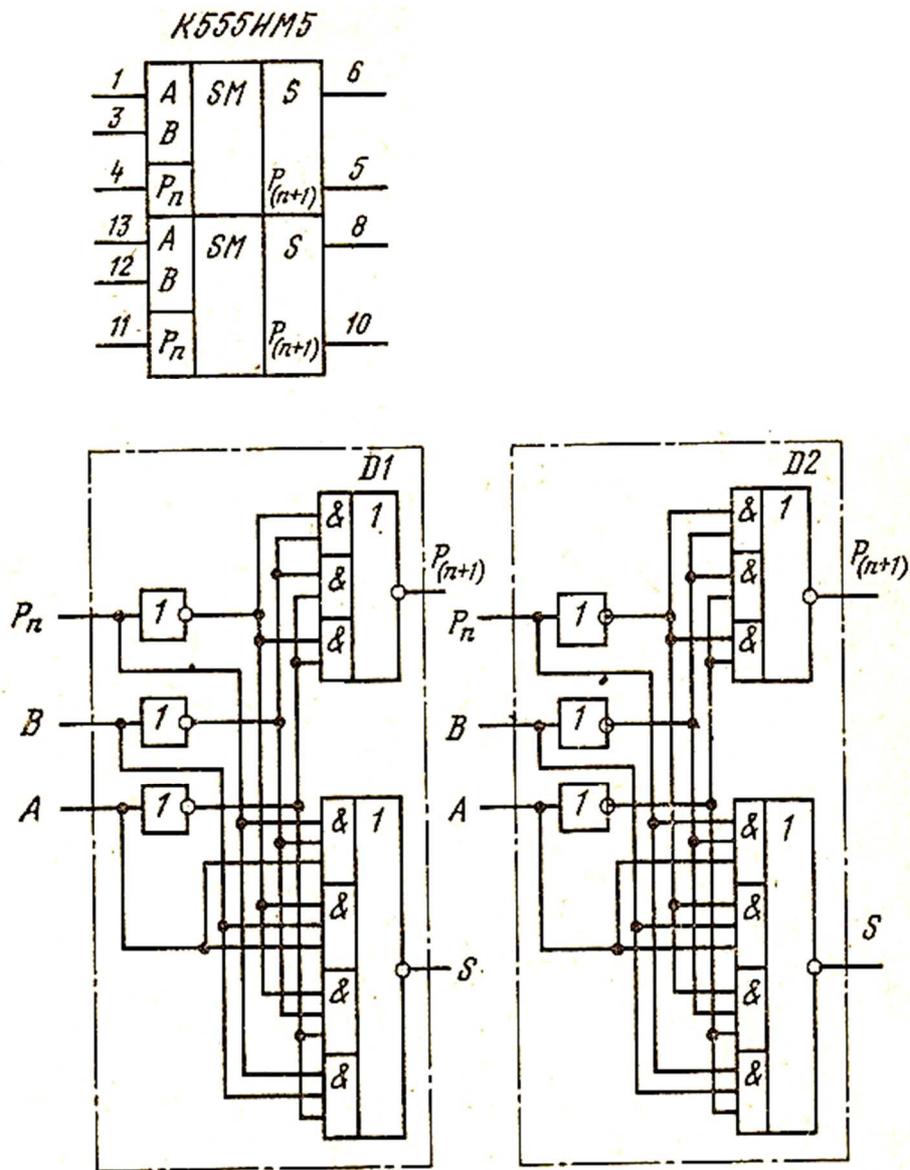


Рис. 2.13. Пример сумматора серии K555IM5 [9]

Сумматор последовательных операндов

В сумматоре последовательных операндов, показанном на рис. 2.14 используется одноразрядный полный сумматор, два n -разрядных сдвиговых регистра на входе модуля для записи и хранения входных операндов и аналогичный сдвиговой регистр S на выходе модуля для хранения результата суммирования. Работа схемы начинается с записи в регистры A и B кодов чисел, которые будут далее суммироваться.

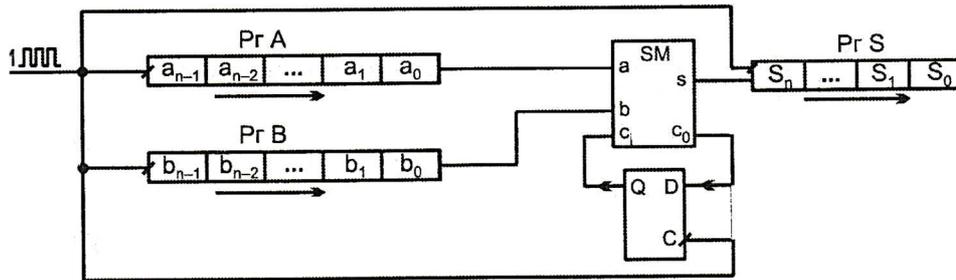


Рис. 2.14. Схема сумматора последовательных операндов [10]

Схема записи операндов в регистры PrA и PrB на рисунке не показана. Но алгоритм суммирования начинается с предварительной записи операндов в регистры PrA и PrB .

Учет переноса в следующий разряд суммирования организован с помощью D -триггера. Каждый тактовый сигнал выталкивает в сумматор из регистров A и B , начиная с младшего разряда, соответствующие биты, сумма записывается в выходной регистр S , а D -триггер обеспечивает учет переноса в следующий разряд суммирования.

Очевидно, что сумматор такого типа очень медленный и применяется ограниченно.

Сумматор параллельных операндов с последовательным переносом

Сумматор подобного класса строится из цепочки полных одно-разрядных сумматоров, соединенных последовательно по линиям переноса. Общую функциональную схему подобного сумматора см. на рис. 2.11.

Почему перенос последовательный? Для того чтобы учесть значение переноса в старшем разряде, необходимо сначала получить результат вычисления в предыдущем разряде. Даже если на все разряды a и b на рис. 2.15 установлены значения для суммирования, время суммирования будет определяться временем вычисления переносов.

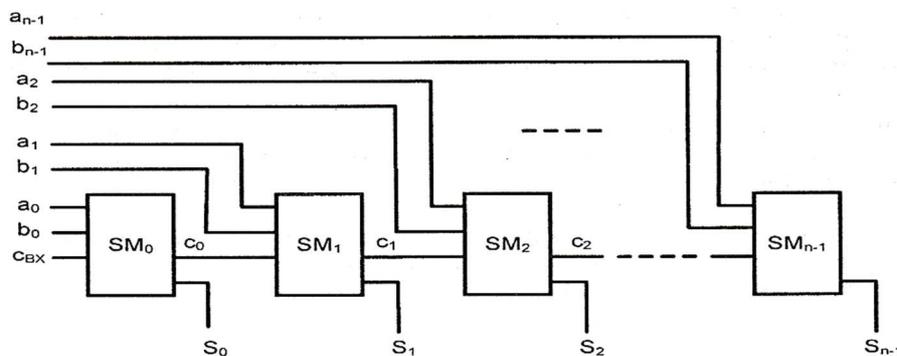


Рис. 2.15. Схема сумматора с последовательным переносом

Сумматор параллельных операндов с параллельным переносом

Данный класс сумматоров не обладает последовательным распространением переноса вдоль всей разрядной сетки. Во всех разрядах вычисление результата переноса производится параллельно во времени. За счет этого достигается максимальная скорость работы сумматора. Вариант схемы сумматора подобного типа приведен на рис. 2.16.

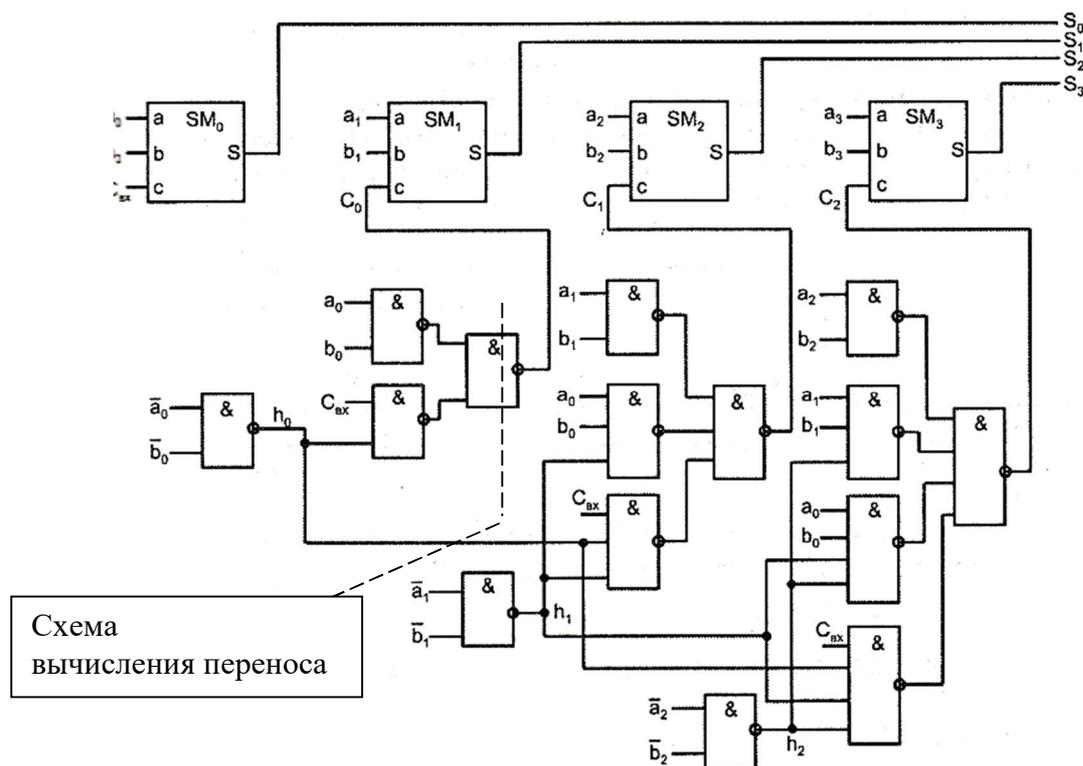


Рис. 2.16. Схема сумматора с параллельным переносом [10]

Вычисление значения переноса производится с помощью комбинационных схем, входами которых являются все переменные, влияющие на вычисление переноса в определенном разряде. Время вычисления переноса будет определяться временем задержки комбинационной схемы.

Применение инверсных входов дает возможность использовать сумматор для выполнения операций вычитания. В этом случае возможны два варианта: когда операнд A больше операнда B и когда A меньше B . В первом случае, когда результат вычитания положителен, разность определяется по формуле

$$(A - B)_{\text{пр}} = A_{\text{пр}} + (B_{\text{обр}} + 1),$$

т. е. вычитаемое B представляется в дополнительном коде.

Во втором случае, когда результат вычитания отрицателен, разность определяется по формуле

$$(A - B)_{\text{обр}} = -(A_{\text{пр}} + B_{\text{обр}})_{\text{обр}}$$

На рис. 2.17 показан пример сумматора для выполнения операции вычитания, где инверторы DD1 – DD4 используют для получения обратного кода. На рис. 2.18 приведен пример универсального устройства для выполнения операций сложения и вычитания.

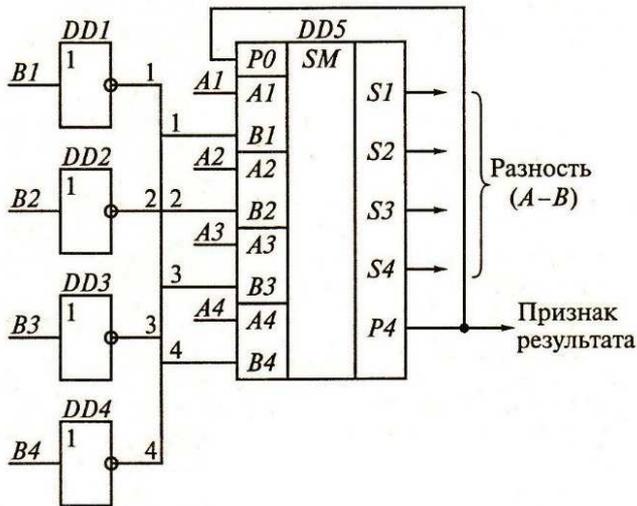


Рис. 2.17. Схема сумматора для выполнения операции вычитания [11]

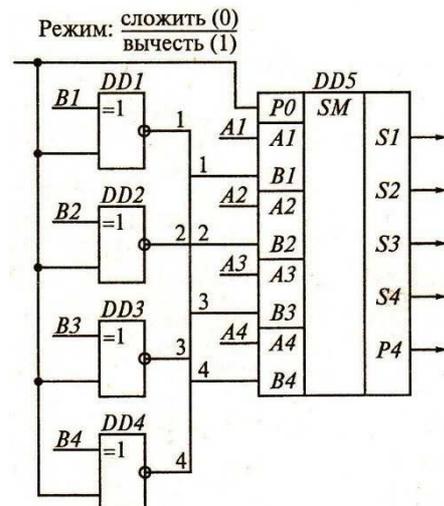


Рис. 2.18. Схема универсального сумматора [11]

Задание на лабораторную работу

№	Вариант задания	Компонентная база для обязательного применения
1	Разработать сумматор сложения последовательных четырехразрядных операндов, входные сдвиговые регистры должны иметь входы параллельной предварительной записи, выходной последовательный регистр должен иметь линии параллельного считывания информации	K555ИМ5
2	Трехразрядный сумматор со схемой мажоритарной логики на выходе и сигналом разрешения выдачи результата (суммы и результата работы мажоритарной логики)	K555ИМ5 Комбинационные ИС выбрать самостоятельно

Продолжение

№	Вариант задания	Компонентная база для обязательного применения
3	Трехразрядный сумматор с последовательным переносом. Предусмотреть на выходе сумматора регистр для записи результата суммирования	Элементную базу выбрать самостоятельно, обосновать выбор
4	Четырехразрядный сумматор с параллельным переносом, предусмотреть возможность выдачи результата через схемы с тремя состояниями выхода	База – комбинационная логика, базовый критерий выбора микросхем – минимальная потребляемая мощность
5	Четырехразрядный вычитатель, на входе и выходе вычитателя предусмотреть регистры для хранения входных и выходных данных. Предусмотреть логику управления записью информации во входной регистр и результата вычитания – в выходной регистр	K555ИМ7, K55ИР16
6	Четырехразрядный сумматор, на входе и выходе сумматора предусмотреть регистры для хранения входных и выходных данных. Предусмотреть логику управления записью информации во входной регистр и результата сложения – в выходной регистр	K555ИМ7, K55ИР16
7	Разработать сумматор последовательных восьмиразрядных операндов, входные сдвиговые регистры должны иметь входы параллельной предварительной записи, выходной последовательный регистр должен иметь линии параллельного вывода считывания информации	K555ИР10, сумматор выполнить на комбинационной логике
8	Четырехразрядный сумматор с параллельным переносом	ИС комбинационной логики выбрать самостоятельно. Обосновать критерии выбора ИС
9	Разработать модуль умножения двух трехразрядных двоичных чисел	ИС комбинационной логики выбрать самостоятельно. Критерий выбора – минимальное количество корпусов в модуле

№	Вариант задания	Компонентная база для обязательного применения
10	Четырехразрядный накапливающий сумматор. Выходы инверсные. Без учета переноса в пятый разряд	K555ИМ6
11	Трехразрядный накапливающий сумматор. Входы инверсные. На выходе модуля предусмотреть схему подключения к магистральной шине	K555ИМ6
12	Пятиразрядный сумматор для выполнения операции вычитания	K555ИМ6, K555ЛН1
13	Универсальный трехразрядный сумматор для выполнения операций сложения и вычитания	K555ИМ6
14	Четырехразрядный сумматор с параллельным переносом	Использовать интегральные схемы комбинационной логики
15	Четырехразрядный вычитатель, выходы инверсные. Результат вычитания сохранять в выходном регистре	Использовать интегральные схемы комбинационной логики
16	Пятиразрядный сумматор с последовательным переносом. Предусмотреть регистры для хранения операндов и суммы	Использовать микросхемы серии ТТЛ
17	Схема универсального пятиразрядного сумматора с инверсными выходами и сигналом разрешения выдачи результата суммирования	Микросхемы выбрать самостоятельно. Основной критерий выбора – минимальная потребляемая мощность
18	Схема универсального четырехразрядного сумматора с инверсными выходами и сигналом разрешения выдачи результата. На выходе шифратор размерностью 4-2	Микросхемы выбрать самостоятельно. Основной критерий выбора – максимальное быстродействие
19	Разработать операционный блок, выполняющий три операции над одноразрядными операндами A и B : конъюнкцию, сложение, инверсию A	Микросхемы выбрать самостоятельно
20	Разработать операционный блок, выполняющий операцию суммирования и вычитания над трехразрядными операндами A и B	Микросхемы выбрать самостоятельно
21	Разработать модуль умножения двух двухразрядных операндов с выходным сумматором-накопителем	Микросхемы выбрать самостоятельно
22	Разработать модуль, выполняющий над четырехразрядными операндами операции суммирования, вычитания, сравнения	Микросхемы выбрать самостоятельно

Для поиска микросхем предлагается в учебных целях использовать справочник «Цифровые интегральные схемы» [9].

Для подготовки функциональных и принципиальных схем используйте программу *Microsoft Visio*.

Содержание отчета

1. Функциональная электрическая схема устройства.
2. Принципиальная электрическая схема устройства в заданном элементном базисе. Если элементный базис не задан, обосновать выбор и критерии выбора микросхем.
3. Таблица истинности или другая информация, необходимая для пояснения работы схемы.

Контрольные вопросы

1. Какой тип сумматора наиболее быстродействующий и почему?
2. Какие недостатки имеет схема сумматора с параллельным переносом?
3. Каким образом определяют время задержки в n -разрядном сумматоре последовательного переноса?
4. Каким достоинством обладает сумматор последовательных операндов?
5. Почему сумматор с параллельным переносом потребляет много энергии при вычислении суммы?

ЛАБОРАТОРНАЯ РАБОТА № 3

Счетчики

Цели работы: изучение счетчиков различного типа, применение счетчиков интегрального исполнения. Приобретение навыков разработки принципиальных электрических схем цифровых модулей с использованием микросхем счетчиков и регистров.

Теоретическая часть

Счетчик – это схема, выполняющая функции подсчета единичных сигналов, поступивших на ее вход, а также функцию запоминания двоичного кода, соответствующего этому количеству входных сигналов. На основе счетчиков создают схемы таймеров, распределителей сигналов, схемы, задающие микропрограмму управления. Основа построения счетчиков – счетные триггеры.

Основные параметры счетчика:

K – коэффициент пересчета, определяющий максимальное число различных внутренних состояний, которые он принимает в процессе подсчета входных сигналов. K – это максимальное число импульсов, которое счетчик способен подсчитать;

$t_{\text{рег}}$ – время регистрации – интервал времени между моментом поступления входного сигнала и окончанием самого длинного переходного процесса установления кода на выходе;

$t_{\text{раз}}$ – разрешающая способность – минимальный доступный период следования входных сигналов, при котором счетчик работает без сбоя.

Время регистрации определяется типом используемых триггеров и организацией межразрядных связей. Разрешающая способность зависит от динамических свойств триггера в младшем разряде счетчика.

Счетчики можно классифицировать *по функциональному признаку* и *по способу записи информации*. По функциональному признаку счетчики делят на двоичные, не кратные 2^n , простые, реверсивные, прямого счета, обратного счета.

По способу записи информации счетчики делят на асинхронные, синхронные, с последовательным переносом, с параллельным переносом. Простейший счетчик – двоичный, построенный на асинхронных

T -триггерах, – показан на рис. 2.19. Двоичный n -разрядный счетчик содержит n T -триггеров. Время регистрации такого счетчика равно nt , где t – время переключения триггера, n – количество триггеров.

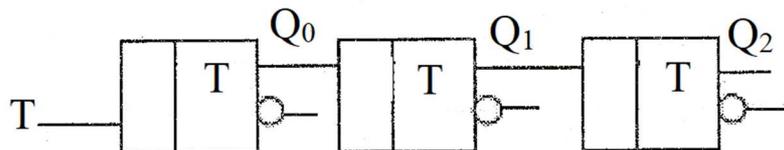


Рис. 2.19. Схема двоичного счетчика на T -триггере [8]

Для превращения счетчика прямого счета в счетчик обратного счета нужно вместо прямых выходов триггеров использовать инверсные. Реверсивный счетчик можно построить, если выходы предыдущего триггера подключить к входу последующего через управляемый мультиплексор 2 в 1, который по управляющему сигналу соединяет триггеры прямыми выходами для сложения и инверсными – для вычитания, как показано на рис. 2.20.

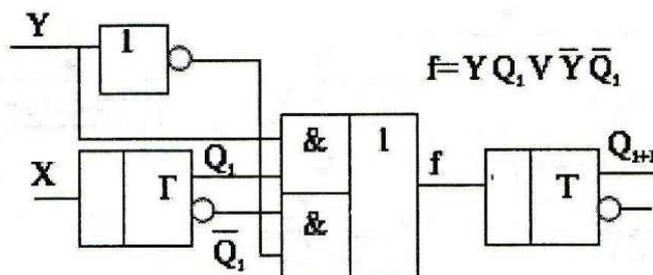


Рис. 2.20. Схема реверсивного счетчика [8]

Быстродействие счетчика можно увеличить за счет сквозного переноса

$$P_i = P_{i-1} Q_{i-1},$$

где P_i – перенос в i -й разряд счетчика, как показано на рис. 2.21.

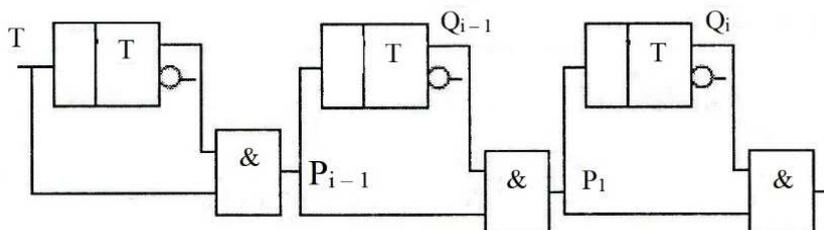


Рис. 2.21. Счетчик со сквозным переносом [8]

В этом случае время регистрации равно $t_t + {}^n t_z$, где t_z – задержка переключения логического элемента И. Наибольшим быстродействием обладают счетчики с параллельным переносом сигнала. В таких счетчиках импульсы на входы триггеров формируются одновременно, начиная со второго, как показано на рис. 2.22.

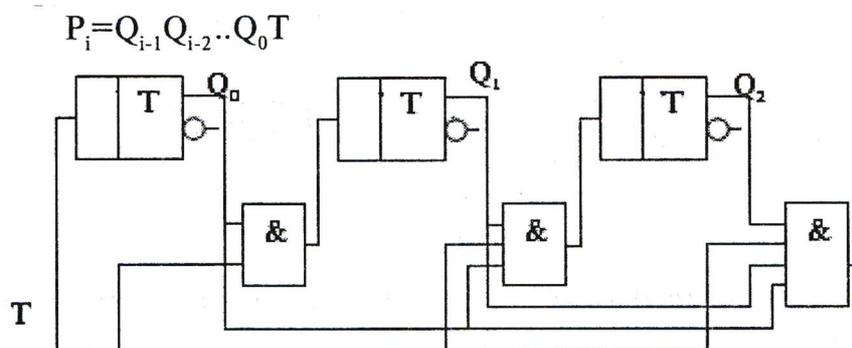


Рис. 2.22. Счетчик с параллельным переносом [8]

В интегральном исполнении выпускают счетчики с различными характеристиками и функциональными возможностями. Часто в качестве дополнительной опции применяют предварительную установку начального значения счетчика, так как не всегда счет надо осуществлять с нулевого значения.

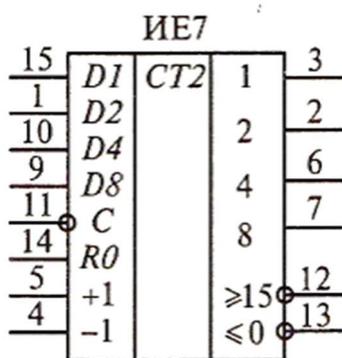


Рис. 2.23. Счетчик в интегральном исполнении серии K555IE7

Кроме этого, для расширения функциональных возможностей в счетчиках интегрального исполнения включают возможность реверсивности счета. В качестве примера на рис. 2.23 показан счетчик K555IE7, у которого есть вход прямого счета +1 и вход обратного счета -1.

Входы $D1, D2, D4, D8$ – входы предварительной установки значения счетчика – работают при активном инверсном сигнале C . Вход $R0$ – вход предварительной установки счетчика в ноль. Входы -1 и $+1$ – входы счета импульсов в обратном и прямом направлениях. Выходы $1, 2, 4, 8$ определяют текущее значение счета. Выходы 15 и 0 – значение переноса при прямом и обратном счете. Диаграмма работы такого счетчика показана на рис. 2.24.

В микросхемах счетчиков часто применяют дополнительные входы условий разрешения работы входов, как и во всех микросхемах функциональных устройств.

Задание на лабораторную работу

№	Вариант задания	База компонентов для решения
1	Разработать модуль счетчика с последовательным переносом кода Грея, с коэффициентом пересчета 10. Выходы счетчика с открытым коллектором. Входы и выходы модуля подключить к разъему	Выбрать самостоятельно, используя серию микросхем К555
2	Разработать модуль счетчика с параллельным переносом, коэффициент пересчета 11. Выходы счетчика с тремя состояниями. Входы и выходы модуля подключить к разъему	Выбрать самостоятельно из микросхем МОП-технологии
3	Разработать модуль счетчика двоичного кода, коэффициент пересчета 60, счетчик должен иметь функцию обнуления (сброса), схему разрешения счета (пуск). Входы и выходы модуля подключить к разъему	К555ИЕ2
4	Разработать модуль счетчика, коэффициент пересчета 60. Обеспечить функции управления модуля: сброс, пуск, остановка – с помощью кнопок управления. Фиксация состояний счетчика при достижении $K = 10, 20, 30, 40, 50, 60$ индикацией светодиодов	Выбрать самостоятельно при условии использования минимального количества корпусов микросхем
5	Разработать модуль счетчика двоичного кода, коэффициент пересчета 20, предусмотреть возможность переключения счетчика на коэффициент пересчета 10, 13, 18. Обеспечить режим принудительного обнуления (сброса)	К555ИЕ2
6	Разработать таймер, считающий секунды, минуты, часы, количество дней в месяце. Входы и выходы модуля подключить к разъему	Выбрать самостоятельно. Критерии выбора обосновать
7	Разработать модуль реверсивного счетчика с коэффициентом пересчета 33, с возможностью предварительной записи начального состояния и режимом принудительного обнуления (сброса)	Выбрать самостоятельно

Продолжение

№	Вариант задания	База компонентов для решения
8	Разработать модуль реверсивного счетчика с коэффициентом пересчета 100. Выходы модуля соединить с разъемом	K555IE6
9	Разработать модуль счетчика обратного отсчета секунд, начальное состояние – 60 с. Предусмотреть возможность принудительной остановки счета. При окончании обратного отсчета включить светодиод	Выбрать самостоятельно. Критерии выбора обосновать
10	Разработать программируемый таймер с максимальным коэффициентом пересчета 60 с, предусмотреть возможность индикации текущего состояния с помощью сегментного светодиодного индикатора	Выбрать самостоятельно. Критерии выбора обосновать
11	Разработать сторожевой таймер на базе счетчика с коэффициентом пересчета 50. На счете 50 устройство должно вырабатывать сигнал <i>Reset</i> . Таймер должен иметь вход сброса счета, чтобы сигнал <i>Reset</i> не вырабатывался	K55IE10
12	Разработать модуль счетчика с коэффициентом пересчета 35	Выбрать самостоятельно. Критерии выбора обосновать
13	Разработать модуль счетчика счета каждого десятого периода тактового сигнала с коэффициентом пересчета 50	Выбрать самостоятельно. Критерии выбора обосновать
14	Разработать реверсивный счетчик с коэффициентом пересчета 30, выходы счетчика соединить с приоритетным шифратором, выходы шифратора соединить с разъемом	Выбрать самостоятельно
15	Разработать секундомер с коэффициентом пересчета 1 мин. Режимы: старт, стоп, сброс	Выбрать самостоятельно
16	Разработать модуль обратного отсчета с коэффициентом пересчета 10, светодиодная индикация отсчета, отсчет в секундах	Выбрать самостоятельно
17	Разработать светодиодную гирлянду для елки. Три светодиодные линии по пять светодиодов. Переключение линий светодиодов через секунду	Выбрать самостоятельно
18	Разработать счетчик с управляемым коэффициентом пересчета 7, 12, 20, выходы счетчика отправить в разъем	Выбрать самостоятельно

№	Вариант задания	База компонентов для решения
19	Реверсивный счетчик с коэффициентом пересчета 21, кнопка изменения направления счета в модуле	Выбрать самостоятельно. Критерии выбора обосновать
20	Разработать часы, считающие секунды, минуты, часы	Выбрать самостоятельно
21	Разработать елочную гирлянду «бегущие огни» на светодиодах	Выбрать самостоятельно
22	Разработать модуль, включающий два параллельных счетчика с коэффициентом пересчета 8, выходы которых соединены с входом цифрового компаратора	K555IE2

Для поиска микросхем предлагается в учебных целях использовать справочник «Цифровые интегральные схемы» [9].

Для подготовки функциональных и принципиальных схем используйте программу *Microsoft Visio*.

Содержание отчета

1. Функциональная электрическая схема устройства.
2. Принципиальная электрическая схема устройства. Если элементный базис не задан, обосновать выбор и критерии выбора.
3. Проверка выбранной интегральной базы на совместимость.
4. Таблица истинности, временная диаграмма или иная информация, необходимая для пояснения работы схемы.

Контрольные вопросы

1. Какой способ организации счетчика позволяет достичь максимального быстродействия? Объясните на примере.
2. Какой способ организации счетчика позволяет создавать схемы с минимальной потребляемой мощностью?
3. Чем синхронные счетчики отличаются от асинхронных?
4. Как организуется схема кольцевого счетчика?
5. В чем заключается принцип параллельного переноса в счетчиках?
6. Как классифицируют счетчики?
7. Зачем применяется предварительная очистка или установка текущего значения в счетчиках?

ЛАБОРАТОРНАЯ РАБОТА № 4

Модули памяти

Цели работы: изучение способов организации статической памяти. Изучение интегральных схем памяти: параметров; управляющих сигналов; правил подключения; способов расширения разрядности; временных диаграмм работы. Приобретение навыков разработки принципиальных электрических схем с использованием микросхем памяти при заданной схеме организации памяти.

Теоретическая часть

Элементы полупроводниковой памяти – важнейшие элементы в схемотехнике цифровых устройств, которые постоянно совершенствуются по технологии, схемотехнике, способам организации. В настоящее время известны различные типы интегральных схем памяти.

Важнейшие параметры элементов памяти находятся в противоречии. Стремление к максимальной информационной емкости не сочетается с достижением по максимально высокому быстродействию при чтении и записи. Параметр быстродействия находится в противоречии со стоимостью. Поэтому системам памяти свойственна многоступенчатая иерархическая структура, на каждом уровне которой применяется определенный способ организации. В иерархии памяти выделяют ее следующие виды:

- *регистровая память*, находящаяся в процессоре;
- *кэш-память* как промежуточная память между оперативной и регистровой, недоступная для пользователя;
- *оперативная память* – основная память для хранения исполняемого кода программы и данных; на сегодняшний день самая медленная, но это динамическая память;
- *специализированные виды памяти* – многопортовые, ассоциативные, видеопамять, *FIFO*, *LIFO*, круговые буферы.

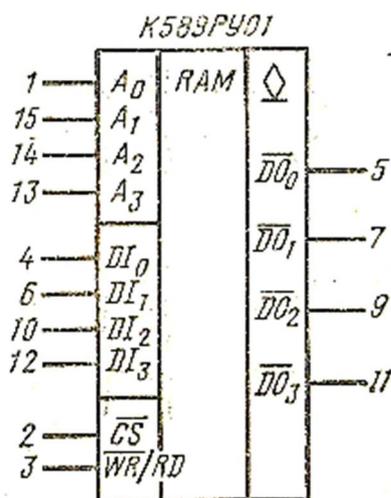
Параметры элементов памяти:

- *информационная емкость* – максимально возможный объем хранимой информации в битах или словах;
- *разрядность*;
- *организация памяти*;

- *быстродействие* – оценивается временной длительностью цикла считывания, записи;
- *время считывания* – интервал времени между моментом установки сигнала чтения и появлением слова на выходе памяти;
- *время записи* – интервал времени между моментом установки сигнала записи и адреса и моментом фиксации ячеек памяти заданного состояния;
- *цикл чтения* или *записи* – минимально допустимый интервал времени между повторными операциями чтения и записи;
- *производительность* – способность записать или прочитать определенное количество слов или бит в секунду.

Перечисленные параметры являются эксплуатационными, но существуют еще режимные параметры, обеспечение которых необходимо для нормального функционирования памяти, так как появление входных сигналов должно соответствовать определенной временной диаграмме или протоколу.

Для этих сигналов важна длительность и ограничение по взаимному положению во времени. Для примера рассмотрим простейшую микросхему К589РУ01 – это статическая память на 64 бита, 16 слов на 4 разряда. На рис. 2.26 показаны условное обозначение микросхемы и таблица назначения выводов, а на рис. 2.27 представлена временная диаграмма работы данной микросхемы в режимах хранения, считывания, записи.



а)

Выводы	Назначение	Обозначение
1, 13, 14, 15	Адресные входы	A_0, A_3, A_2, A_1
4, 6, 10, 12	Входы данных	$DI_0 - DI_3$
5, 7, 9, 11	Выходы данных	$\overline{DO}_0 - \overline{DO}_3$
2	Выбор микросхемы	\overline{CS}
3	Сигнал записи — считывания	\overline{WR}/RD
16	Напряжение питания	U_{CC}
8	Общий	0 В

б)

Рис. 2.26. Функциональное изображение: а – микросхемы памяти; б – таблицы назначения пинов [12]

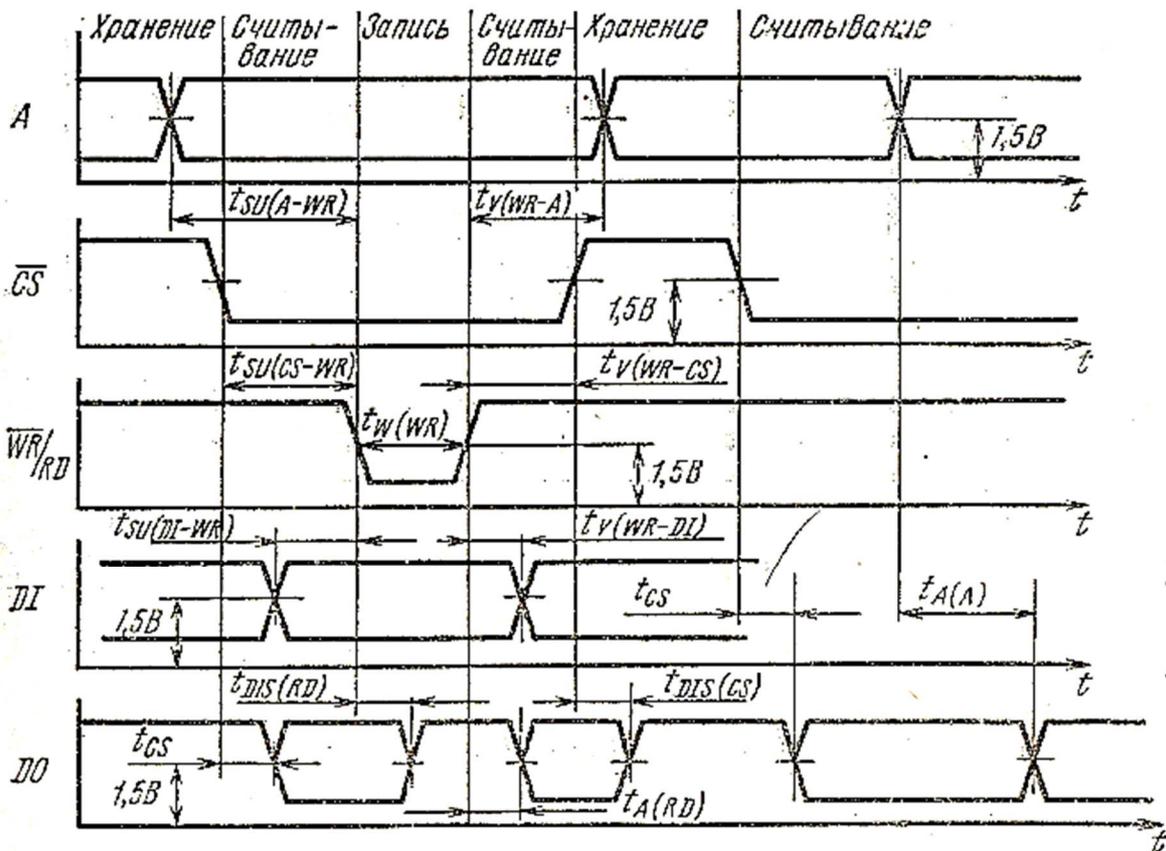


Рис. 2.27. Временная диаграмма режимов работы K589PY01 [12]

Временная диаграмма иллюстрирует режимные параметры при выполнении микросхемой конкретных операций: хранения, считывания, записи.

Далее кратко рассмотрим специальные типы организации памяти на базе микросхем статической памяти, а также задачу построения статической памяти заданной емкости. Статическая память, основой построения которой является триггер, – это самый быстродействующий вид памяти. На основе статической памяти разрабатывают специализированные устройства, которые называют буферами памяти *FIFO* (первый пришел – первый вышел), *LIFO* (последний пришел – первый вышел) – стековая память, кэш-память.

Организация памяти 2D

Структурная схема памяти 2D представлена на рис. 2.28. На схеме выделяются три основных элемента: однокоординатная матрица ячеек (ЗЭ) памяти; классический дешифратор (DC) и блок усилителей

считывания и записи (УЗС). Строки ячеек матрицы памяти образуют слова разрядностью m . Количество слов (k) в матрице определяется размерностью дешифратора. Емкость такой памяти определяется произведением k на m .

Адрес, устанавливаемый на входе дешифратора, активирует один из выходов дешифратора, являющийся линией выборки m разрядного слова. Установленные сигналы CS и R/W разрешают работать блоку усилителей в режиме чтения или записи.

Если установлен режим чтения R , то выбранное по адресу слово перемещается на выход блока считывания для дальнейшего использования. Если установлен режим записи W , то код, подаваемый на вход блока усилителей, записывается в указанный адрес. Входы УЗС используются в двунаправленном режиме передачи информации.

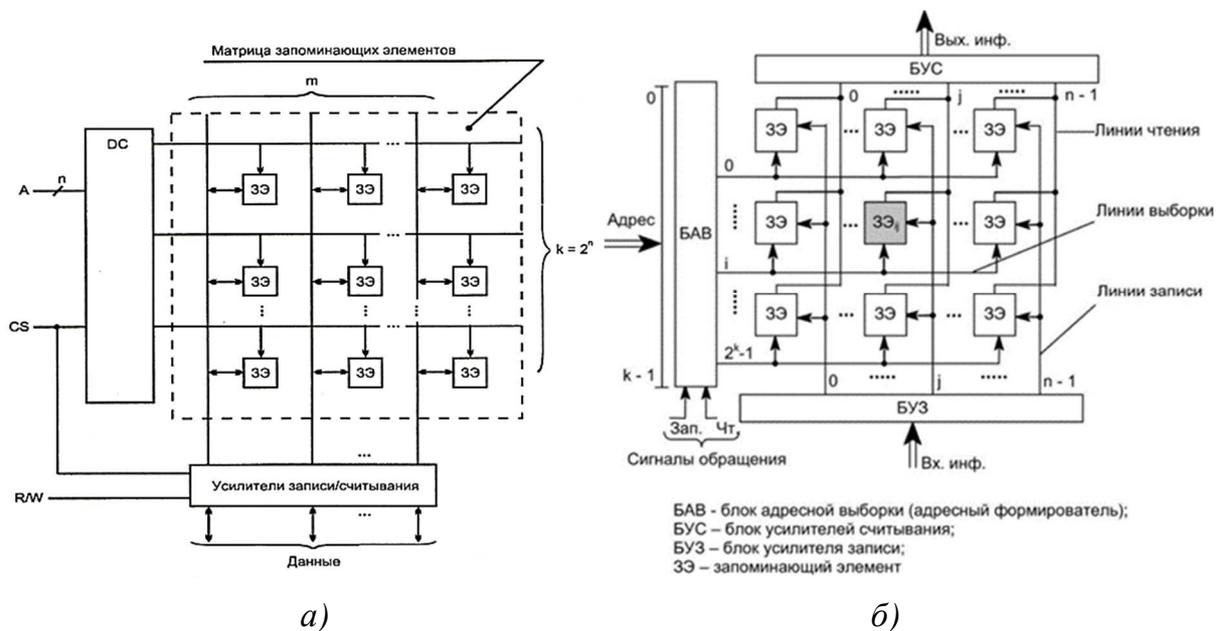


Рис. 2.28. Изображение: а – структурной схемы организации памяти 2D с универсальными входами – выходами; б – памяти 2D с разнесенными входами – выходами [10]

Такой способ организации памяти применяется редко, так как имеет следующие недостатки:

- сложный дешифратор при увеличении емкости памяти; для хранения 1 тысячи слов необходим дешифратор с 1024 выходами;
- матрица ячеек памяти не квадратная, и при большой емкости она приобретает вид полосы, что приводит к появлению паразитных емкостей.

Организация памяти 3D

Используется принцип двухкоординатной выборки ячейки. Применяется в памяти с многоразрядной или слойной организацией ячеек памяти. На рис. 2.29 показана структурная схема памяти 3D. Каждый слой (матрица) памяти представляет собой координатную сетку, в узлы которой встраивается ячейка памяти.

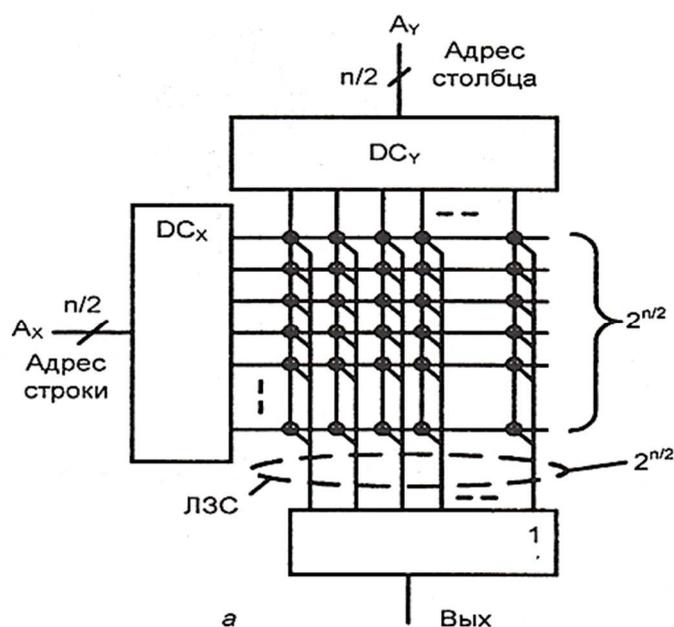


Рис. 2.29. Структурная схема организации памяти 3D [10]

Выборка адреса производится активацией горизонтальной и вертикальной линий выборки в матрице ячеек памяти. Поскольку для каждого слоя матриц ячеек линии выборки запараллеливаются, то выбирается слово разрядностью m , где m – это количество слоев, или матриц, ячеек памяти. Выборкой управляют два отдельных дешифратора.

При этом адрес на их входы может подаваться двумя способами. Первый способ – это разбиение входного адреса на две части: на адрес столбца и адрес строки. Второй способ заключается в мультиплексировании передачи адреса. Сначала передается и фиксируется в регистре адрес строки, а затем, во втором такте, передается по тем же адресным линиям адрес столбца.

Именно по такой схеме реализуются банки динамической оперативной памяти *DRAM* (*DDR4 – DDR5*) и видеопамяти *GDDR*. Емкость такой памяти можно существенно увеличивать за счет изменения размерности дешифраторов адреса.

Организация памяти 2DM

Структурная схема памяти 2DM представлена на рис. 2.30, в. Эта организация памяти взяла от памяти 2DM линейную организацию матрицы памяти и способ дешифрации адреса с помощью одного дешифратора. Но матрица ячеек при этом разбивается на группы, представляющие матрицы слов одной разрядности.

При выполнении адресации часть разрядов адреса используется для выборки строки ($A_{n-1} \dots A_k$), а оставшаяся часть разрядов ($A_{k-1} \dots A_0$) применяется для выборки слова из активированной строки памяти.

При увеличении размерности матрицы 2DM значительно увеличивается общее число столбцов и строк матрицы, как показано на рис. 2.30, а. Поэтому для уменьшения энергопотребления матрицы памяти применяют технологическое решение, когда общая матрица разбивается на отдельные блоки, или WL-драйверы, как показано на рис. 2.30, б.

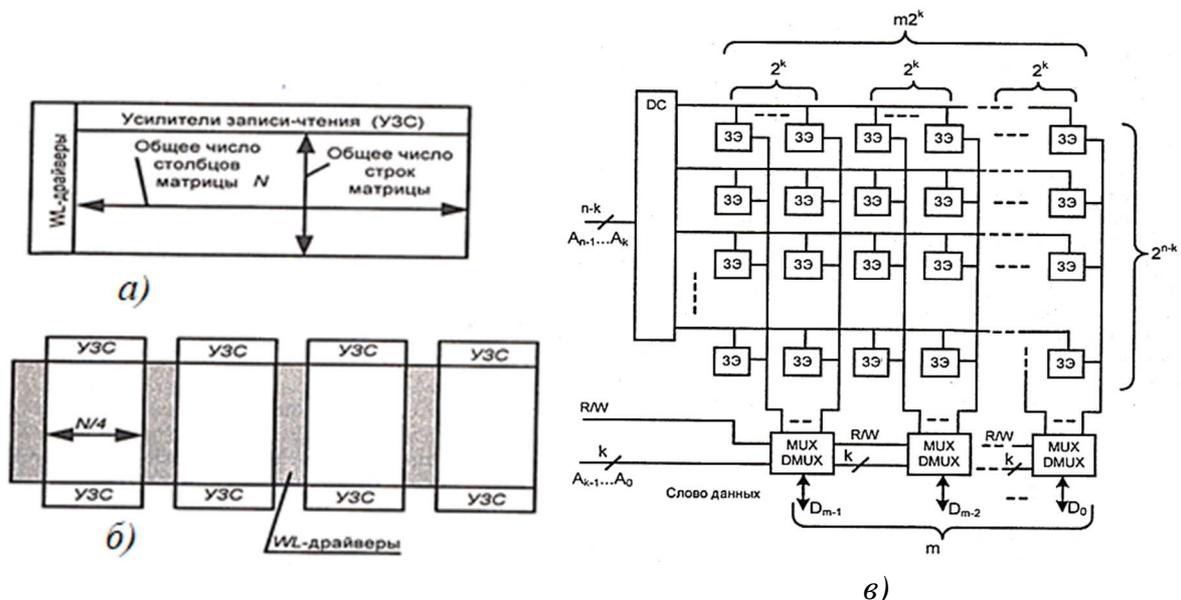


Рис. 2.30. Изображение: а, б – разбиения матрицы памяти на банки; в – структурной схемы организации памяти 2DM [10]

Для выборки слова применяют мультиплексоры, управляемые сигналом признака операции R . То же самое происходит при выполнении операции записи, но при этом используют входные демультиплексоры.

Буфер FIFO

Память, называемая **буфером FIFO**, предназначена для хранения очередей данных с порядком выборки слов таким же, что и порядок их записи. Основное ее назначение – это согласование работы устройств, работающих с разной скоростью. Моменты записи слова в буфер и считывания из него задаются внешними сигналами управления, не зависящими друг от друга. Это значит, что запись и считывание из устройства можно производить с разной скоростью или частотой. Пример структурной схемы буфера FIFO показан на рис. 2.31.

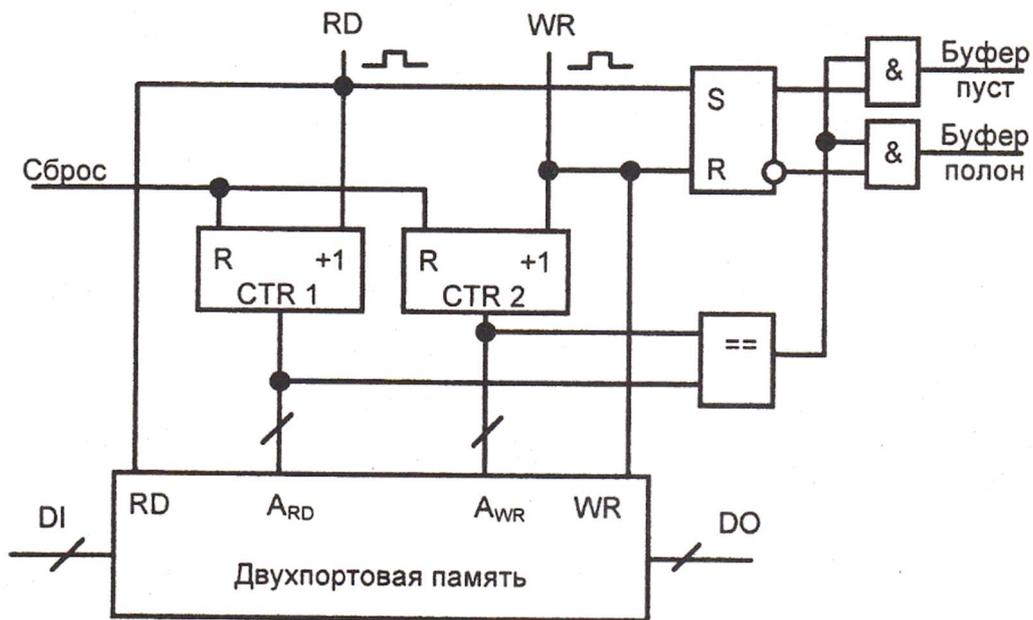


Рис. 2.31. Структурная схема буфера FIFO [10]

Основные элементы схемы – двухпортовая память и схема логики управления режимами: чтением (RD); записью (WR) на счетчиках – $CTR1$, $CTR2$ и RS -триггере. Перед началом работы оба счетчика адресов – $CTR1$ и $CTR2$ – сбрасываются сигналом «Сброс». При записи данных адреса увеличиваются на единицу при каждом обращении к модулю.

То же происходит при чтении слов, так что адрес чтения всегда пытается догнать адрес записи. Если адреса сравниваются при записи, то вырабатывается сигнал «Буфер полон». Если адреса сравниваются при чтении, то вырабатывается индикатор «Буфер пуст». Соответственно,

сигнал «Буфер пуст» прекращает процедуру чтения, а сигнал «Буфер полон» – процедуру записи.

Если сигналы управления чтением RD и записью WR подавать на входы схемы с разной частотой, то устройство будет работать с разным темпом входа и выхода данных. Буфера $FIFO$ выпускает корпорация IDT в виде микросхем, например $IDT7201$. Для разработки схем $FIFO$ характерны задачи по наращиванию разрядности (рис. 2.32) и по увеличению информационной емкости (рис. 2.33). Особенность схем $FIFO$ – отсутствие внешних шин для задания адреса данных.

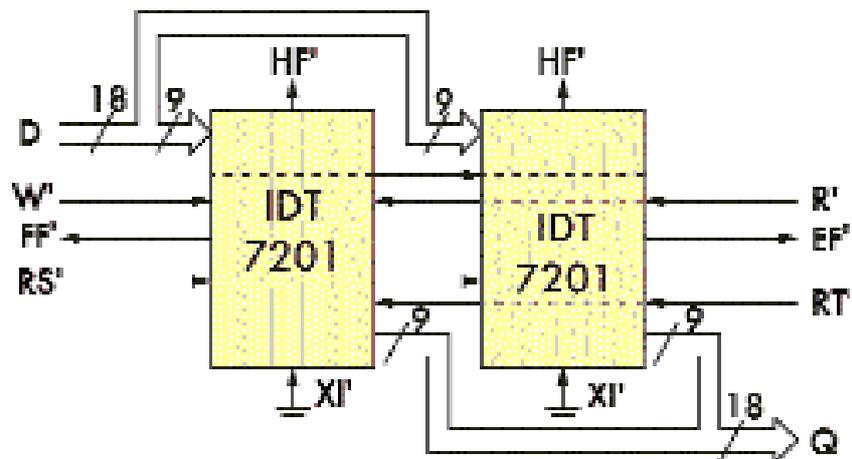


Рис. 2.32. Пример наращивания разрядности схемы $FIFO$ [8]

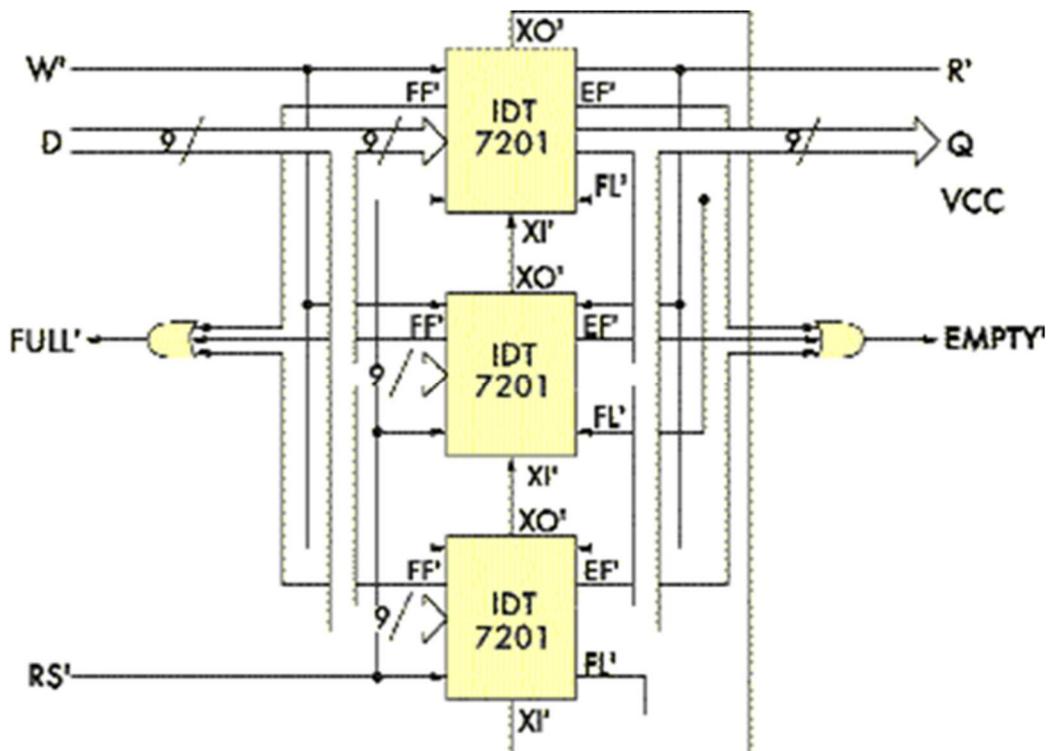


Рис. 2.33. Пример увеличения информационной емкости схемы $FIFO$ [8]

Буфер LIFO

Буфер LIFO – это устройство, предназначенное для хранения очереди данных с порядком считывания, обратным порядку записи. Буфер LIFO также называют стековой памятью и применяют для временного хранения текущих состояний регистров компьютера при обработке прерываний.

Пример структурной схемы буфера LIFO приведен на рис. 2.34. Для управления стековой памятью применяется один реверсивный счетчик. Соответственно, сигнал «Буфер полон» вырабатывается, если на выходе счетчика будут все выходы в состоянии единицы; сигнал «Буфер пуст» вырабатывается, если все выходы счетчика будут находиться в состоянии нуля.

Эти сигналы разрешают или запрещают работу схемы на запись или чтение данных. Адреса слов при обращении к стеку формируются в реверсивном счетчике. При записи адрес увеличивается, а при чтении – уменьшается на единицу. Чтение будет производиться по адресу, который находится в счетчике, а запись – по соседнему большему. Состояние счетчика указывает вершину стека.

При создании битового стека можно использовать схемы реверсивных регистров.

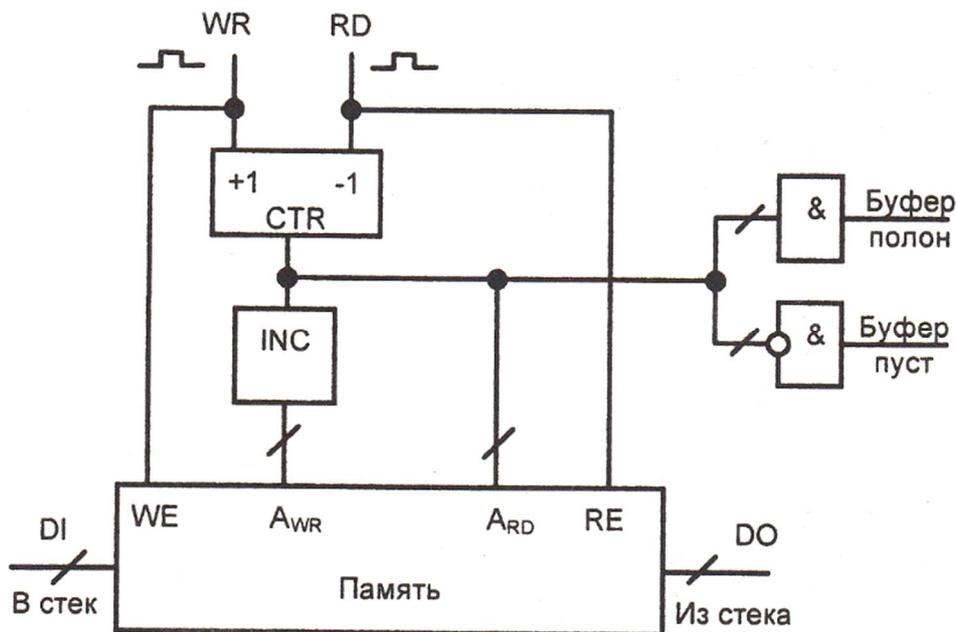


Рис. 2.34. Структурная схема буфера LIFO [10]

Банковая организация памяти

Один из способов повышения быстродействия работы памяти – банковая, или блочная, ее организация. Рассмотрим пример блочной памяти на 512 слов (2^9), построенной из четырех банков по 128 слов в каждом.

Типовая структура памяти, организованной в соответствии с блочной структурой, показана на рис. 2.35. Адресное пространство памяти разбито на группы последовательных адресов, и каждая такая группа обеспечивается отдельным банком памяти.

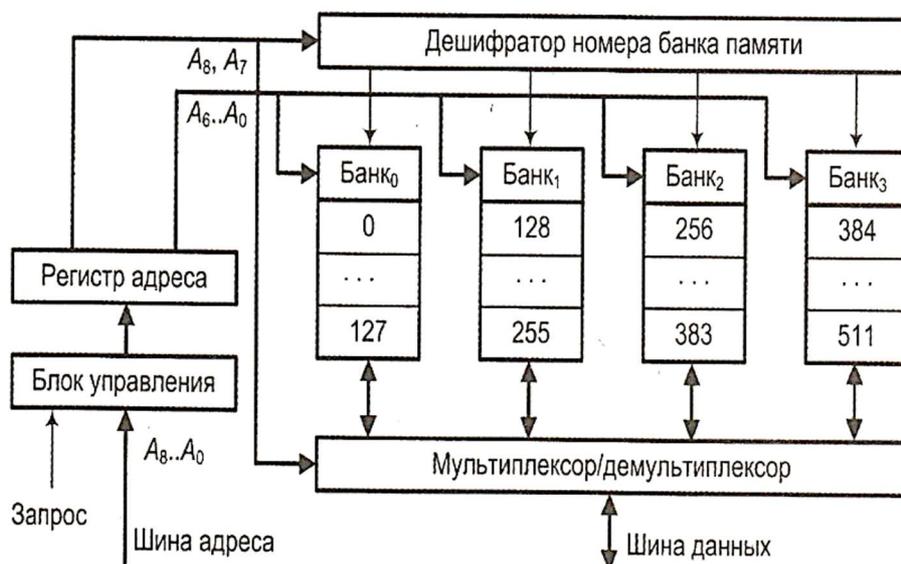


Рис. 2.35. Банковая структура памяти [10]

Для обращения к памяти используется девятиразрядный адрес, семь младших разрядов которого ($A_6 - A_0$) поступают параллельно на все банки памяти и выбирают в каждом из них одну ячейку. Два старших бита адреса (A_8, A_7) содержат номер банка. Выбор банка обеспечивается дешифратором номера банка либо мультиплексированием информации.

Помимо податливости к наращиванию емкости блочное построение памяти обладает возможностью сокращения времени доступа к памяти. Это возможно благодаря потенциальному параллелизму, присущему блочной организации. Большой скорости доступа можно достичь за счет одновременного доступа ко всем банкам памяти. Это называется расслоением памяти (рис. 2.36). В основе расслоения памяти лежит изменение системы распределения адресов между банками памяти.

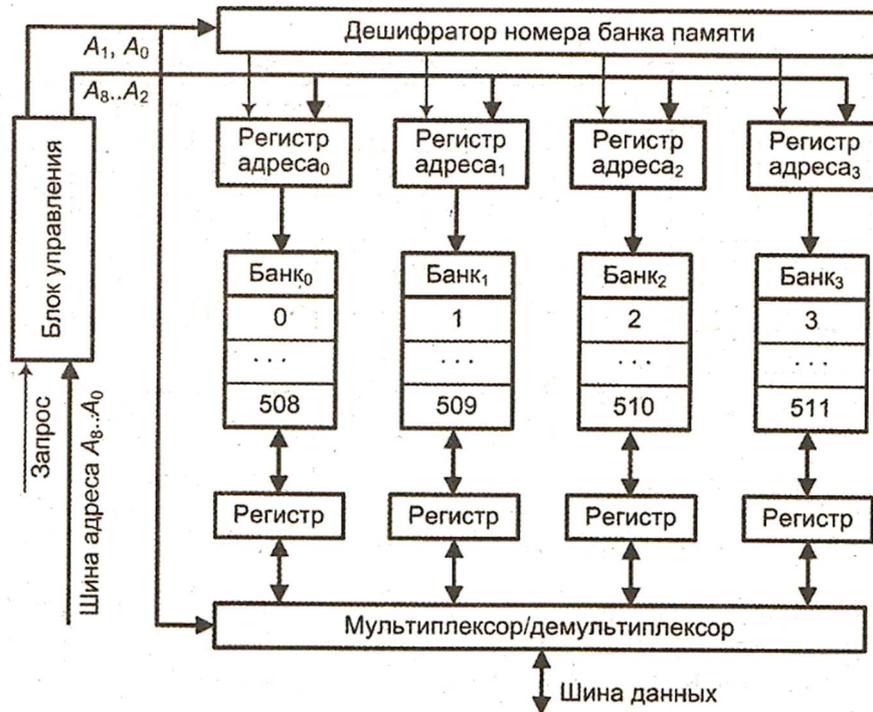


Рис. 2.36. Банковая структура памяти с использованием принципа расслоения [10]

Чередование адресов основано на свойстве локальности по обращению, согласно которому последовательный доступ в память обычно производится к ячейкам, имеющим смежные адреса. Например, если в данный момент времени выполняется обращение к ячейке с адресом 5, то следующее обращение, вероятнее всего, будет к ячейке с адресом 6.

Чередование адресов обеспечивается за счет циклического разбиения адреса. В нашем примере на рис. 2.36 для выбора банка используются младшие разряды (A_1, A_0), а для выбора ячейки в банке – старшие разряды ($A_8 - A_2$).

Поскольку в каждом такте на шине адреса может присутствовать адрес только одной ячейки, параллельное обращение к банкам невозможно, однако оно может быть организовано со сдвигом на один такт. Адрес ячейки запоминается в индивидуальном регистре адреса, и дальнейшие операции по доступу к ячейке в каждом банке протекают независимо. При большом количестве банков среднее время доступа сокращается в n раз, где n – количество банков.

При этом должно соблюдаться следующее условие: ячейки, к которым производится обращение, должны относиться к разным банкам.

Если запросы к одному и тому же банку следуют друг за другом, каждый следующий запрос должен ожидать завершения обслуживания предыдущего.

Многопортовая память

В многоядерных микропроцессорных системах часто реализуется схема, когда оперативная память используется одновременно несколькими или всеми процессорными ядрами. На рис. 2.37 показан пример структурной схемы двухпортовой памяти. Два процессора ЦП «Л» и ЦП «П» обладают одинаковыми интерфейсами для работы с общей матрицей памяти по протоколам чтения и записи.

Недостаток такой схемы – возможный конфликт, который возникает при одновременном обращении двух процессоров по одному адресу. Для разрешения такой конфликтной ситуации в схему встроен блок логического управления, реализующий процедуру арбитража и систему приоритетов обращения к памяти.

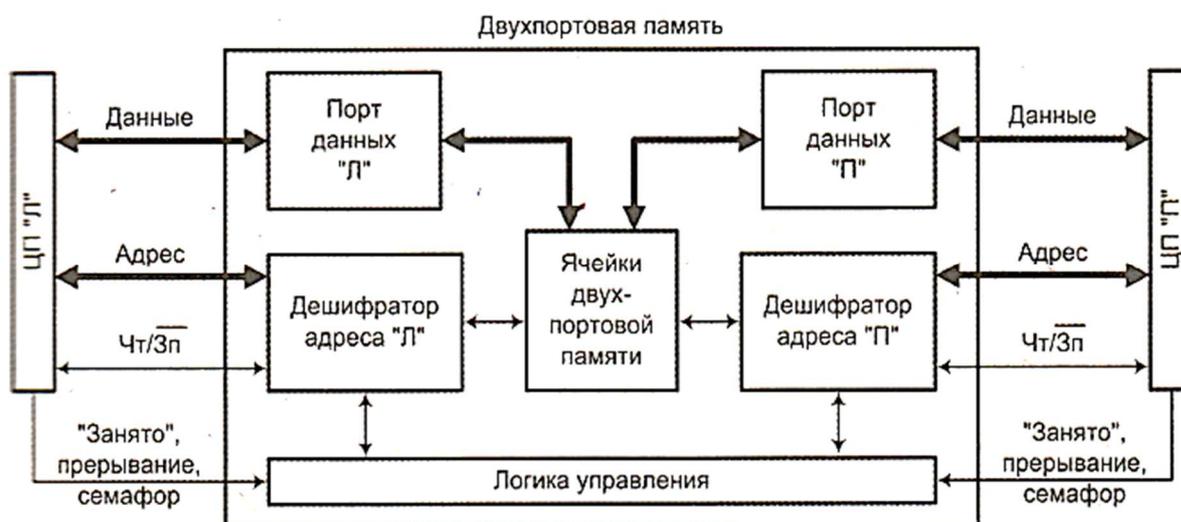


Рис. 2.37. Структурная схема многопортовой памяти [10]

Циклическая память

Иногда ее называют круговой памятью, схема ее работы показана на рис. 2.38. Это безадресная память. Применяется она при решении задач цифровой обработки сигналов, обеспечивая задержку данных на время реализации алгоритмов цифровой обработки.

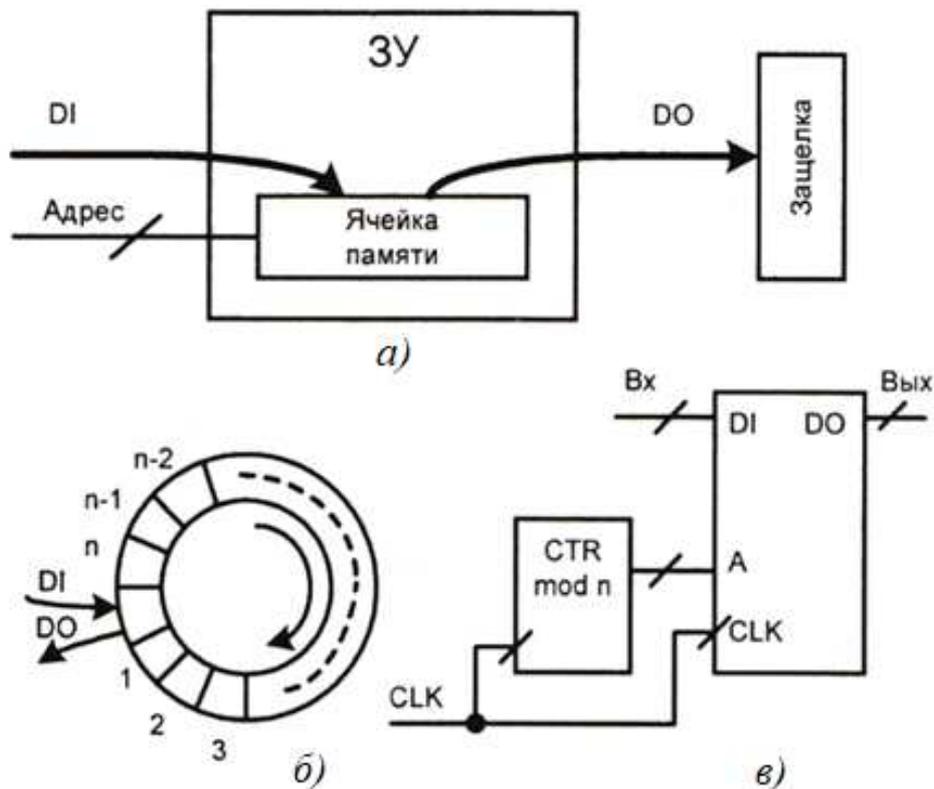


Рис. 2.38. Схема работы циклической памяти [10]

Нахождение данных в памяти обеспечивается только на время, необходимое для обслуживания алгоритма обработки. Циклическая память работает по следующему принципу: сначала происходит выгрузка данных из памяти после обработки, и одновременно в освободившейся ячейке начинается запись данных.

Циклическая память применяется в микропроцессорах цифровой обработки сигналов *DSP*.

Увеличение разрядности памяти

Один из способов увеличения емкости памяти – увеличение разрядности памяти. Это возможно, если разрядность микросхемы памяти меньше разрядности обрабатываемых слов или шины данных компьютера. Увеличение разрядности памяти реализуется за счет объединения адресных входов используемых однотипных микросхем.

Такое устройство называют модулем памяти. А несколько модулей называют банком памяти. Пример увеличения разрядности показан на рис. 2.39. При использовании многопортовой памяти *IDT7201* схема увеличения разрядности выглядит, как показано на рис. 2.40.

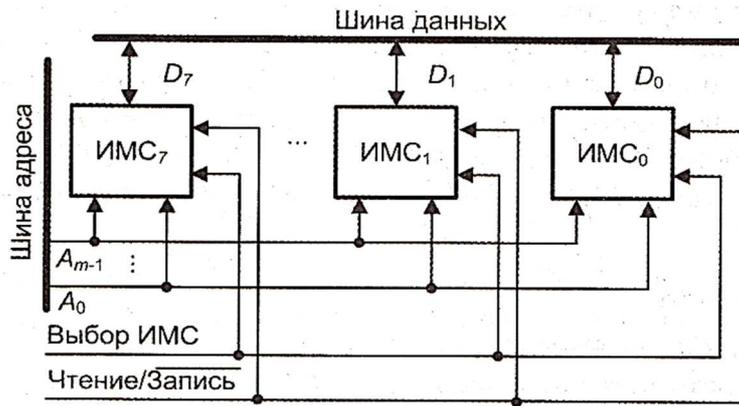


Рис. 2.39. Пример увеличения разрядности памяти [10]

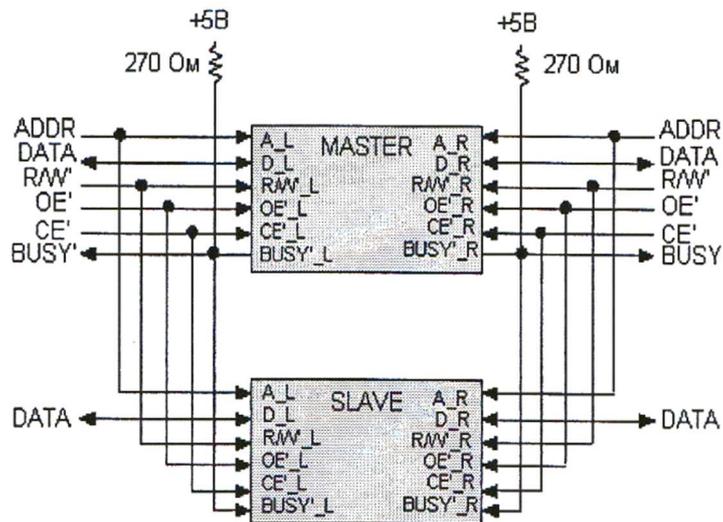


Рис. 2.40. Пример увеличения разрядности многопортовой памяти на микросхемах IDT7201 [8]

Задание на лабораторную работу

№	Вариант задания	База для решения	Дополнительно
1	Разработать модуль статической памяти 256 слов на 32 разряда = 8192 бит	K185PY7	Указать последовательность установки сигналов в режиме хранения, записи и чтения
2	Разработать модуль статической памяти 1024 слов на 16 разрядов = 16 384 бит	Выбрать самостоятельно	Указать последовательность установки сигналов в режиме хранения, записи и чтения

Продолжение

№	Вариант задания	База для решения	Дополнительно
3	Разработать модуль статической памяти 900 слов на 16 разрядов = 14 400 бит	K1500PY474	Указать последовательность установки сигналов в режиме хранения, записи и чтения
4	Разработать модуль статической памяти объемом 16 384 слова на 3 разряда	KP1500PY480A	Указать последовательность установки сигналов в режиме хранения, записи и чтения
5	Разработать модуль четырехбанковой статической битовой памяти с дешифрацией номера банка и мультиплексором вывода данных	K537PY4A	Указать последовательность установки сигналов в режиме хранения, записи и чтения
6	Разработать модуль статической памяти объемом 1024 слова на 5 разрядов = 5120 бит	Выбрать самостоятельно. Критерии выбора – максимальное быстродействие	Указать последовательность установки сигналов в режиме хранения, записи и чтения
7	Разработать модуль трехбанковой четырехбитовой памяти с дешифратором номера банка и четырехразрядным мультиплексором вывода данных	K185PY7	Указать последовательность установки сигналов в режиме хранения, записи и чтения
8	Разработать модуль статической памяти объемом 65 536 слов на 4 разряда = 262 144 бит	K132PY10A	Указать последовательность установки сигналов в режиме хранения, записи и чтения
9	Разработать модуль статической памяти объемом 1024 слова на 64 разряда	K1809PY1	Указать последовательность установки сигналов в режиме хранения, записи и чтения
10	Разработать модуль статической памяти объемом 2048 слов на 15 разрядов	KP537PY10	Указать последовательность установки сигналов в режиме хранения, записи и чтения

Продолжение

№	Вариант задания	База для решения	Дополнительно
11	Разработать модуль буфера <i>LIFO</i> емкостью 256 слов на 4 бита	КМ185РУ7	Указать последовательность установки сигналов в режиме хранения, записи и чтения
12	Разработать модуль буфера <i>LIFO</i> емкостью 256 слов на 16 разрядов	К1809РУ1Б	Указать последовательность установки сигналов в режиме хранения, записи и чтения
13	Разработать модуль буфера <i>FIFO</i> емкостью 16 слов на 4 разряда	Выбрать Самостоятельно. Критерии выбора обосновать	Указать последовательность установки сигналов в режиме хранения, записи и чтения
14	Разработать схему управления буфером <i>FIFO</i> емкостью 64 слова на 8 разрядов	Выбрать самостоятельно. Критерии выбора обосновать	Указать последовательность установки сигналов в режиме хранения, записи и чтения
15	Разработать модуль видеопамати размерностью 50 на 100 пикселей, каждый пиксель – 8 разрядов. Предусмотреть внутренний адресный счетчик кадров. Код пикселя поступает в разъем вместе с сигналом начала кадра	Выбрать самостоятельно	Разработать алгоритм работы модуля
16	Разработать модуль циклической памяти на сто ячеек. Разрядность ячейки – 16 бит	Выбрать самостоятельно	Алгоритм работы модуля
17	Разработать модуль двухвходовой битовой памяти на 1024 бита	Выбрать самостоятельно	Алгоритм работы модуля
18	Выход цифровой камеры выдает с частой 10 кГц 32-разрядный код. Код надо накопить в буферной памяти. И при наполнении дать команду его выгрузки в другую память	Выбрать самостоятельно	Алгоритм работы модуля

Окончание

№	Вариант задания	База для решения	Дополнительно
19	Разработать двухбанковую статическую битовую память на 2048 бит	Выбрать самостоятельно	Алгоритм работы модуля
20	Разработать восьмиразрядный регистровый файл емкостью 64 байта	Выбрать самостоятельно	Алгоритм работы модуля

Для подготовки функциональных и принципиальных схем используйте программу *Microsoft Visio*.

Содержание отчета

1. Функциональная электрическая схема устройства.
2. Принципиальная электрическая схема устройства в заданном элементном базисе.
3. Проверить выбранную интегральную базу на совместимость по уровню питания и логических сигналов.
4. Таблица истинности, временная диаграмма или иная информация, необходимая для пояснения работы схемы.

Контрольные вопросы

1. В каких видах организации памяти отсутствует внешняя адресация?
2. Что является основой статической памяти?
3. Какие параметры статической памяти являются основными?
4. Чем организация памяти *2D* отличается от организации памяти *3D*?
5. В чем заключается особенность организации памяти в виде циклического буфера?

ЛАБОРАТОРНАЯ РАБОТА № 5

Исследование параметров базового логического элемента ТТЛ

Цель работы: освоение методики моделирования базового логического элемента и определение его параметров с помощью программы схемотехнического моделирования *MicroCap8*.

Пояснения к работе

Существует множество схемных решений базовых логических элементов транзисторно-транзисторной логики (ТТЛ), которые являются основой для построения серийных микросхем. Многообразие схемных решений логических элементов позволяет достичь определенной комбинации доминирующих внешних параметров микросхемы: быстродействия, помехоустойчивости, экономичности, нагрузочной способности, коэффициента объединения по входу и других показателей. Например, на рис. 2.41 показан базовый логический элемент ТТЛ для серии микросхем К155.

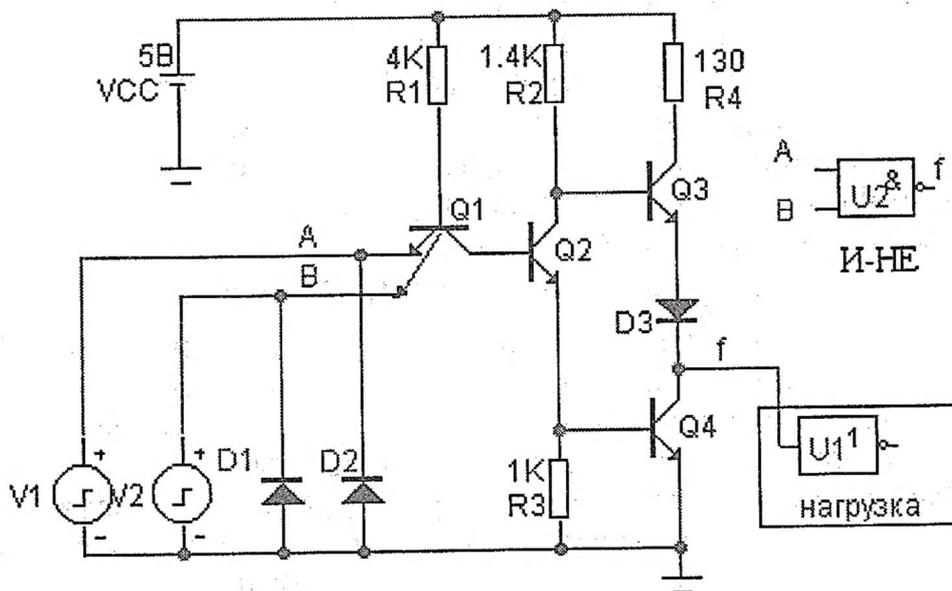


Рис. 2.41. Базовый логический элемент серии К155

Схема содержит два основных каскада: входной на многоэмиттерном транзисторе $Q1$, реализующем функцию И; инверторный каскад, выполняющий функцию НЕ, на транзисторе $Q2$, $Q3$ и $Q4$. Рассмотрим, как работает данная схема.

При одновременной подаче на все входы транзистора $Q1$ сигнала высокого уровня напряжения переходы база – эмиттер закрыты, так как потенциал базы ниже, чем на эмиттерах. У коллектора транзистора $Q1$ потенциал при этом ниже, чем на базе, и ток базы входного транзистора $Q1$ течет через резистор $R1$, его открытый переход база – коллектор в базу транзистора $Q2$ и базу транзистора $Q4$, открывая их.

Потенциал коллектора открытого транзистора $Q2$ недостаточен, чтобы превысить необходимый порог для открытия транзистора $Q3$. Поэтому на выходе f напряжение равно напряжению открытого транзистора $Q4$, близкого к 0 В. Без диода $D3$ потенциал для запираания транзистора $Q3$ был бы недостаточен.

Если хотя бы на один из входов многоэмиттерного транзистора $Q1$ подано напряжение низкого уровня, ток через $R1$ течет на землю. При этом понижается потенциал базы до уровня открытого перехода база – эмиттер (примерно 0,7 В). Это напряжение ниже потенциала открытия транзистора $Q2$. Транзистор $Q2$ закрыт, и напряжение на его коллекторе близко к напряжению источника питания, поэтому транзистор $Q3$ открывается, а транзистор $Q4$ закрывается. На выходе устанавливается напряжение, равное разности напряжения питания и падения напряжения на $R4$, падения напряжения на переходе коллектор – эмиттер $Q3$, падения напряжения на диоде $D3$ (примерно 3,5 В). Диоды $D1$, $D2$ предназначены для ограничения амплитуды импульсов напряжения помехи.

Для логического элемента различают статические и динамические характеристики и параметры. Примеры статических и динамических параметров для микросхем серии К155 приведены на рис. 2.42.

Параметр	Мин.	Тип.	Мах.	Параметр
$U_{вх}^1$, В	2			$I_{вых}^0$, МА
$U_{вх}^0$, В			0.8	m
$U_{вых}^1$, В				n
(при $U_{и.п.} = 4.5В$)	2.4	3.5		$t_{зд.р.}^{10}$, НС
$U_{вых}^0$, В				
(при $U_{и.п.} = 4.5В$)		0.4		$t_{зд.р.}^{01}$, НС
$I_{вх}^0$, МА		-1.6		
$I_{вх}^1$, мКА		40		$t_{зд.р.ср.}$, НС

Рис. 2.42. Параметры логических элементов микросхем К155

Статические параметры можно получить из входной и передаточной характеристик. Входная характеристика – это зависимость входного тока от приложенного входного напряжения. Данная характеристика позволяет определить входные токи, а следовательно, и условия согласованной работы с источником сигнала. Пример входной характеристики показан на рис. 2.43.

Передаточная характеристика представляет собой зависимость напряжения на выходе базового логического элемента от напряжения на его входе. Входную характеристику можно получить, замкнув все входы, кроме одного, на шину питания через токоограничивающий резистор и подав на оставшиеся напряжение, меняя его от нуля до напряжения питания. Можно построить зависимость выходного тока от изменения входного напряжения или зависимость выходного напряжения от изменения напряжения на входе. Пример передаточной характеристики показан на рис. 2.44.

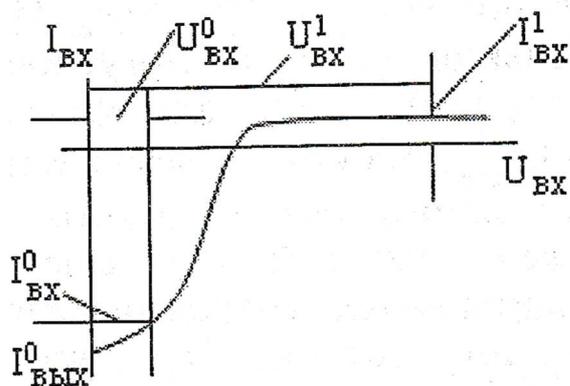


Рис. 2.43. Входная характеристика логического элемента

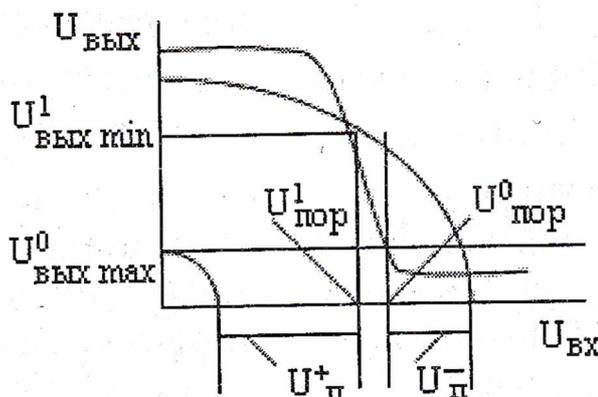


Рис. 2.44. Передаточная характеристика логического элемента

По передаточной характеристике определяются такие параметры, как помехоустойчивость, т. е. значения сигналов помехи, способные переключить логический элемент в противоположное состояние, области переключения и пороги переключения.

Динамические параметры логических элементов определяют его быстродействие через время задержки информации, проходящей через

логический элемент. Процесс изменения напряжения от низкого уровня к высокому называется положительным фронтом, а от высокого к низкому – отрицательным. Длительность фронтов определяется временем нарастания (спада) выходного сигнала между его значениями от 0,1 до 0,9 (0,9 до 0,1) от максимального значения выходного сигнала. Это показано на рис. 2.45.

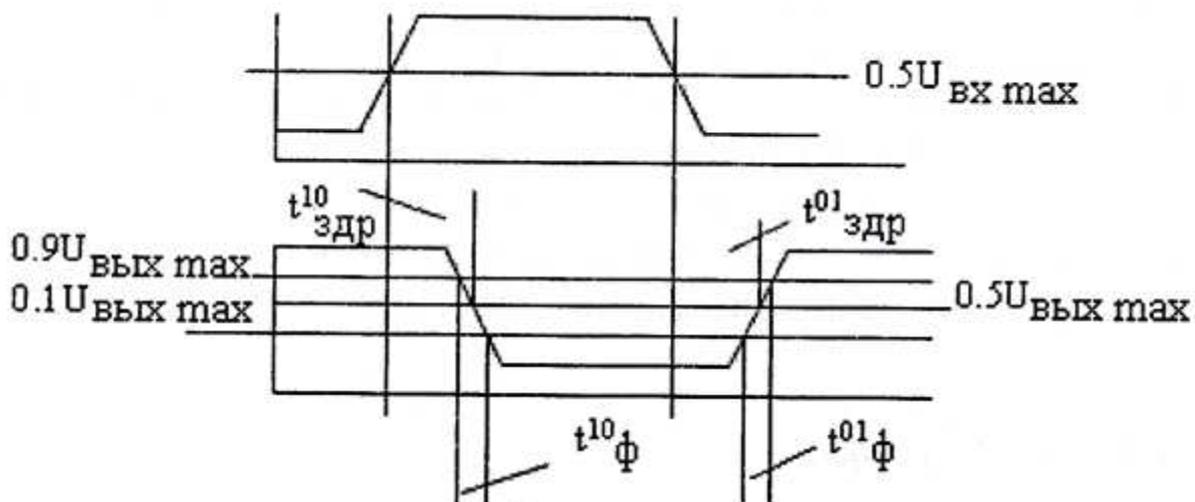


Рис. 2.45. Зависимость между входным и выходным сигналом инвертора

Параметр $t_{здр}^{10}$ определяет время задержки переключения выходного сигнала из состояния «единица» в состояние «ноль». Параметр $t_{здр}^{01}$ определяет время задержки переключения выходного сигнала из состояния «ноль» в состояние «единица». Эти задержки обычно не равны друг другу. Поэтому для оценки задержки переключения обычно пользуются параметром, называемым средним временем задержки. Этот параметр равен полусумме $t_{здр}^{10}$ и $t_{здр}^{01}$.

Общая задержка цепочки одноступенчатых логических элементов равна задержке одного элемента, умноженной на число элементов цепочки.

Теоретическая часть

Работа в среде MicroCap

Согласно заданию разрабатываем модель принципиальной электрической схемы в среде *MicroCap*, при этом заменяя модели многоэмиттерных транзисторов на связки из нескольких транзисторов и объединяя их эмиттеры и базы согласно рис. 2.46.

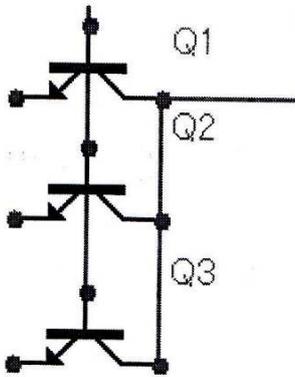


Рис. 2.46. Многоэмиттерный транзистор



Рис. 2.47. Меню выбора компонента

При добавлении элемента на схему необходимо указывать его модель. Это действие выполняется в окне свойств компонента. При добавлении компонента на схему модель будет отображаться по умолчанию. В лабораторной работе № 5 возможно использование любых моделей электрических компонентов. Рассмотрим выбор модели на примере. Из меню выбора компонента, показанного на рис. 2.47, выбираем нужный компонент – *NPN*-транзистор.

При добавлении компонента на схему открывается меню свойств компонента (рис. 2.48). Выбираем модель компонента «*NPN*-транзистор».

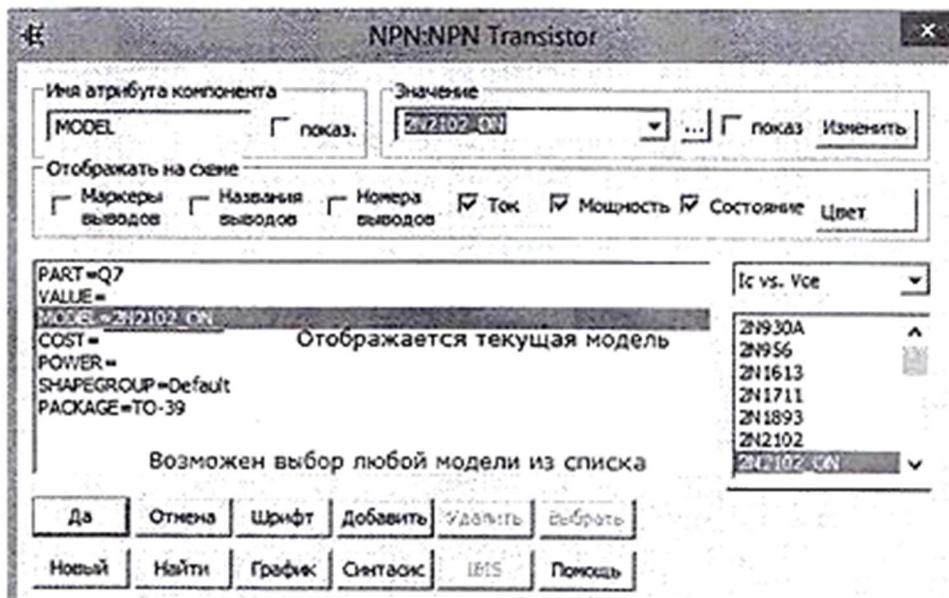


Рис. 2.48. Меню выбора модели транзистора

После размещения и предварительной установки номиналов электрической нагрузки необходимо выполнить приближения выходных уровней выходных сигналов к логическому нулю или логической единице. В ТТЛ эти уровни соответственно составляют: уровень нуля – не более 0,4 В, уровень единицы – не менее 2,4 В. Изменения выходного сигнала можно добиться путем изменения номиналов резисторов, включенных в схему.

Выполнение сборки схемы

В качестве опорного источника питания следует рассматривать источник ЭДС номиналом 5 В (рис. 2.49).

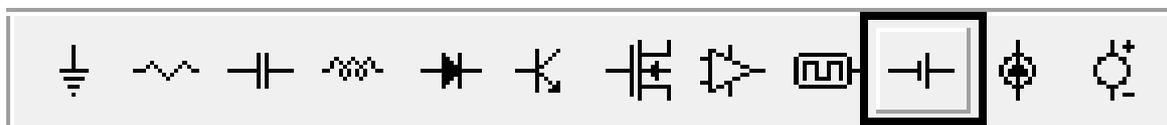


Рис. 2.49. Меню источников питания

Устанавливаем параметры статического источника ЭДС (*Battery*) рис. 2.50.

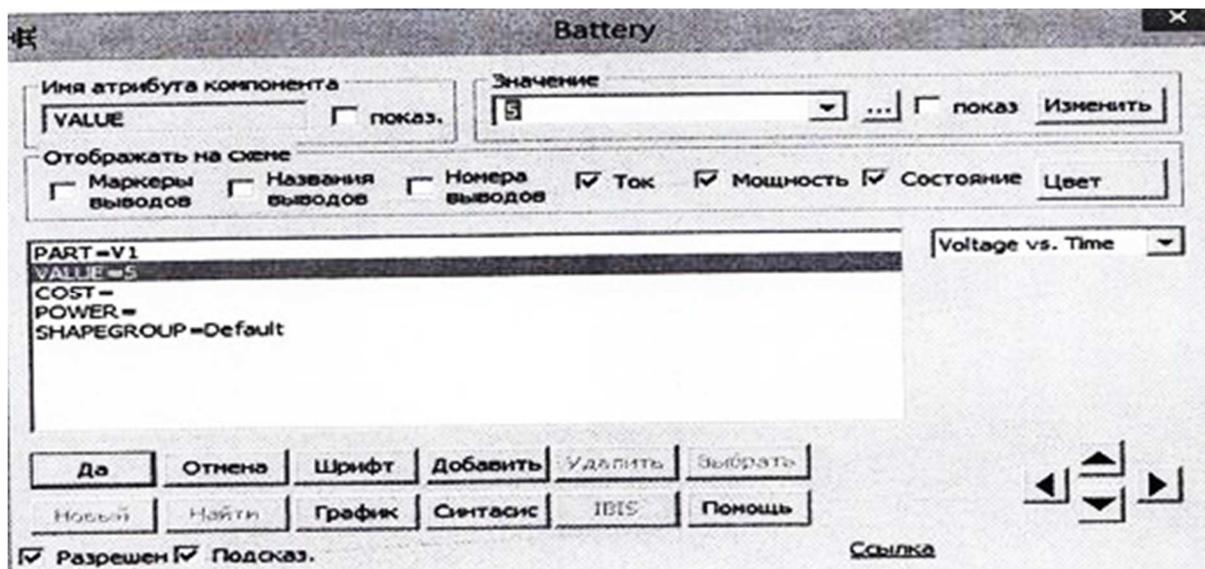


Рис. 2.50. Меню выбора параметров источника питания

В качестве нагрузки будем использовать компонент «Логический пробник» (рис. 2.51).

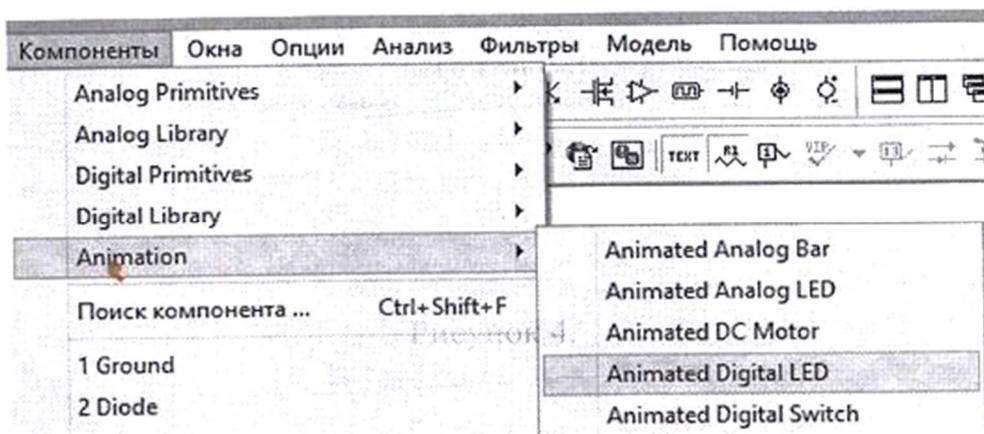


Рис. 2.51. Меню выбора нагрузки

В качестве задающего источника во время предварительной установки номиналов можно использовать компонент «Цифровой переключатель» (*Animated Digital Switch*) или резистор, подключенный к постоянному источнику ЭДС.

В данном случае в качестве задающего источника будет использован цифровой переключатель. Вывод переключателя подключаем к одному из эмиттеров. К открытым (незадействованным) эмиттерам подключаем диоды, а аноды диодов объединяем и подключаем на землю (*Ground*).

Для выполнения последующих видов анализа необходимо создать текстовую подпись проводника выхода. Для этого выполняем двойной щелчок ЛКМ по соответствующему проводнику и добавляем текстовую подпись (рис. 2.52).

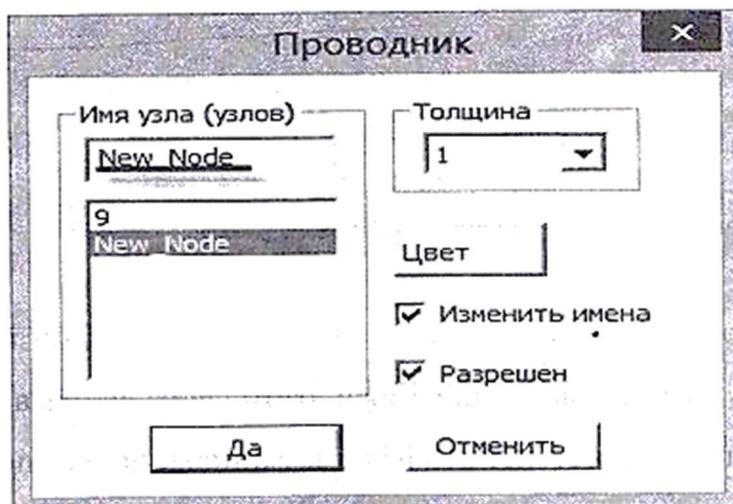


Рис. 2.52. Меню проводника

Вводим имя узла и подтверждаем ввод, нажав кнопку «Да». После установки текстовых подписей узлов схема готова к анализу характеристик.

Общий вид схемы, подготовленной к анализу уровней выходного сигнала, показан на рис. 2.53.

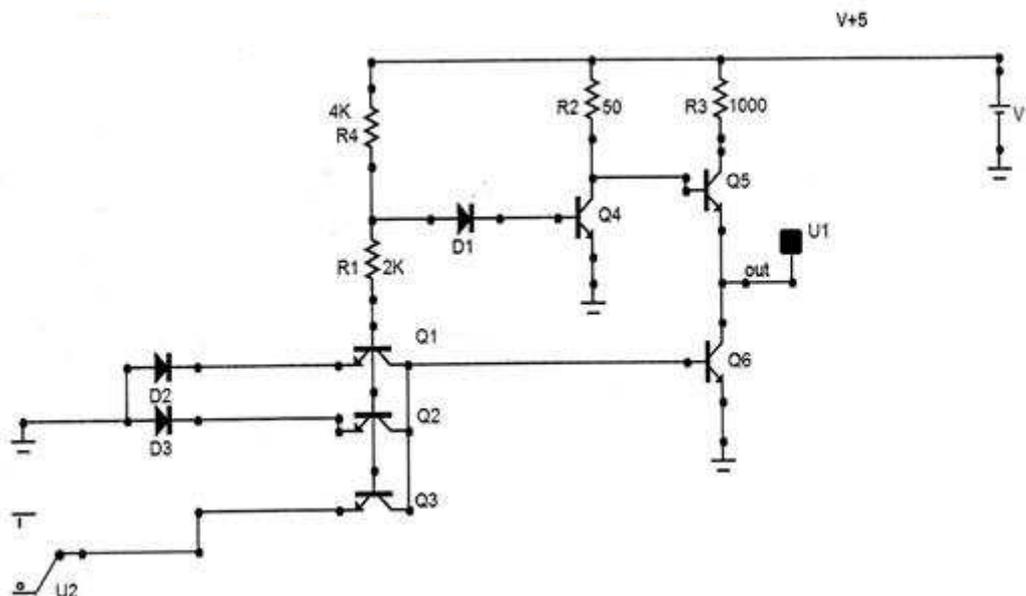


Рис. 2.53. Общий вид схемы

Для просмотра текущих статических параметров цепи, в том числе уровня выходного сигнала в зависимости от внешнего воздействия, необходимо выполнить динамический анализ по постоянному току. Для этого переходим в меню «Анализ» → «Динамический анализ по постоянному току» (*Dynamic DC*) (рис. 2.54).

Анализ	Фильтры	Модель	Помощь
Анализ переходных процессов (Transient)...			Alt+1
Частотный анализ (AC)...			Alt+2
Анализ по постоянному току (DC)...			Alt+3
Динамический анализ по постоянному току (Dynamic DC)...			Alt+4
Динамический частотный анализ (Dynamic AC)...			Alt+5
Анализ чувствительности (Sensitivity)...			Alt+6
Анализ передаточных характеристик (Transfer Function)...			Alt+7
Анализ искажений (Distortion)...			Alt+8
Исследование переходных процессов в Probe...			Ctrl+Alt+1
Исследование частотных характеристик в Probe...			Ctrl+Alt+2
Исследование характеристик по постоянному току в Probe			Ctrl+Alt+3

Рис. 2.54. Меню видов анализа схемы

После установки внешней температуры будут отображены текущие значения токов и напряжений (рис. 2.55).

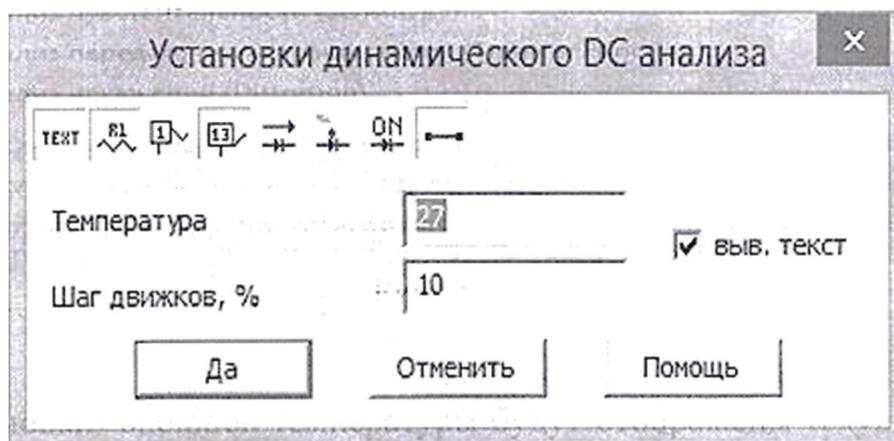


Рис. 2.55. Установка параметров динамического анализа

Устанавливаем схему в состояние логической единицы. Для этого подаем на все выходы эмиттеров уровень логического нуля (рис. 2.56).

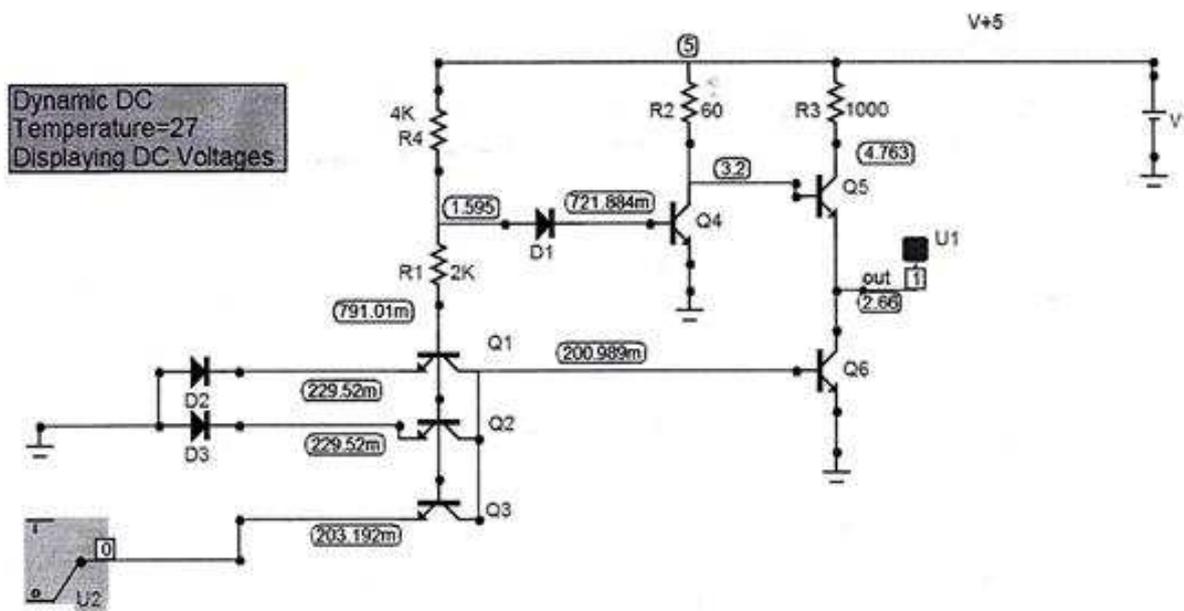


Рис. 2.56. Задание значений входных сигналов

Устанавливаем схему в состояние логического нуля. Для этого подаем на один из эмиттеров уровень логической единицы (рис. 2.57).

Делаем выводы о соответствии выходного напряжения стандартам ТТЛ и заявленной логике работы схемы согласно индивидуальному заданию.

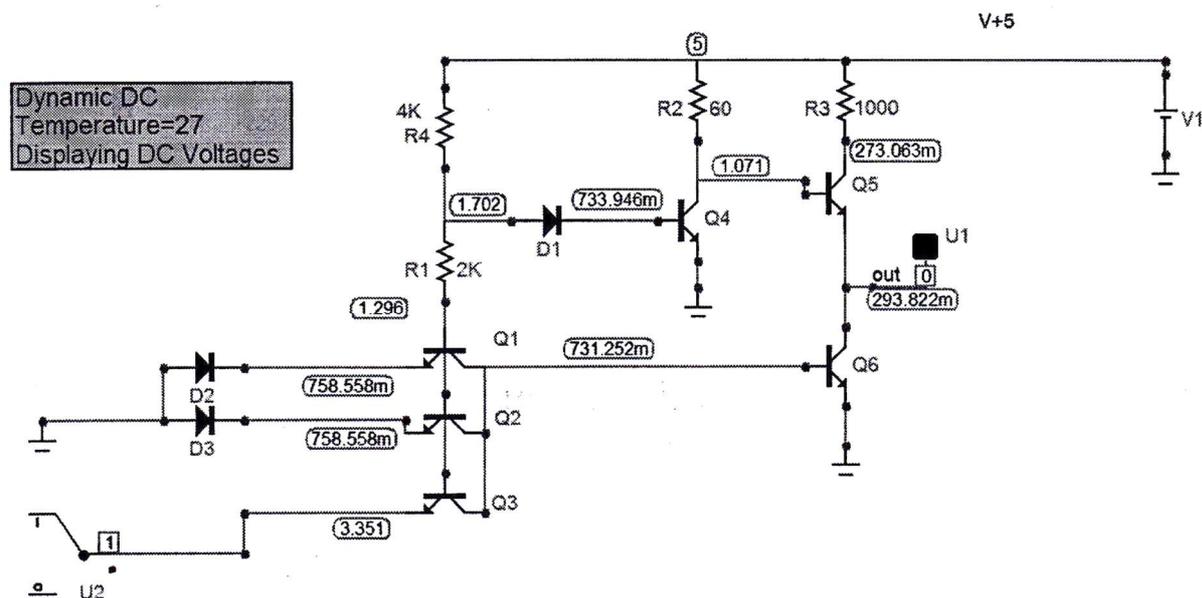


Рис. 2.57. Изменение входного сигнала

После проверки соответствия статических характеристик логике работы и стандартам ТТЛ необходимо выполнить расчет статических параметров схемы на основании трех видов анализа.

Входная характеристика строится на основании зависимости входного тока ($I_{вх}$) от входного напряжения ($U_{вх}$) $I_{вх} = f(U_{вх})$.

Передаточная характеристика строится на основании зависимости выходного напряжения ($U_{вых}$) от входного напряжения ($U_{вх}$) $U_{вых} = f(U_{вх})$.

Переходная характеристика строится на временной оси и отражает зависимость выходного сигнала от единичного воздействия входного.

Для осуществления этих видов анализа необходимо изменить схему, заменив компонент «Цифровой переключатель» на источник напряжения. Для этого выбираем соответствующий элемент на панели компонентов (рис. 2.58).



Рис. 2.58. Меню панели компонентов

После выбора компонента будет открыто диалоговое окно установки модели источника напряжения. Устанавливаем режим генерации меандра *Square*.

После добавления источника напряжения на схему и подключения соответствующего вывода источника «плюс» к коллектору, а «минус» – на землю схема примет вид, показанный на рис. 2.59.

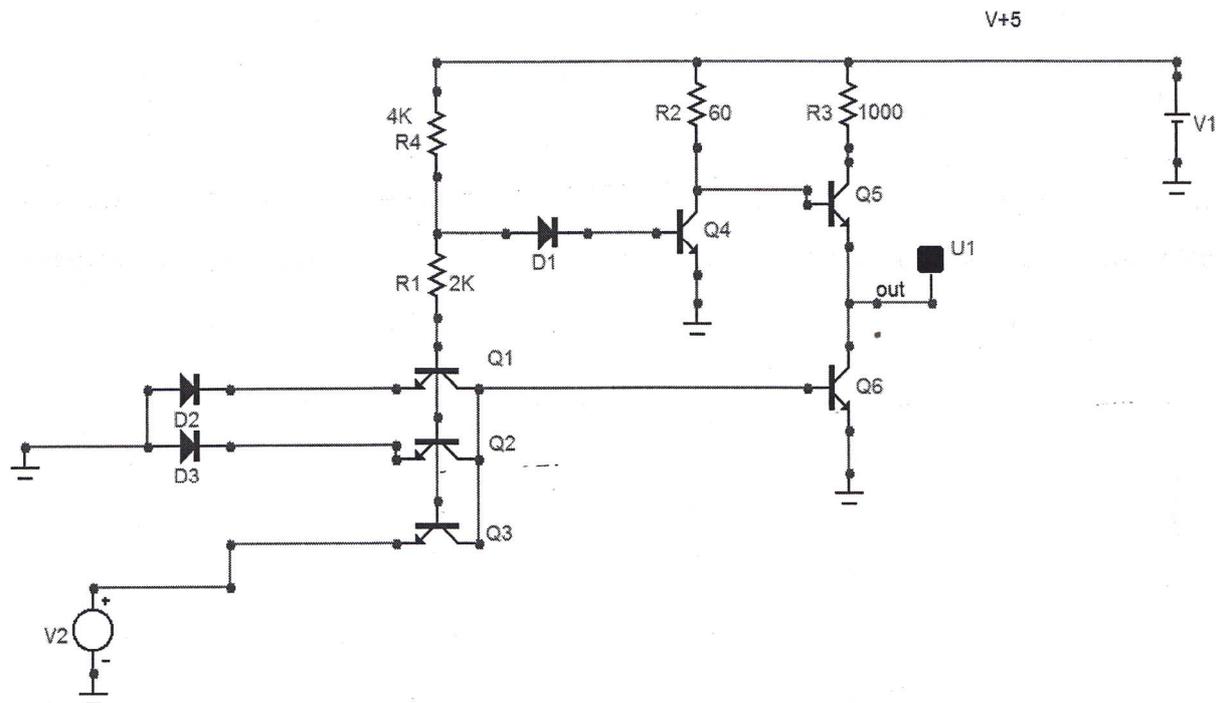


Рис. 2.59. Добавление в схему источника напряжения

Для получения входной и передаточной характеристик необходимо воспользоваться меню «Анализ по постоянному току (DC)» (рис. 2.60).

Анализ	Фильтры	Модель	Помощь
Анализ переходных процессов (Transient)...			Alt+1
Частотный анализ (AC)...			Alt+2
Анализ по постоянному току (DC)...			Alt+3
Динамический анализ по постоянному току (Dynamic DC)...			Alt+4
Динамический частотный анализ (Dynamic AC)...			Alt+5
Анализ чувствительности (Sensitivity)...			Alt+6
Анализ передаточных характеристик (Transfer Function)...			Alt+7
Анализ искажений (Distortion)...			Alt+8
Исследование переходных процессов в Probe...			Ctrl+Alt+1
Исследование частотных характеристик в Probe...			Ctrl+Alt+2
Исследование характеристик по постоянному току в Probe			Ctrl+Alt+3

Рис. 2.60. Меню выбора типа анализа

При выборе соответствующего пункта в меню «Анализ» будет отображено диалоговое окно задания параметров анализа. Для получения входной характеристики необходимо задать следующие параметры (рис. 2.61).

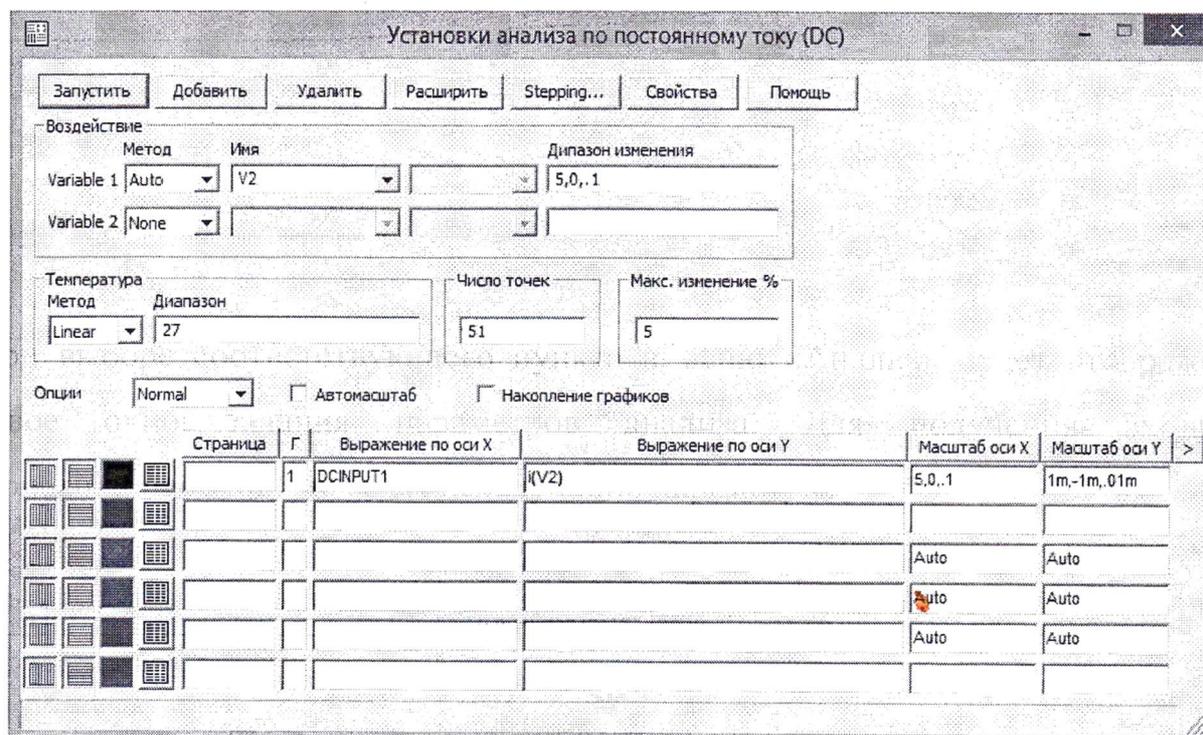


Рис. 2.61. Меню параметров анализа

На рисунке $V2$ – источник напряжения, подключенный к коллектору. Диапазон изменения задается в формате [[Максимальное значение], [Минимальное значение [Шаг]]].

Выражение по оси Y – $i(V2)$ означает, что в качестве значений, отложенных по оси Y , будут значения входного тока. Поскольку значения токов малы и составляют единицы или десятки миллиампер, используем внутреннее обозначение системы *MicroCap* дольной единицы m , соответствующей приставке «милли».

При завершении установки параметров схемы получаем график зависимости входного тока от входного напряжения (рим. 2.62), где ось X – входное напряжение; ось Y – входной ток.

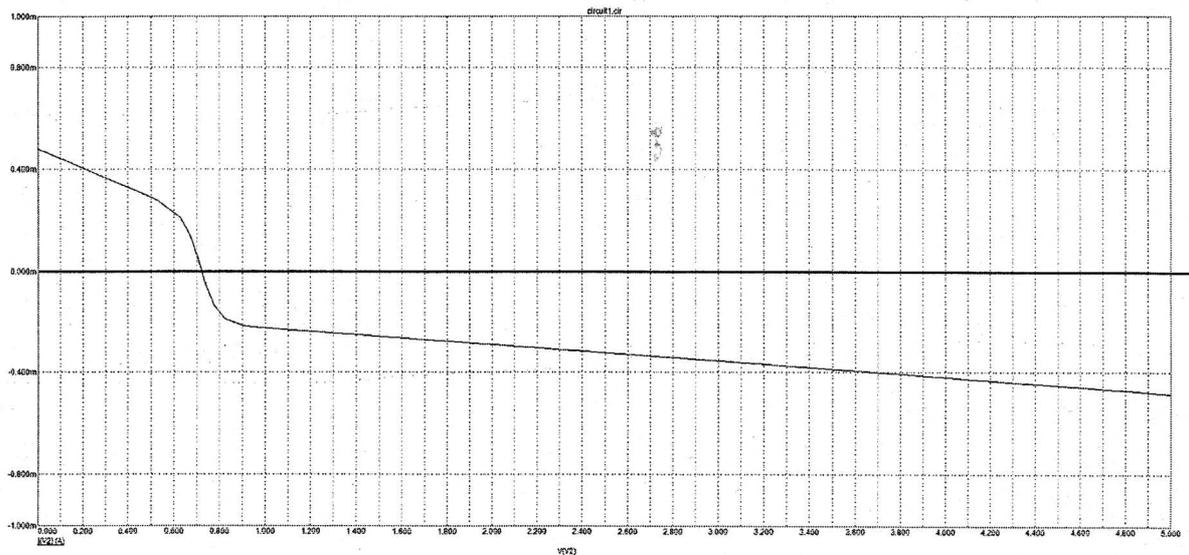


Рис. 2.62. Входная характеристика

Анализируем полученный график в соответствии с методическим пособием и получаем значения входных токов схемы. Завершаем анализ, закрыв соответствующую вкладку в системе *MicroCap*. Для получения входной характеристики необходимо повторно выполнить анализ по постоянному току (*DC*), при этом задать следующие параметры (рис. 2.63).

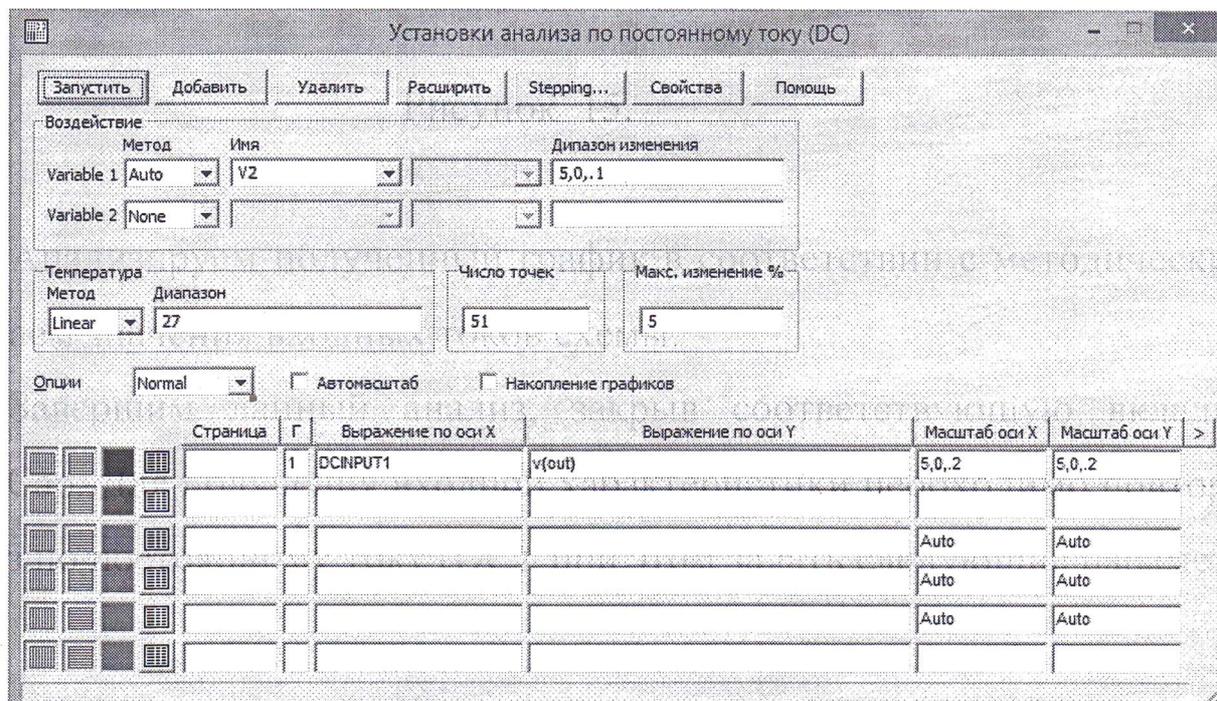


Рис. 2.63. Меню параметров расчета

На рисунке $V(out)$ – напряжение на выходе схемы. Нажав кнопку «Запуск», получаем график зависимости выходного напряжения от входного (рис. 2.64), где

- ось X – входное напряжение на задающем источнике;
- ось Y – выходное напряжение.

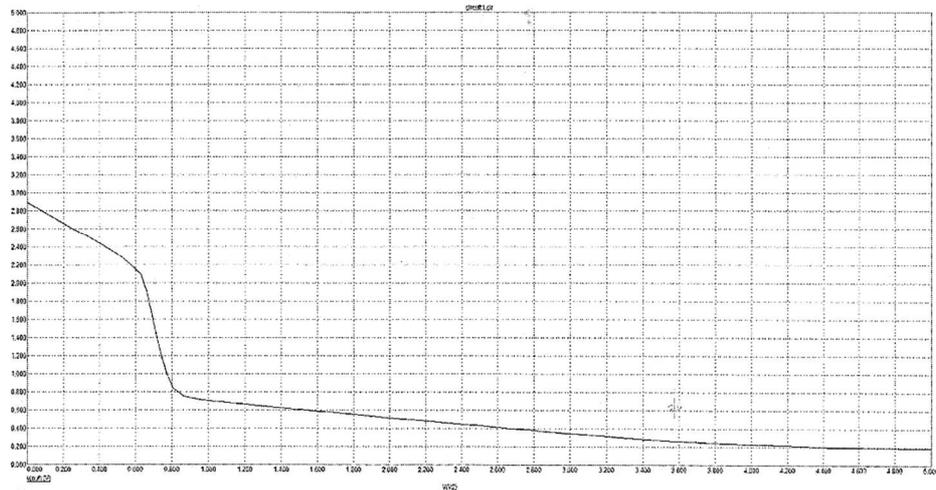


Рис. 2.64. Передаточная характеристика

Анализируем полученный график в соответствии с методическим пособием и получаем значения уровня сигналов помехи, способные переключить логический элемент в противоположное состояние, области переключения и пороги переключения. Завершаем анализ, закрыв соответствующую вкладку в системе *MicroCap*.

Для выполнения анализа переходных характеристик полученной схемы необходимо воспользоваться «Анализом переходных процессов (*Transient*)» (рис. 2.65).

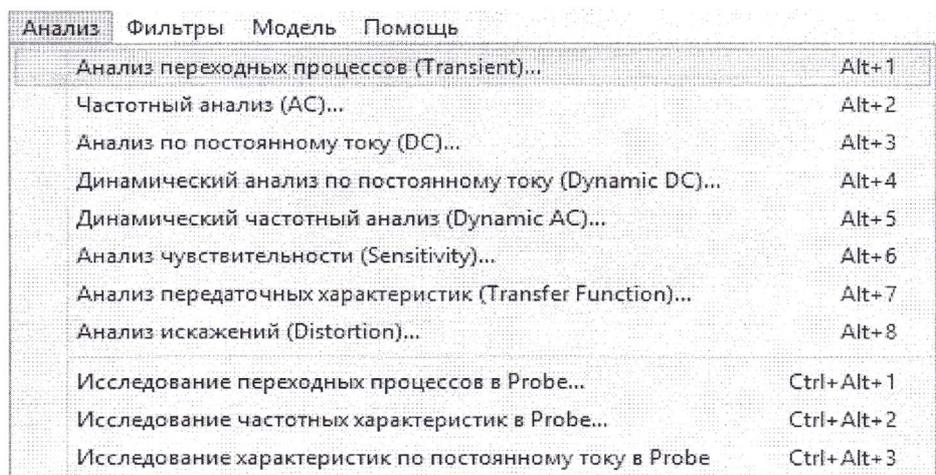


Рис. 2.65. Меню выбора анализа переходных характеристик

После выбора соответствующего пункта меню отобразится окно настройки параметров анализа. Необходимо заполнить поля в соответствии с рис. 2.66.

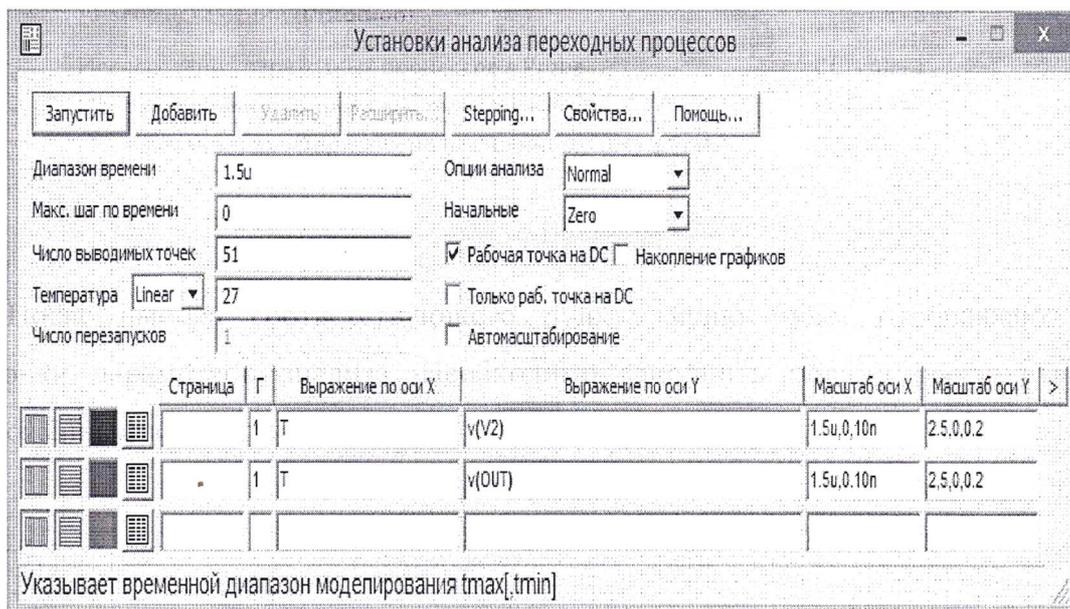


Рис. 2.66. Меню настройки параметров анализа

Нажав кнопку «Запуск», получаем график переходных процессов схемы (рис. 2.67), где

- ось X – временная ось;
- ось Y – значение напряжения узла.

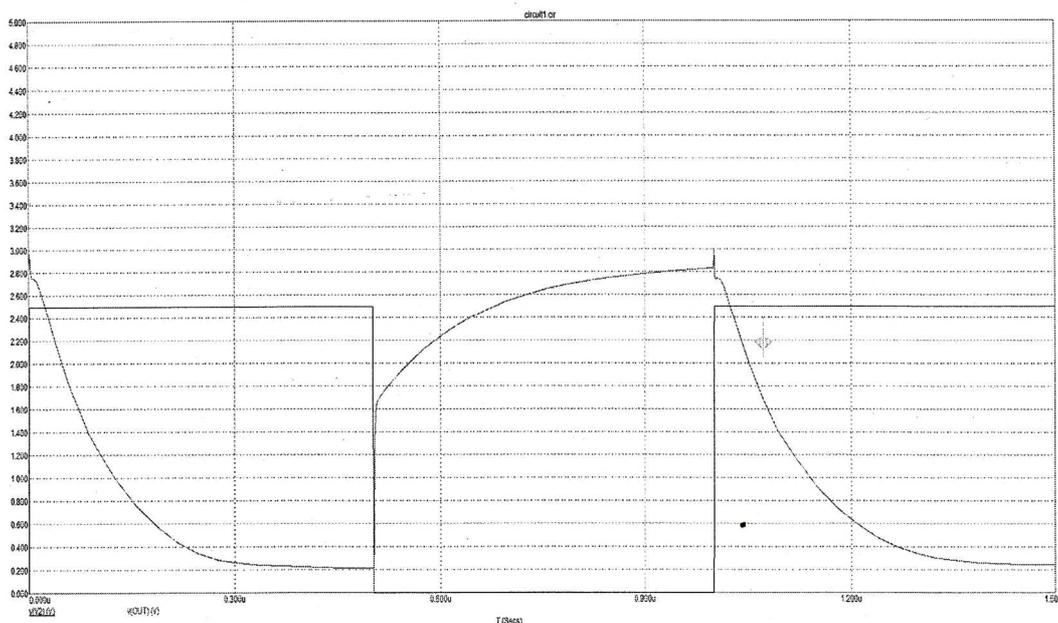


Рис. 2.67. Переходная характеристика

Анализируем полученный график в соответствии с методическим пособием и получаем значения времени задержки переключения выходного сигнала из состояния единицы в ноль и из нуля в единицу.

Для удобства анализа устанавливаем визуальные метки, активировав курсорный режим клавишей F8. На рис. 2.68 показан пример изображения принципиальной электрической схемы логического элемента ТТЛ в среде *MicroCap8*.

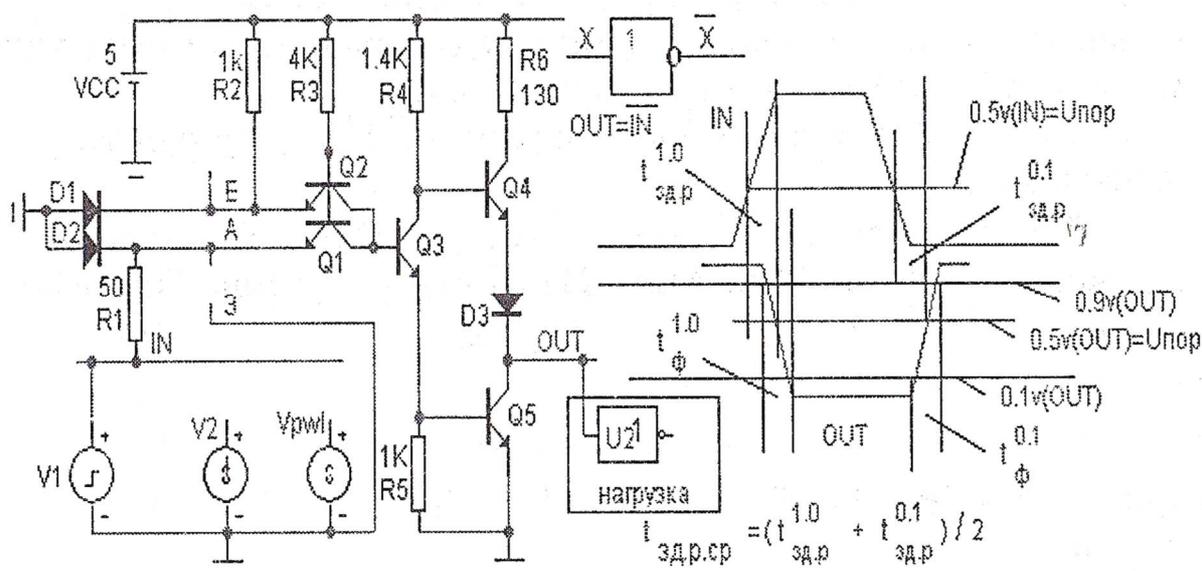
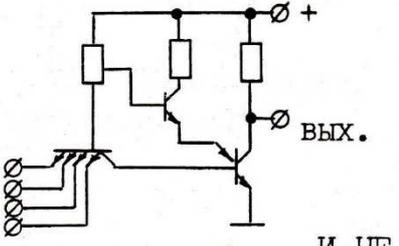
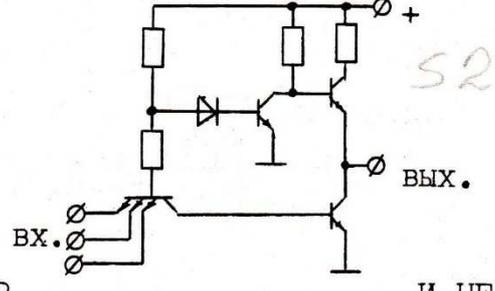
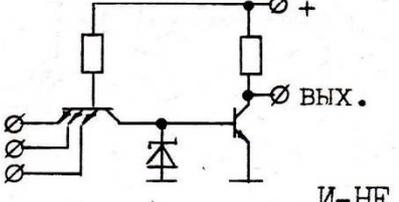
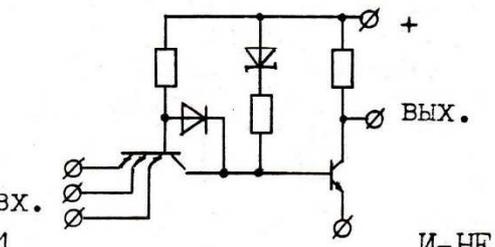
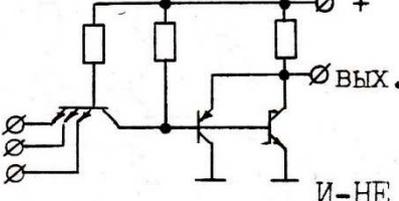
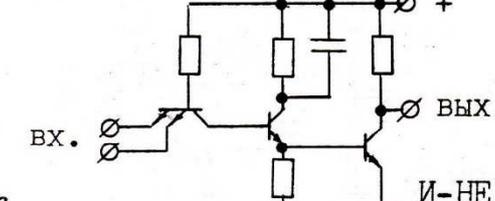
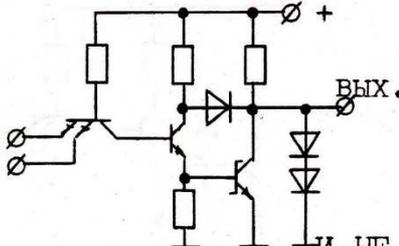
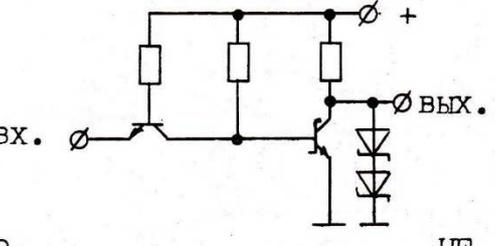


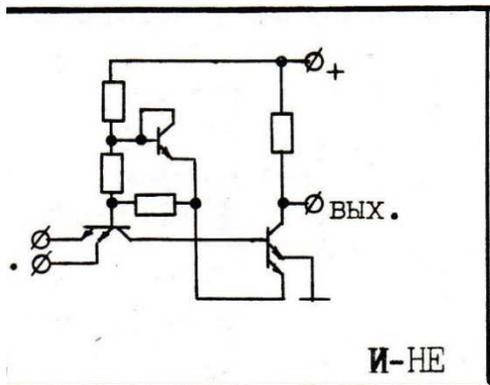
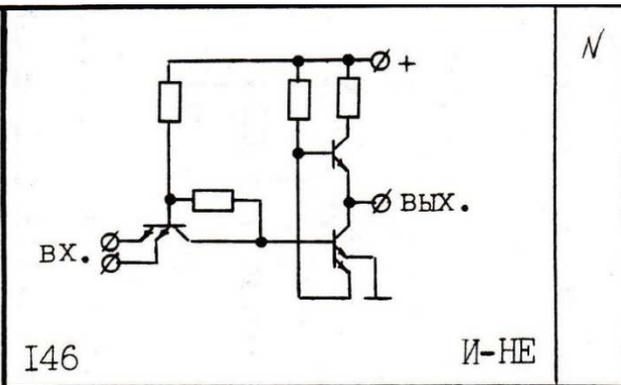
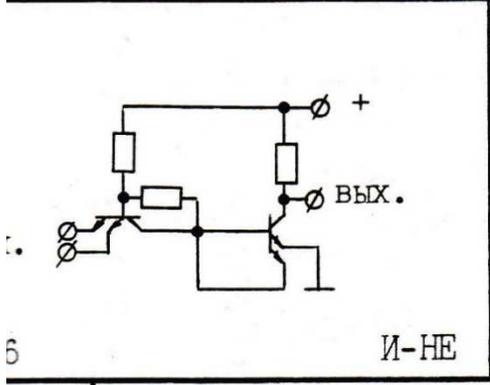
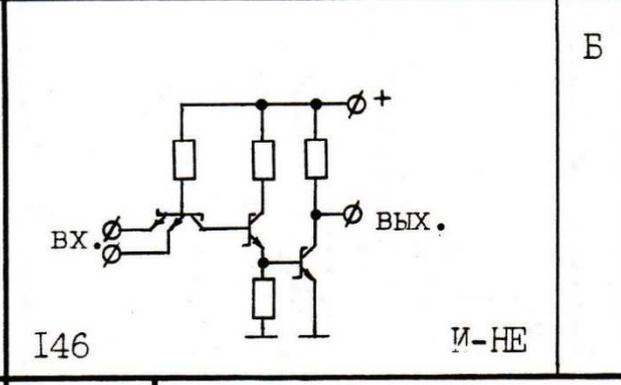
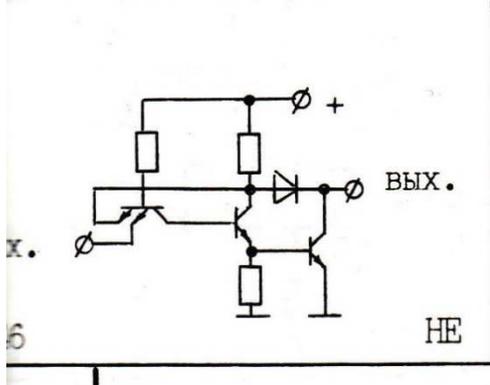
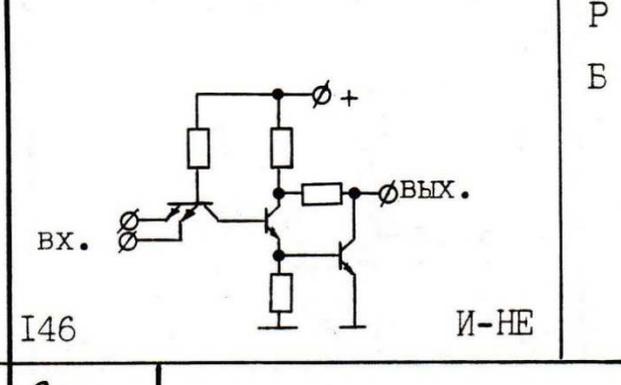
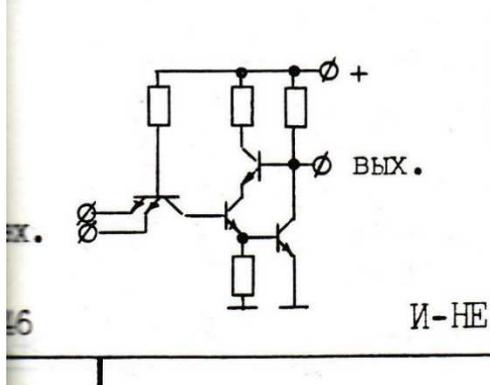
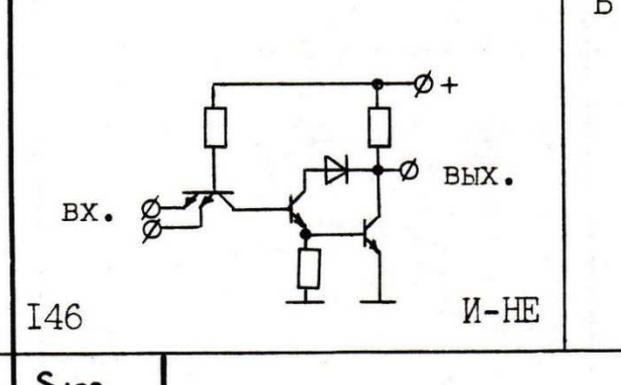
Рис. 2.68. Пример принципиальной электрической схемы логического элемента ТТЛ в среде *MicroCap8*

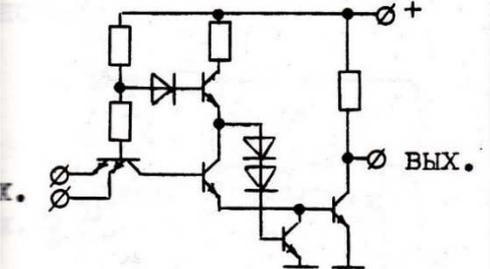
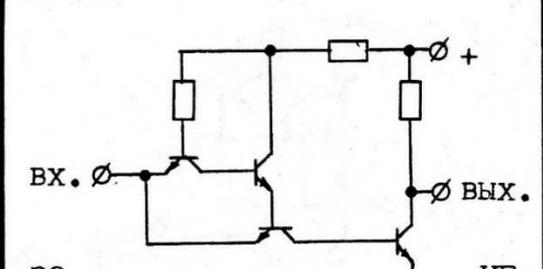
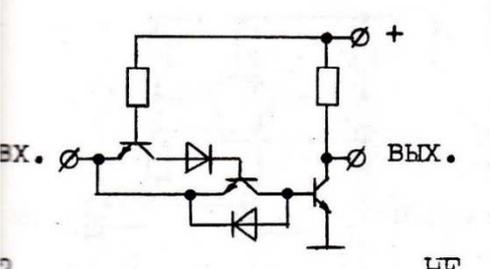
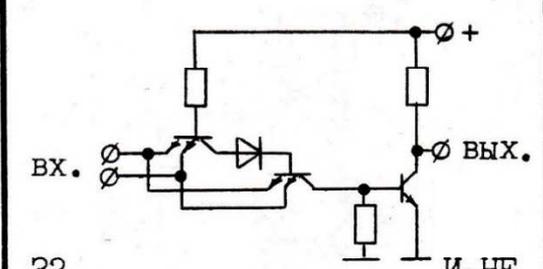
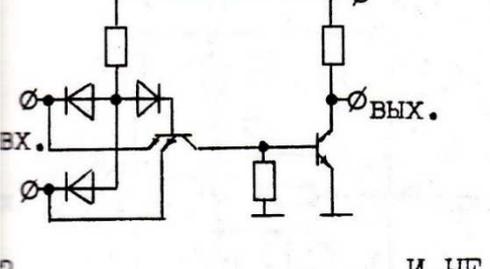
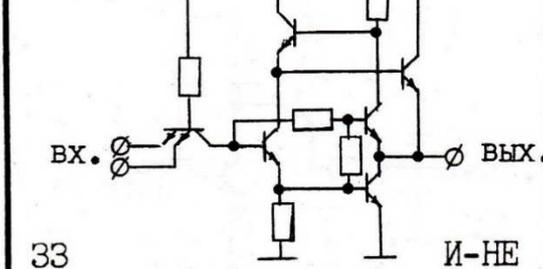
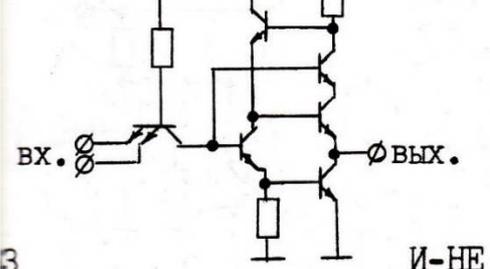
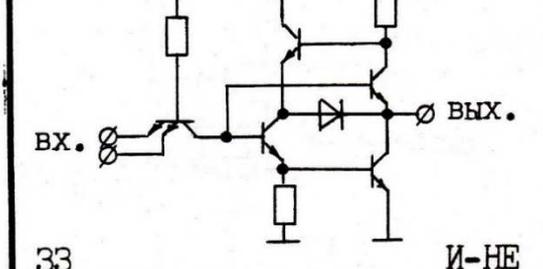
Порядок выполнения работы

1. Изучить пояснение к лабораторной работе и теоретическую часть.
2. Выбрать вариант схемы.
3. Загрузить в компьютер программу *MicroCap8*.
4. Подготовить принципиальную схему логического элемента согласно номеру задания в редакторе *MicroCap8*. Задать параметры всех компонентов схемы из встроенной базы моделей компонентов.
5. Провести анализ работы схемы с помощью программы *MicroCap8*. Получить передаточную, входную, переходную характеристики.
6. Вычислить время задержки переключения логического элемента.

Варианты схем базовых логических элементов

<p style="text-align: center;">S1 МАИ N</p>  <p style="text-align: right;">И-НЕ</p>	<p style="text-align: center;">США Bell Telephone Laboratory. S2</p>  <p style="text-align: right;">И-НЕ</p>
№483793	S2 №3934157
<p style="text-align: center;">S3 IBM Б</p>  <p style="text-align: right;">И-НЕ</p>	<p style="text-align: center;">США S4 IBM П</p>  <p style="text-align: right;">И-НЕ</p>
№5I-36183	S4 №4069428
<p style="text-align: center;">Fujitsu Ltd. Б</p>  <p style="text-align: right;">И-НЕ</p>	<p style="text-align: center;">EP S6 Fujitsu Ltd. Б</p>  <p style="text-align: right;">И-НЕ</p>
№4471239.	S6 №0032043
<p style="text-align: center;">S7 Fujitsu Ltd. Б</p>  <p style="text-align: right;">И-НЕ</p>	<p style="text-align: center;">EP S8 Fujitsu Ltd. Б</p>  <p style="text-align: right;">И-НЕ</p>
№0054408	S8 №0080254

 <p>И-НЕ</p>	Т	 <p>И-НЕ</p>	N
S185	S186		
 <p>И-НЕ</p>	Б	 <p>И-НЕ</p>	Б
S187	S188		
 <p>И-НЕ</p>	Б	 <p>И-НЕ</p>	Р Б
S189	S190		
 <p>И-НЕ</p>	Б	 <p>И-НЕ</p>	Б
S191	S192		

<p>Япония</p>  <p>И-НЕ</p>	Т	<p>Япония</p>  <p>32</p> <p>И-НЕ</p>	П
<p>№44-13645</p>	<p>S₄₂ №44-17048</p>		
<p>Япония</p>  <p>И-НЕ</p>	П	<p>Япония</p>  <p>32</p> <p>И-НЕ</p>	П
<p>№44-17048</p>	<p>S₄₄ №44-17048</p>		
<p>Япония</p>  <p>И-НЕ</p>	П	<p>Япония</p>  <p>33</p> <p>И-НЕ</p>	N
<p>№44-17048</p>	<p>S₄₆ №45-537</p>		
<p>Япония</p>  <p>И-НЕ</p>	Р Б N	<p>Япония</p>  <p>33</p> <p>И-НЕ</p>	Б
<p>№45-537</p>	<p>S₄₈ №45-537</p>		

Содержание отчета

1. Изображение принципиальной электрической схемы базового логического элемента ТТЛ в среде *MicroCap8*.

2. Сканы характеристик базового логического элемента, полученного в результате выполнения лабораторной работы.

Контрольные вопросы

1. Каков принцип работы базового логического элемента ТТЛ?

2. Какие динамические характеристики базового логического элемента вы знаете и какие параметры они определяют?

3. В чем заключается процесс моделирования логического элемента?

4. Каковы статические и динамические параметры логического элемента?

5. Зачем применяется автоматизированный анализ работы схемы?

ЛАБОРАТОРНАЯ РАБОТА № 6

Параллельный программируемый интерфейс и организация портов в микроконтроллерах

Цели работы: изучение работы микросхемы параллельного интерфейса, программирование задания режимов работы и разработка схемных решений подключения внешних устройств через схему параллельного интерфейса. Организация параллельных портов в микропроцессорах и подключение внешних устройств к портам микропроцессора.

Теоретическая часть

Микросхема 8255 фирмы *Intel* представляет собой микросхему программируемого интерфейса, в котором реализовано три программируемых порта ввода-вывода. На рис. 2.69 показана структурная схема данной микросхемы.

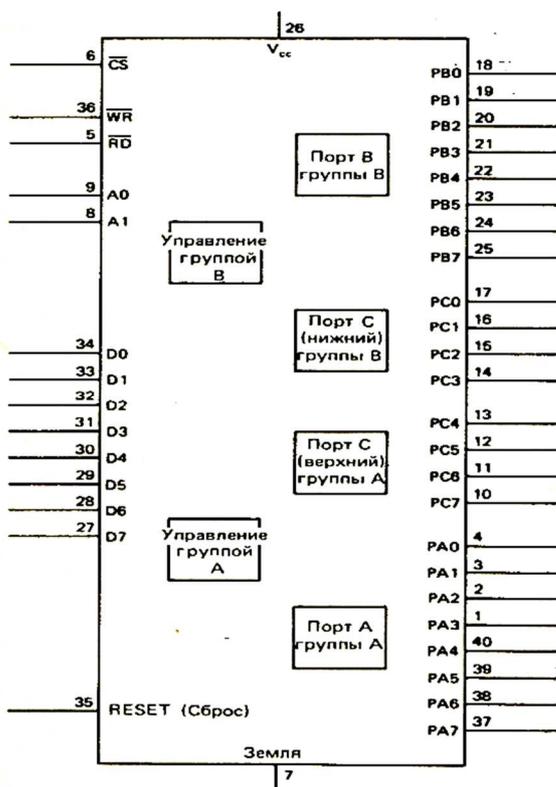


Рис. 2.69. Структурная схема 8255

Она содержит управляющий регистр и три восьмиразрядных порта ввода-вывода, имеющие обозначения *A*, *B* и *C*. Порт *C* представляет собой два отдельных программируемых порта: *C* – верхний (*PC4* – *PC7*) и *C* – нижний (*PC0* – *PC3*).

На рис. 2.70 приведена информация, поясняющая особенности работы микросхемы. Микросхема переводится в активное состояние, когда активен сигнал выбора чипа (*CS*). Сигналами *A0* и *A1* выбирается один из трех портов для организации передачи данных.

При включении питания системы сигнал *RESET* переводит все 24 вывода, связанные с тремя портами, в третье состояние. Микросхема останется в этом состоянии

до тех пор, пока прикладная программа не запишет в управляющий регистр по адресу $303H$ слово, определяющее режим работы. Существует три режима работы:

- 1) режим 0: ввод-вывод общего типа;
- 2) режим 1: стробируемый ввод-вывод;
- 3) режим 2: двухсторонняя шина данных.

A1	A0	\overline{RD}	\overline{WR}	\overline{CS}	
Операция ввода (чтение)					
0	0	0	1	0	Из порта А на шину данных
0	1	0	1	0	Из порта В на шину данных
1	0	0	1	0	Из порта С на шину данных
Операция вывода (запись)					
0	0	1	0	0	С шины данных в порт А
0	1	1	0	0	С шины данных в порт В
1	0	1	0	0	С шины данных в порт С
1	1	1	0	0	С шины данных на линию управления
Функция блокировки					
×	×	×	×	1	С шины данных на буфер с тремя состояниями
1	1	0	1	0	Запрещенная комбинация
×	×	1	1	0	С шины данных на буфер с тремя состояниями

Рис. 2.70. Задание режимов работы

Выбор режима 0 предоставляет в распоряжение системы два восьмиразрядных порта (A и B) и два четырехразрядных порта ($PC0 - PC3$ и $PC4 - PC7$). Каждый порт можно запрограммировать на работу в качестве входного или выходного порта. Выходы портов буферизуются. В этом режиме возможно задание 16 различных конфигураций ввода-вывода.

Режим 1 предоставляет системе два восьмиразрядных порта: A и B . В этом случае входы и выходы буферизуются. Два четырехразрядных порта ($PC0 - PC3$ и $PC4 - PC7$) используются как линии квитирования установления связи портов A и B , и они уже не могут использоваться в качестве портов обмена данными. При вводе данных в режиме 1 линии $PC3$, $PC4$ и $PC5$ используются в качестве линий квитирования установления связи для порта A .

Линии *PC0*, *PC1* и *PC2* играют ту же роль для порта *B*. Линии *PC6* и *PC7* можно запрограммировать на работу в качестве входных и выходных линий порта. В этом режиме устройство ввода, как правило, направляет восьмиразрядное слово данных на линии *PA0 – PA7* (или *PB0 – PB7*), а затем выдает стробирующий сигнал с активным низким уровнем *STB* на линию *PC4* (в случае обмена с портами *A*) или на линию *PC2* (при обмене с портом *B*).

Подача такого строба обеспечивает загрузку слова данных во входной буферный регистр. В результате этого генерируется сигнал (с активным высоким уровнем) заполнения буфера *IBF*, который выдается на линию *PC5* для активизации порта *A* и на линию *PC1* для активизации порта *B*.

Процессор считывает информацию с порта *C* и одновременно проверяет сигнал *IBF*, чтобы определить, достоверны ли данные, имеющиеся на линиях выбранного рабочего порта. Если сигнал *IBF* представляет логическую единицу, то процессор считывает данные с порта *A* или *B*, а сам строб *IDF* сбрасывается фронтом сигнала *RD*.

При выводе данных в режиме 1 линии *PC7*, *PC6* и *PC3* служат в качестве линий квитирования установления связи для порта *A*. Линии *PC0*, *PC1* и *PC2* играют ту же роль для порта *B*. Линии *PC4* и *PC5* можно запрограммировать на работу в качестве входных или выходных линий порта. Процессор записывает данные в порт *A* или *B* и устанавливает флаг «буфер ввода заполнен» – *OVF* (*PC7* для порта *A* или *PC1* для порта *B*) в состояние с активным низким уровнем для индикации выполнения этой операции.

Устройство вывода контролирует состояние *OVF*, чтобы определить, когда появятся выводимые данные. Оно подтверждает прием данных путем выдачи сигнала подтверждения *ACK* (линии *PC6* для порта *A* или *PC2* для порта *B*), который имеет низкий активный уровень и подтверждает прием данных, сбрасывая флаг «буфер вывода заполнен».

Выбор режима 2 предоставляет в распоряжение системы одну восьмиразрядную шину для двусторонней передачи через порт *A*. Пять одноразрядных линий порта *C* становятся для порта *A* линиями состояния и управления. Таким образом, порт *A* приобретает средства квитирования установления связи, аналогичные тем, которые предусмотрены в режиме 1.

При работе в режимах 1 и 2 управляющие сигналы микросхемы, выдаваемые с порта *C*, могут использоваться в качестве входных сигналов запроса на прерывание, направляемых процессору.

Пример схемного применения микросхемы приведен на рис. 2.71. В этом примере микросхема используется для считывания информации с переключателей и возбуждения светодиодных индикаторов. Схема проста, но дает общее представление о выборе конфигурации портов.

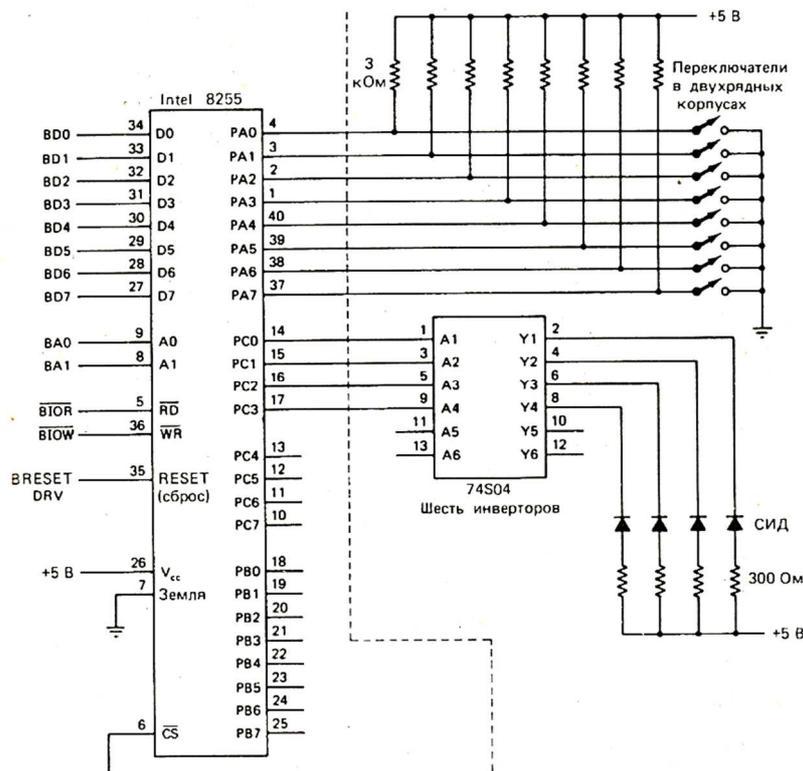


Рис. 2.71. Пример применения микросхемы 8255

В примере порт *A* подсоединен к восьмиразрядному переключателю, а порт *C* – нижний через формирователь 74LS04 – к четырехразрядному светодиодному индикатору. Формирователь необходим для подачи на светодиоды тока необходимой величины. Для управления состоянием светодиодов программа считывает комбинацию битов, установленную на переключателе.

Выводы *PA0* – *PA3* определяют комбинацию, которая должна воспроизводиться светодиодами, а выводы *PA4* – *PA7* – число, соответствующее количеству периодов «включено-выключено», чем определяется частота мигания светодиодов. Схема подключения микросхемы к процессору показана на рис. 2.72.

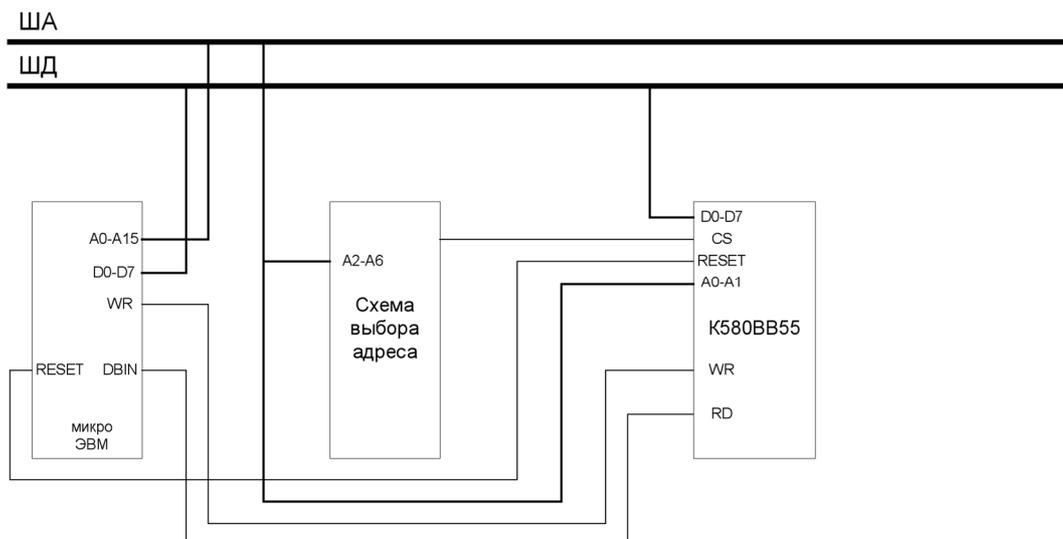


Рис. 2.72. Схема подключения к процессору

Организацию параллельных портов в современных микропроцессорах рассмотрим на примере микросхем *Atmel* семейства *AVR* (рис. 2.73). Каждый порт состоит из определенного числа выводов (пинов), через которые микроконтроллер может принимать или передавать цифровые сигналы. Конфигурирование каждой линии порта (задание направления передачи данных) может быть произведено программно в любой момент времени.

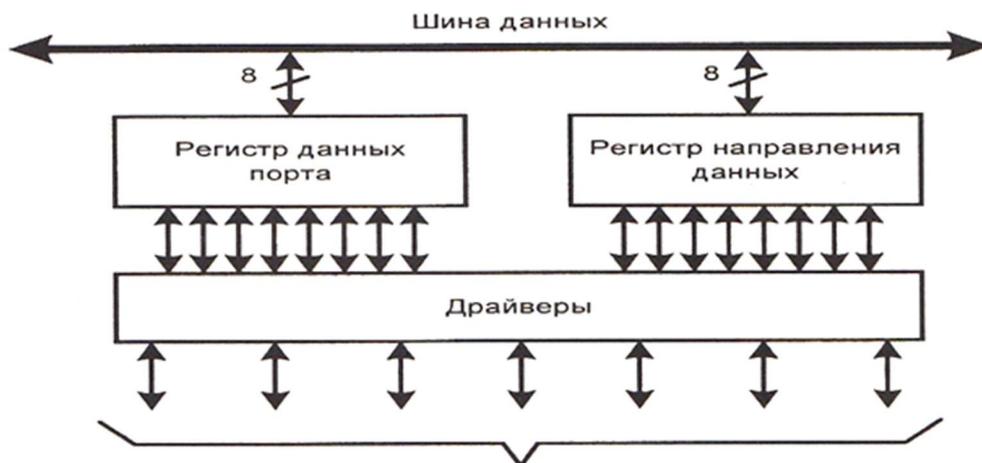


Рис. 2.73. Структурная схема организации порта

Максимальная нагрузочная способность выходных буферов портов при логическом нуле на выходе составляет 20 мА. Это позволяет напрямую управлять светодиодным индикатором. Количество доступных портов определяется моделью микроконтроллера.

Обращение к портам производится через регистры ввода-вывода, причем под каждый порт в адресном пространстве зарезервировано по три адреса. По этим адресам размещаются три регистра: регистр данных порта, регистр направления порта и регистр выводов порта. Каждый разряд порта может конфигурироваться индивидуально. Таблица влияния регистров $DDxn$ и Pxn на конфигурацию выводов портов представлена ниже (табл. 2.2).

Таблица 2.2

Влияние регистров $DDxn$ и Pxn на конфигурацию выводов портов

$DDxn$	Pxn	Функция вывода	Резистор	Примечание
0	0	Вход	Отключен	Третье состояние ($Hi-Z$)
0	1	Вход	Подключен	При подключении вывода к общему проводу он является источником тока
1	0	Выход	Отключен	Выход установлен в ноль
1	1	Выход	Отключен	Выход установлен в единицу

Примечание:

$n = 7 \dots 0$ – номер вывода (разряд порта).

Для понимания того, как функционируют порты ввода-вывода, рассмотрим структурную схему одного канала порта D (вывод $D1$) микроконтроллера AT90S4434 (рис. 2.74). Этот канал в качестве расширения функциональной нагрузки является выходом данных $UART$. Каждый разряд порта может находиться в состояниях, расписанных в табл. 2.2.

Триггер $DD1$ представляет собой разряд регистра порта направления, триггер $PORTD1$ – разряд регистра порта данных. Разряды регистров подключены к шине данных и управляются сигналами WP (запись в порт данных) и WD (запись в порт направления). Pxn – это вывод, или пин порта.

Триггер Шмитта, указанный знаком гистерезиса, работает исключительно при режиме ввода информации в порт, если триггер направления установлен в ноль и включен сигнал управления RP (чтение состояния вывода порта). Триггер Шмитта применяется для формирова-

Аналоговые датчики работают в диапазоне напряжения 0 – 3 В. Разработать алгоритм работы устройства и диаграмму сигналов управления.

Вариант 2

Используя микросхему 8255 в режиме 0, разработать принципиальную электрическую схему устройства для подключения к порту *A* восьмиразрядного цифроаналогового преобразователя, а к порту *B* – восьми светодиодов для индикации состояния выхода порта.

Микросхему ЦАП выбрать самостоятельно. Диапазон изменения аналогового сигнала на выходе ЦАП определяется техническими параметрами выбранной микросхемы ЦАП. Разработать алгоритм работы устройства и диаграмму сигналов управления.

Вариант 3

Используя микросхему 8255 в режиме 1, разработать принципиальную электрическую схему устройства для подключения к порту *A* и порту *B* двух внешних восьмиразрядных регистров для вывода в них данных с использованием сигналов квитирования получения регистрами данных от портов.

Регистры выбрать самостоятельно. Регистры должны имитировать работу внешних устройств. Разработать алгоритм работы устройства и диаграмму сигналов управления.

Вариант 4

Используя микросхему 8255 в режиме 0, разработать принципиальную электрическую схему устройства для подключения к порту *A* и порту *B* шестнадцатиразрядного буферного регистра на базе двух микросхем К555ИР35, к которому подключить двенадцатиразрядный цифроаналоговый преобразователь (выбрать самостоятельно). Разработать алгоритм работы устройства и диаграмму сигналов управления.

Вариант 5

Используя структурную схему организации разряда порта микроконтроллера *Atmel AVR* (см. рис. 2.74), составить алгоритмы работы схемы во всех возможных режимах: вывода данных из разряда порта; ввода данных в разряд порта; третьего состояния; использования разряда порта как вывода *UART*.

Вариант 6

Разработать принципиальную электрическую схему с использованием микроконтроллера *AT90S2333* и внешних регистров (выбрать самостоятельно), которая бы решала задачу расширения портов ввода-вывода для данного контроллера до 32 каналов.

Вариант 7

Используя микросхему 8255 в режиме 0, разработать принципиальную электрическую схему устройства для подключения к порту *A* восьмиразрядного цифроаналогового преобразователя, а к порту *B* – восьмиразрядного АЦП. АЦП и ЦАП выбрать самостоятельно.

АЦП используется в схеме для ввода аналогового сигнала в компьютер, а ЦАП – для вывода аналогового сигнала для управления. Разработать алгоритм работы устройства и диаграмму сигналов управления.

Вариант 8

Разработать функциональную электрическую схему подключения к микропроцессору трех микросхем параллельного интерфейса. Задача связана с необходимостью расширения количества портов ввода-вывода при увеличении количества внешних устройств.

Вариант 9

Разработать принципиальную электрическую схему подключения к порту микроконтроллера *Atmel AT904414* внешней буферной памяти емкостью 32 Кбайт.

Микросхему буферной памяти выбрать самостоятельно. Привести диаграмму сигналов, обеспечивающих взаимодействие внешней памяти и микропроцессора.

Вариант 10

Разработать принципиальную электрическую схему подключения к порту микроконтроллера *Atmel* (выбрать самостоятельно) знако-синтезирующего индикатора *Winstar WH16002* (справочные данные на индикатор найти самостоятельно).

Вариант 11

Разработать принципиальную электрическую схему подключения к восьмиразрядному порту микроконтроллера *Atmel AT904414* 16 универсальных дискретных входов-выходов на базе буферных регистров (выбрать самостоятельно).

Разработать алгоритм заполнения управляющих регистров для используемого порта в режиме вывода информации во внешние регистры.

Вариант 12

Разработать принципиальную схему подключения к восьмиразрядному порту микроконтроллера *Atmel AT904414* 20 универсальных дискретных входов-выходов на базе буферных регистров (выбрать самостоятельно). Разработать алгоритм для используемого порта в режиме ввода информации во внешние регистры и затем в порт процессора.

Для подготовки функциональных и принципиальных электрических схем используйте программу *Microsoft Visio*. Выполнение некоторых заданий лабораторной работы требует самостоятельного информационного поиска.

Содержание отчета

1. Структурная электрическая, функциональная электрическая схемы устройства при необходимости пояснения работы устройства. Краткие справочные данные о микросхемах, выбираемых студентом самостоятельно и необходимых для решения задания.
2. Принципиальная электрическая схема устройства в заданном или выбранном элементном базисе.
3. Временная диаграмма или иная информация, необходимая для пояснения работы схемы.
4. Алгоритм работы устройства на уровне блок-схемы.

Контрольные вопросы

1. В чем состоит назначение микросхемы параллельного интерфейса?
2. Начертите функциональную схему внутреннего устройства микросхемы параллельного интерфейса.
3. В чем разница в принципах организации портов микроконтроллера и микросхемы параллельного интерфейса?
4. Параллельный интерфейс имеет синхронную или асинхронную организацию?
5. Объясните по рис. 2.74 работу разряда порта в режиме вывода информации.
6. Что такое конфигурирование портов микроконтроллера?

ЛАБОРАТОРНАЯ РАБОТА № 7

Универсальный асинхронный приемопередатчик

Цель работы: изучить принцип работы универсального приемопередатчика в составе микроконтроллера *Atmel* и построение возможных схем каналов ввода-вывода на его основе.

Теоретическая часть

Универсальный приемопередатчик – пример устройства, которое успешно применяется в вычислительной технике многие годы. Причем применяется как в виде отдельного устройства, так и в составе микропроцессоров в качестве базового устройства для организации последовательных каналов ввода-вывода.

Универсальный приемопередатчик оказался настолько удачным, что в микроконтроллерах, применяемых для систем управления, встраиваются несколько *UART (Universal Asynchronous Receiver-Transmitter)*. Успех применения данного устройства заключается в том, что создавая физический канал связи, оно позволяет реализовывать на своей базе различные протоколы обмена между устройствами, участвующими в процедуре ввода-вывода данных. Важное преимущество последовательного порта перед параллельным – снижение числа соединений с другими микросхемами. Последовательные интерфейсы превосходят параллельные на высоких скоростях передачи, когда на скорость передачи начинают влиять задержки в линиях связи.

Рассмотрим *UART* в составе микропроцессоров семейства *Atmel Classic*. Модуль *UART* состоит из приемника и передатчика, с помощью которых можно создать дуплексный или полудуплексный канал последовательной связи с устройством, имеющим аналогичный *UART*. Скорость передачи информации может варьироваться в широких пределах. Модуль *UART* в микроконтроллерах *Atmel* может обнаруживать следующие нештатные ситуации: переполнение, ошибка кадрирования, неверный старт-бит. Для взаимодействия с программой в модуле

предусмотрено три отдельных прерывания, запрос на которые генерируется при наступлении следующих событий: «передача завершена», «регистр данных передатчика пуст» и «прием завершен». Выводы микроконтроллера, используемые модулем *UART*, являются линиями порта *D*. В качестве входа приемника (*RXD*) используется *PD0*, а в качестве выхода передатчика (*TXDD*) – вывод *PD1*.

Управление работой приемопередатчика осуществляется с помощью регистра управления *UCR*, расположенного по адресу \$0A (в разных моделях микроконтроллеров регистр управления может менять название и адрес). На рис. 2.75 показан формат регистра *UCR*. Состояние приемопередатчика определяется с помощью регистра состояния *USR*, формат которого показан на рис. 2.76.

	7	6	5	4	3	2	1	0
	RXCIE	TXCIE	UDRIE	RXEN	TXEN	CHR9	RXB8	TXB8
Чтение(R)/Запись(W)	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W
Начальное значение	0	0	0	0	0	0	1	0

Рис. 2.75. Формат регистра управления *UCR*

На рисунке:

разряд 7 – *RXCIE* – «разрешение прерывания по завершении приема»;

разряд 6 – *TXCIE* – «разрешение прерывания по завершении передачи»;

разряд 5 – *UDRIE* – «разрешение прерывания при очистке регистра данных *UART*»;

разряд 4 – *RXEN* – «разрешение приема»;

разряд 3 – *TXEN* – «разрешение передачи»;

разряд 2 – *CPK9* – «формат посылок»;

разряд 1 – *RXB8* – «8-й разряд принимаемых данных»;

разряд 0 – *TXB8* – «8-й разряд передаваемых данных».

		USR								
		7	6	5	4	3	2	1	0	
		RXC	TXC	UDRE	FE	OR	—	—	—	AT90S2313
Чтение(R)/Запись(W)		R	R/W	R	R	R	R	R	R	AT90S/LS4434
Начальное значение		0	0	1	0	0	0	0	0	AT90S/LS8535
										AT90S4414
										AT90S8515

Рис. 2.76. Формат регистра управления USR

На рисунке:

разряд 7 – *RXC* – «флаг завершения приема». Устанавливается при пересылке принятого слова из сдвигового регистра приемника в регистр данных *UDR*;

разряд 6 – *TXC* – «флаг завершения передачи». Устанавливается в единицу после передачи всех разрядов слова (включая стоп-бит) из сдвигового регистра передатчика при условии, что в регистр данных *UDR* не было загружено новое значение. Флаг завершения передачи полезен при полудуплексной передаче, при которой передающее устройство должно освободить линию и перейти в режим приема сразу после окончания передачи;

разряд 5 – *UDRE* – «регистр данных пуст». Устанавливается в единицу после пересылки байта из регистра данных *UDR* в сдвиговый регистр передатчика. Установка флага означает, что передатчик готов к получению новых данных;

разряд 4 – *FE* – «флаг ошибки кадрирования». Устанавливается в единицу при обнаружении ошибки кадрирования: если стоп-бит принятого слова равен нулю;

разряд 3 – *OR* – «флаг переполнения». Устанавливается в единицу, если в сдвиговом регистре приемника находится новое принятое слово, а старое содержимое регистра *UDR* не прочитано;

разряды 2 и 1 не используются;

разряд 0 – *MPCM* – «флаг режима многопроцессорного обмена». Данный разряд используется для перехода в режим мультипроцессорного обмена. Этот флаг устанавливается в единицу, когда ведомый микроконтроллер ожидает приема адресного байта.

Принимаемые и передаваемые данные хранятся в регистре данных *UDR*, который расположен по адресу \$0C. Физически регистр *UDR* состоит из двух отдельных регистров, один из которых используют для передачи данных, другой – для приема. На рис. 2.77 показана структурная схема передатчика *UART*.

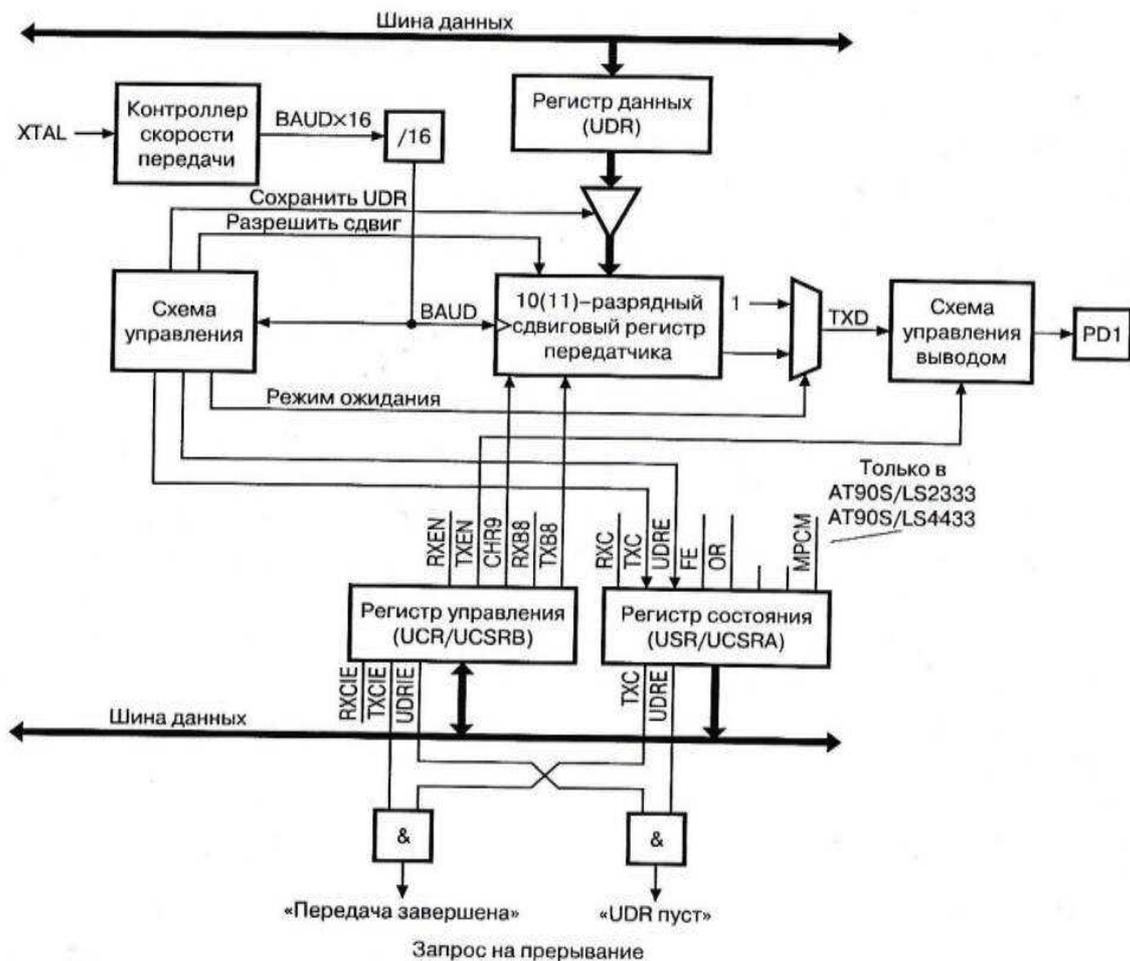


Рис. 2.77. Структурная схема передатчика UART

Работа передатчика разрешается установкой в единицу разряда *TXEN* регистра *UCR*. Если этот разряд сброшен, вывод *PD1* (*TXD*) может использоваться как обычный разряд порта ввода-вывода. При установке *TXEN* этот вывод подключают к передатчику *UART*, и он начинает работать как выход независимо от состояния разряда *DDD1* регистра данных порта *DDRD*.

Передача инициируется записью данных в регистр данных *UDR*. После этого данные пересылаются из регистра *UDR* в сдвиговый регистр передатчика. При этом возможны два варианта:

- новое значение записывается в регистр *UDR* после того, как был передан стоп-бит предыдущего слова. В этом случае данные пересылаются в сдвиговый регистр сразу же после записи в *UDR*;
- новое значение записывается в регистр *UDR* во время передачи. В этом случае данные пересылаются в сдвиговый регистр после передачи стоп-бита текущего слова.

После пересылки содержимого *UDR* в сдвиговый регистр флаг *UDRE* регистра *USR* устанавливается в единицу, что означает готовность передатчика к получению нового значения. В этом состоянии флаг остается до новой записи в регистр *UDR*. Одновременно с пересылкой формируется служебная информация: нулевой разряд сдвигового регистра сбрасывается в ноль (старт-бит), а девятый разряд устанавливается в единицу (стоп-бит). Если включен режим передачи девятиразрядных данных (разряд *CHR9* регистра *UCR* установлен в единицу), то значение разряда *TXB8* регистра *UCR* копируется в девятый разряд сдвигового регистра.

После загрузки сдвигового регистра его содержимое начинает сдвигаться вправо и поступать на вывод *TXD* в следующем порядке: старт-бит, данные, стоп-бит. Сдвиг осуществляется по тактовому сигналу, вырабатываемому контроллером скорости передачи, который называется бод-рейт-генератором.

Если во время передачи в регистр *UDR* было записано новое значение, то после передачи стоп-бита оно пересылается в сдвиговый регистр. Если же к моменту окончания передачи стоп-бита такой записи выполнено не было, устанавливается флаг завершения передачи *TXC* регистра *USR*.

Структурная схема приемника модуля *UART* приведена на рис. 2.78. Прием данных разрешается установкой разряда *RXEN* регистра *UCR*. Если этот разряд сброшен, вывод *PD0* (*RXD*) может использоваться как контакт общего назначения порта. При установке разряда *RXEN* этот вывод подключается к приемнику *UART* и начинает работать как вход *UART* независимо от состояния разряда *DDD0* регистра *DDRD*.

Работает приемник следующим образом. Схема предварительной обработки опрашивает вход приемника с частотой, в 16 раз превышающей скорость передачи данных (для обработки одного разряда принимаемой последовательности производится 16 выборок входного сигнала).

Обнаружение логического нуля в режиме ожидания интерпретируется как появление переднего спадающего фронта старт-бита. После этого проверяется значение 8, 9 и 10-й выборок входного сигнала. Если значение хотя бы двух выборок из указанных равно логической единице, старт-бит считается ложным, а приемник переходит к ожиданию изменения входного сигнала логической единицы на логический ноль.

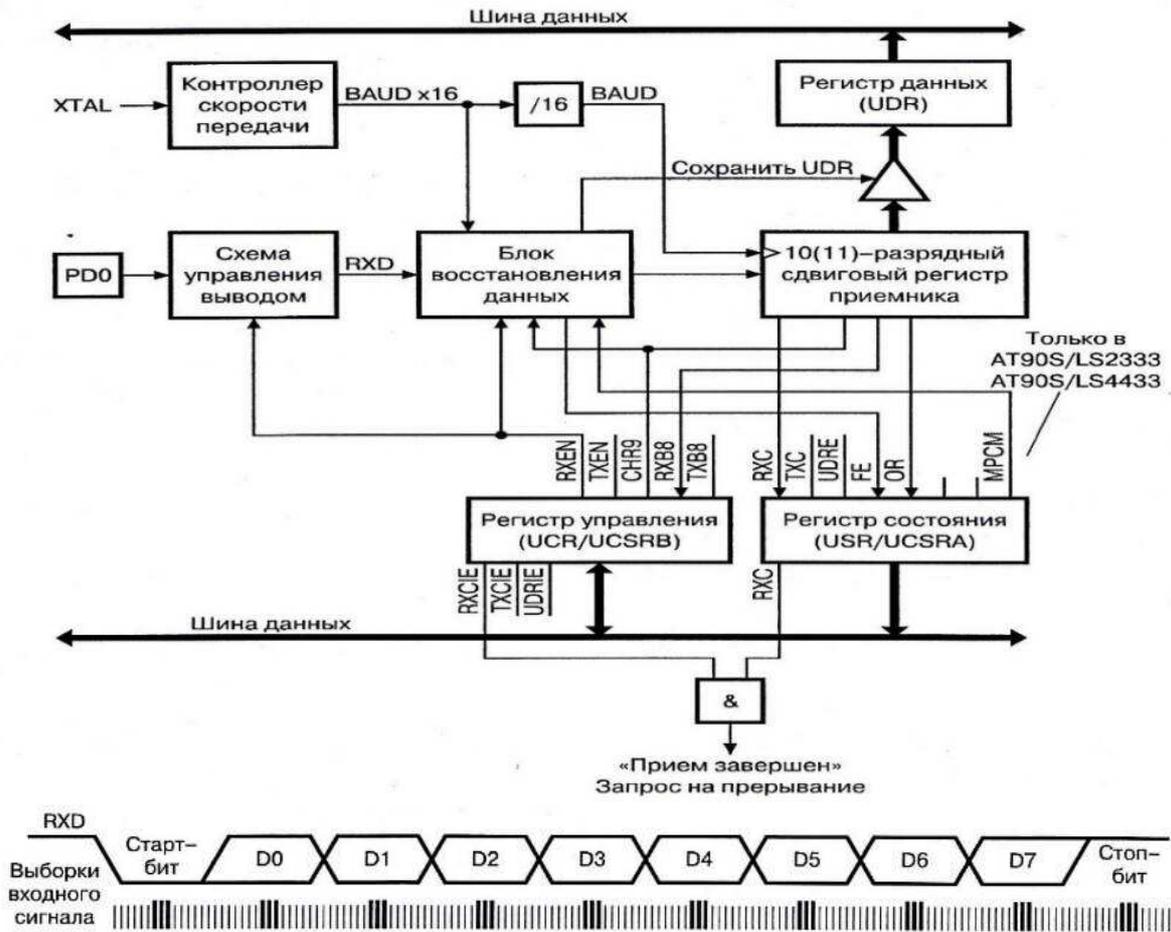


Рис. 2.78. Структурная схема приемника UART

В противном случае считается, что обнаружен старт-бит новой последовательности. После обнаружения старт-бита начинается обработка разрядов байта данных. Решение о значении принятого разряда принимается по результатам 8, 9 и 10-й выборок входного сигнала. Состоянием разряда считается логическое значение, которое было получено в двух из трех выборок. По мере распознавания разрядов принимаемой последовательности они помещаются в сдвиговый регистр приемника.

Так же происходит распознавание стоп-бита. Если стоп-бит не распознается, то фиксируется ошибка кадрирования и флаг *FE* регистра *USR* устанавливается в единицу. Перед чтением регистра данных *UDR* всегда проверяется состояние этого флага. Независимо от того, был или не был обнаружен стоп-бит в конце посылки, принятое слово пересылается в регистр данных *UDR* и устанавливается флаг *RXC* регистра *USR*.

Если новое слово будет принято до того, как из регистра *UDR* будут переданы предыдущие данные, возникает ситуация переполнения. Об этом сигнализирует флаг *OR* регистра *USR*, который в этом случае устанавливается в единицу. Установка флага запрещает передачу данных из сдвигового регистра в регистр данных. Поэтому драйвер управления *UART* должен проверять состояния флага *OR* для обнаружения возможного переполнения.

Управление скоростью передачи и приема данных осуществляется контроллером скорости передачи, который является управляемым делителем частоты. Скорость передачи определяется по формуле

$$BAUD = \frac{f_{clk}}{16(UBR + 1)},$$

где *BAUD* – скорость передачи в бодах; f_{clk} – частота задающего генератора; *UBR* – содержимое регистра контроллера скорости передачи (0-4095).

Известно, что существует ряд значений скорости передачи данных, которые считаются стандартными. Значение регистра *UBR* позволяет получить стандартные скорости передачи при использовании различных резонаторов.

Мультипроцессорный режим работы *UART*

Режим многопроцессорного обмена позволяет осуществить связь между несколькими ведомыми микроконтроллерами и одним ведущим. В этом режиме каждый ведомый контроллер имеет свой уникальный адрес, по которому идет обращение ведущего микроконтроллера (рис. 2.79).

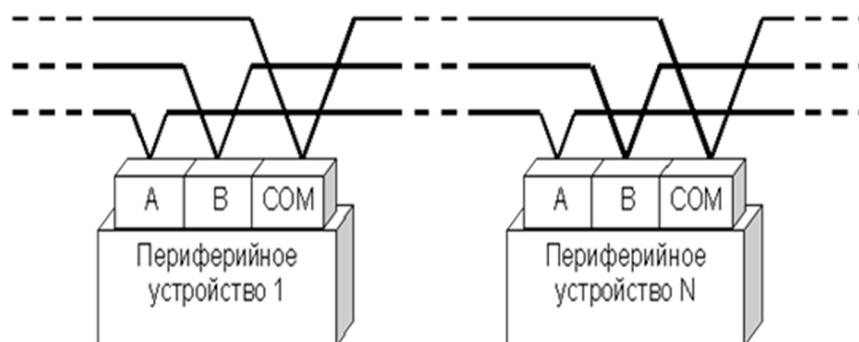


Рис. 2.79. Мультипроцессорный режим через RS-485

В модуле *UART* ведущего микроконтроллера должен быть установлен режим передачи девятиразрядных данных (разряд *CHR9* регистра *UCR* установлен в единицу). При передаче адресного байта девятый разряд должен устанавливаться в единицу, а при передаче байтов данных он должен сбрасываться в ноль.

Для обмена данными в многопроцессорном режиме необходимо выполнить следующую последовательность действий:

1) все ведомые микроконтроллеры переключаются в режим микропроцессорного обмена установкой единицы в разряд *MPCM* регистра *USR*;

2) ведущий контроллер посылает адресный байт, принимаемый всеми ведомыми микроконтроллерами. Соответственно, в каждом из них устанавливается флаг *RXC* регистра *USR*;

3) каждый из ведомых микроконтроллеров считывает содержимое регистра *UDR*. Микроконтроллер, адрес которого совпал с адресом, посланным ведущим, сбрасывает флаг *MPCM* регистра *USR*;

4) для каждого принятого байта данных в ведомом микроконтроллере устанавливается флаг завершения приема *RXC* регистра *USR*. Кроме того, если *UART* ведомого микроконтроллера работает в режиме приема восьмиразрядных данных, будет генерироваться ошибка кадрирования, так как стоп-бит будет равен нулю. В других ведомых контроллерах флаг *MPCM* установлен, поэтому байты данных будут игнорироваться.

Подключение внешних устройств к микроконтроллеру Atmel через UART

Для работы с модулем *UART* разработаны специализированные микросхемы, с помощью которых можно проектировать схемные решения внешних устройств самого разнообразного назначения. Рассмотрим некоторые из них.

Например, реализация интерфейсов *RS-485* и *RS-422* с помощью микросхемы фирмы *Maxim*, показанных на рис. 2.80. Организация интерфейса *RS-485* позволяет использовать различные протоколы обмена: *Can* (фирмы *BOCH*), *ModBus*, *I2C* (*Philips*) и другие. Можно реализовать подключение 32 устройств к одному *UART* без повторителей.

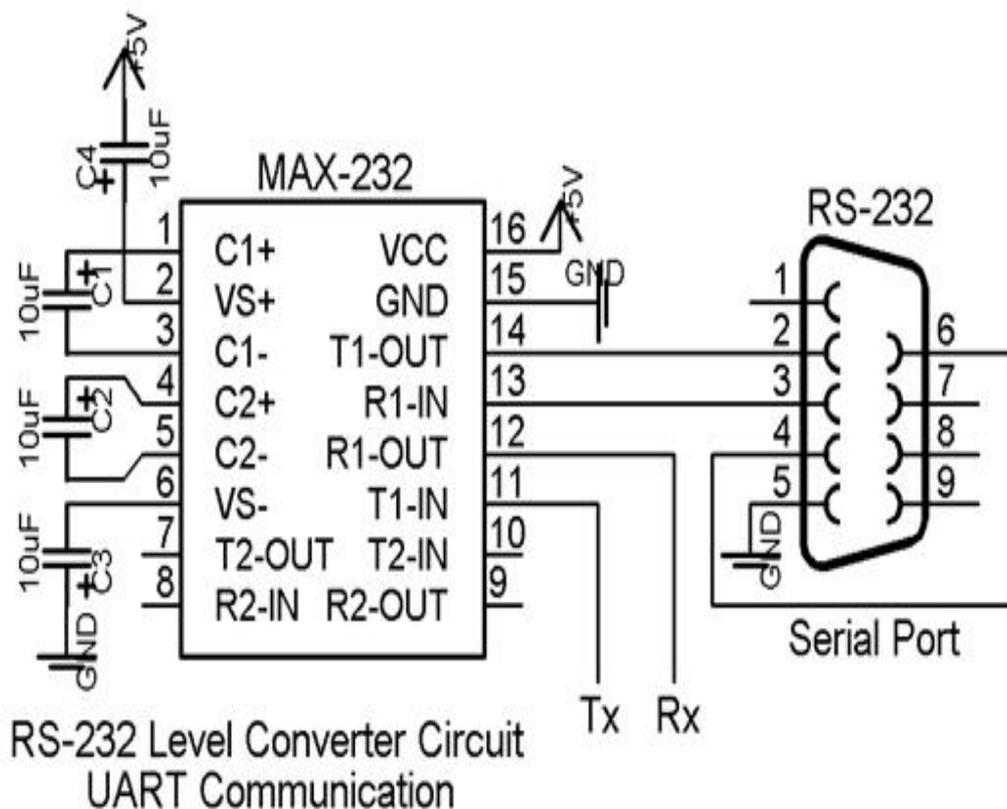


Рис. 2.82. Организация интерфейса RS 232 с помощью MAX232

Задание на лабораторную работу

Вариант 1

Разработать блок-схему алгоритма работы передатчика *UART* с учетом состояний разрядов управляющих регистров *USR*, *UCR*, *UDR*.

Вариант 2

Разработать блок-схему алгоритма работы приемника *UART* с учетом состояний разрядов управляющих регистров *USR*, *UCR*, *UDR*.

Вариант 3

Разработать функциональную электрическую схему подключения микроконтроллера *AT90S4434* через *UART* к *COM*-порту компьютера. Схема предназначена для ввода данных с восьми аналоговых входов микроконтроллера и является базой для измерительной системы.

Вариант 4

Разработать функциональную электрическую схему подключения микроконтроллера AT90S2313 к *USB*-порту компьютера. Схема предназначена для ввода данных с восьми дискретных входов микроконтроллера и является базой для системы управления.

Вариант 5

Разработать принципиальную электрическую схему трехпроцессорной системы с использованием микроконтроллеров AT90S2333. Связь процессоров организовать через *UART*.

Вариант 6

Разработать принципиальную электрическую схему организации дуплексного канала связи *RS-422* для микроконтроллера AT90S4434. Схема должна использовать *UART* микроконтроллера.

Вариант 7

Разработать функциональную электрическую схему, которая содержит три микроконтроллера AT90S4414, связанных по *UART* по системе «один ведущий – два ведомых».

Ведущий микроконтроллер связать с *COM*-портом компьютера. Микроконтроллеры предполагается использовать для сбора информации через порты, а ведущий микроконтроллер – как буфер для передачи данных в компьютер.

Вариант 8

Разработать алгоритм программы управления *UART* (передатчиком и приемником). Предусмотреть размер буфера в оперативной памяти размером 10 байт для передачи и 10 байт – для приема данных.

Вариант 9

Разработать функциональную электрическую схему подключения двух микроконтроллеров AT90S4434 по схеме «ведущий – ведомый». Предложить схему подключения ведущего микроконтроллера к *COM*-порту компьютера.

Вариант 10

Разработать функциональную электрическую схему подключения трех микроконтроллеров AT90S2333 по схеме «ведущий – два ведомых» через *UART*. Предложить схему подключения ведущего микроконтроллера к *COM*-порту компьютера. Разработать алгоритм взаимодействия элементов устройства.

Вариант 11

Разработать принципиальную электрическую схему устройства на базе микроконтроллера AT90S4414, которое позволяет подключиться к сети *Ethernet* через модуль *UART*. Дополнительные микросхемы выбрать самостоятельно.

Вариант 12

Разработать функциональную электрическую схему четырехпроцессорной системы на базе микроконтроллеров *Atmel AT902313*. Для соединения процессоров использовать модуль *UART*. Разработать алгоритм функционирования устройства. Пояснить, существуют ли альтернативные схемы взаимодействия процессоров, и если да, то какие.

Для подготовки функциональных и принципиальных схем используйте программу *Microsoft Visio*. Выполнение некоторых заданий лабораторной работы требует самостоятельного информационного поиска.

Содержание отчета

1. Структурная и функциональная электрические схемы устройства при необходимости пояснения работы устройства. Краткие справочные данные о микросхемах, выбираемых студентом самостоятельно и необходимых для решения задания.
2. Принципиальная электрическая схема устройства в заданном или выбранном элементном базисе.
3. Временная диаграмма или иная информация, необходимая для пояснения работы схемы.
4. Алгоритм работы устройства на уровне блок-схемы.

Контрольные вопросы

1. Может ли модуль *UART* работать в синхронном режиме?
2. Поясните, с какой целью передатчик и приемник *UART* формируют сигналы прерываний?
3. Как приемник *UART* отличает информационный сигнал от сигнала помехи?
4. С какой целью применяется бод-рейт-генератор?
5. Если через модуль *UART* реализовать интерфейс *RS-485*, надо ли менять драйвер *UART* при смене протоколов обмена информацией по *RS-485*?
6. Можно ли с использованием модуля *UART* создавать много-процессорные системы без дополнительных микросхем?
7. Почему в микроконтроллерах применяют два последовательных интерфейса *UART* и *SPI*?

ЛАБОРАТОРНАЯ РАБОТА № 8

Цифроаналоговые преобразователи

Цель работы: изучение принципа работы, характеристик, типов цифроаналоговых преобразователей и их применение.

Теоретическая часть

Цифроаналоговый преобразователь (ЦАП) – устройство для преобразования цифрового кода в аналоговый сигнал. На рис. 2.83 показаны идеальная (1) и реальная (2) характеристики ЦАП.

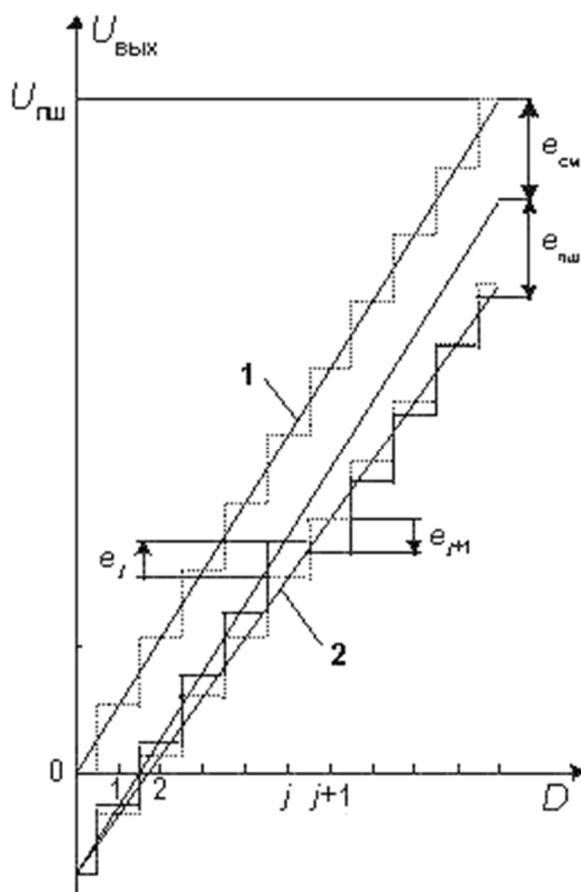


Рис. 2.83. Характеристики ЦАП

При последовательном увеличении цифрового сигнала $D(t)$ от 0 до $2N - 1$ через единицу младшего разряда (ЕМР) выходной сигнал $U_{\text{ВЫХ}}(t)$ образует ступенчатую кривую. Это и есть характеристика преобразования ЦАП.

Если погрешностей преобразования нет, то средние точки ступенек расположены на идеальной прямой (1). Реальная характеристика преобразования может отличаться от идеальной формой ступенек и расположением относительно плоскости координат. Для количественного описания различий между идеальной и реальной характеристиками существуют статические и динамические параметры.

К статическим параметрам относят: разрешающую способность; погрешность полной шкалы; погрешность смещения нуля; нелинейность; дифференциальную нелинейность; монотонность характеристики; температурную нестабильность.

К динамическим параметрам относят: время установившегося режима; время нарастания сигнала; время спада сигнала; время задержки сигнала; время восстановления сигнала; время выключения сигнала; время включения сигнала; время переключения сигнала; время задержки сигнала; время восстановления сигнала; время выключения сигнала; время включения сигнала; время переключения сигнала.

К динамическим параметрам ЦАП относят: время установления; скорость нарастания. Рассмотрим эти параметры по-отдельности.

Статические параметры

Разрешающая способность – это приращение $U_{\text{вых}}$ при преобразовании смежных значений кода D , отличающегося на $EMР$. Это приращение называют шагом квантования. Для двоичных кодов номинальное значение шага квантования определяется формулой.

$$h = U_{\text{пш}} / (2N - 1),$$

где $U_{\text{пш}}$ – номинальное максимальное выходное напряжение ЦАП, а N – разрядность преобразователя. Очевидно, что чем выше разрядность ЦАП, тем выше его разрешающая способность.

Погрешность полной шкалы – это разность между реальным и идеальным значениями предела шкалы преобразования при отсутствии смещения нуля. Рассчитывается по формуле

$$\delta_{\text{пш}} = e_{\text{пш}} / U_{\text{пш}} \cdot 100 \%$$

Погрешность смещения нуля – это значение $U_{\text{вых}}$, если входной код ЦАП равен нулю. Указывается в милливольтгах или процентах от полной шкалы. Рассчитывается по формуле

$$\delta_{\text{см}} = e_{\text{см}} / U_{\text{пш}} \cdot 100 \%$$

Нелинейность – это максимальное отклонение реальной характеристики от идеальной (см. рис. 2.83); нелинейность вычисляется по формуле

$$\delta_{\pi} = \frac{e_j}{U_{\text{пш}}} \cdot 100 \%$$

Дифференциальная нелинейность – максимальное изменение отклонения реальной характеристики от оптимальной при переходе от одного значения входного кода к другому смежному значению. Вычисляется по формуле

$$\delta_{d\pi} = \frac{e_j + e_{j+1}}{U_{\text{пш}}} \cdot 100 \%$$

Монотонность характеристики преобразования – это возрастание (уменьшение) выходного напряжения ЦАП при возрастании (уменьшении) входного кода. Если дифференциальная нелинейность больше относительного шага квантования $h/U_{\text{пш}}$, то характеристика преобразователя немонотонна.

Температурная нестабильность ЦАП характеризуется температурными коэффициентами погрешности полной шкалы и погрешности смещения нуля. Погрешности полной шкалы и смещения нуля могут быть устранены калибровкой.

Динамические параметры

Динамические параметры ЦАП определяются по изменению выходного сигнала при скачкообразном изменении входного кода. Например, от величины D – все нули, до D – все единицы, как показано на рис. 2.84.

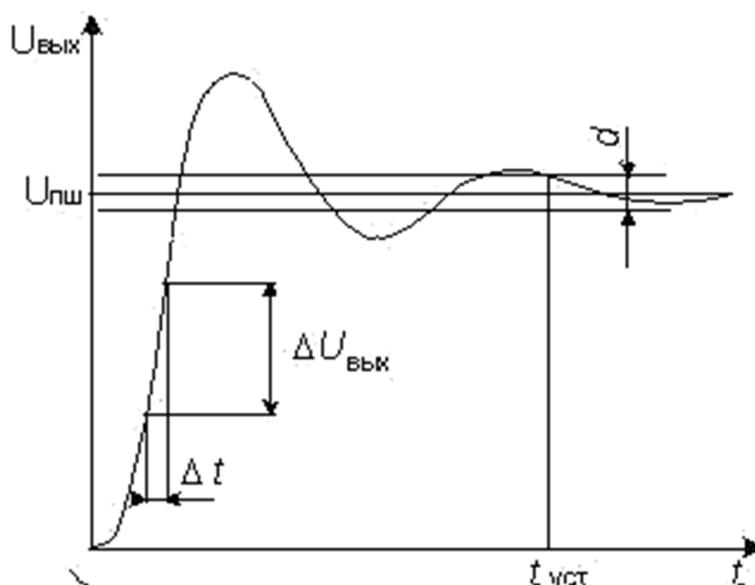


Рис. 2.84. Переходная характеристика ЦАП

Время установления – интервал времени от момента изменения входного кода до момента, когда в последний раз выполняется равенство

$$U_{\text{ВЫХ}} - U_{\text{ПШ}} = d/2.$$

Скорость нарастания – это максимальная скорость изменения $U_{\text{ВЫХ}}(t)$ во время переходного процесса. Определяется как отношение приращения $U_{\text{ВЫХ}}$ ко времени, за которое произошло приращение.

Максимальная частота преобразования – наибольшая частота дискретизации, при которой сохраняются заданные параметры преобразования.

ЦАП с суммированием весовых токов

Большинство схем ЦАП основано на суммировании токов, величина которых пропорциональна весу цифрового разряда. При этом используются две разновидности ЦАП: построенные на матрице с весовыми сопротивлениями и построенные на матрице $R - 2R$ с двумя номиналами сопротивлений. Пример первой схемы показан на рис. 2.85, а второй – на рис. 2.86. S – разряды цифрового кода, замыкание ключа соответствует логической единице.

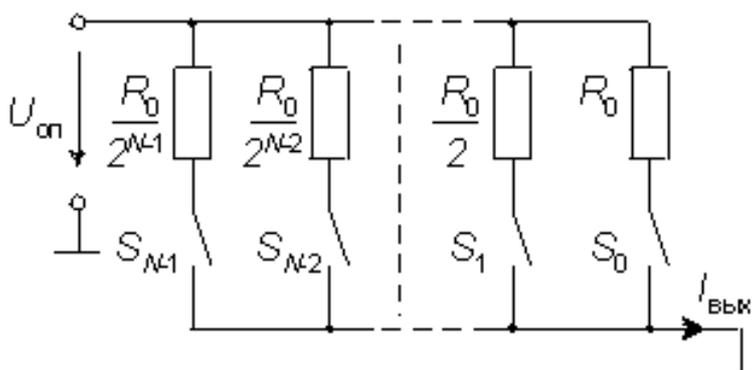


Рис. 2.85. ЦАП с суммированием весовых токов

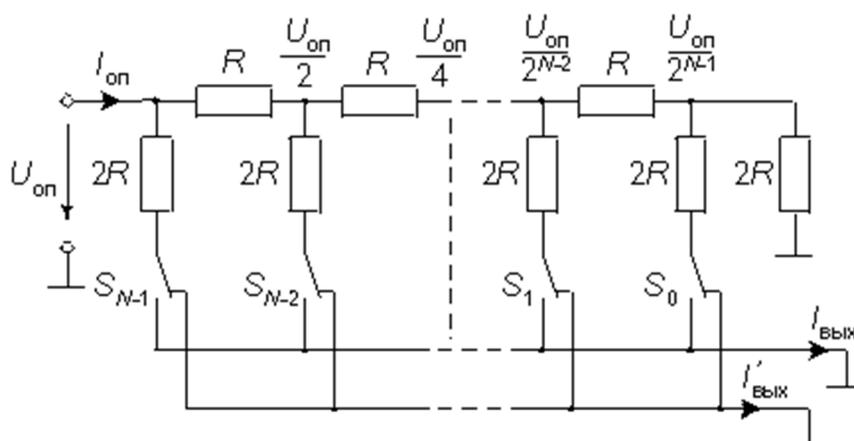


Рис. 2.86. ЦАП с матрицей $R-2R$

Сопротивления резисторов выбирают так, чтобы при замкнутых ключах через них протекал ток, соответствующий весу разряда кода. Выходной ток определяется по формуле

$$I_{\text{вых}} = \frac{U_{\text{оп}}}{R_0} \sum_{k=0}^{N-1} d_k 2^k = \frac{U_{\text{оп}}}{R_0} D,$$

где D – цифровой код, R_0 – номинал резистора для младшего разряда кода.

При высокой разрядности ЦАП токозадающие резисторы должны быть высокой точности. Надо заметить, что точные резисторы обладают высокой ценой. ЦАП, построенные на матрице $R - 2R$ с двумя номиналами, см. на рис. 2.86. Способ весовых резисторов неудобен, если преобразование многоразрядное. Для двенадцатиразрядного ЦАП потребуется соотношение величин резисторов 2000:1 с соответствующей точностью самого меньшего резистора по номиналу. Поэтому схема $R - 2R$ приводит к простому решению указанной проблемы.

В этой схеме задание весовых коэффициентов ступеней преобразователя осуществляется путем последовательного деления опорного напряжения с помощью резистивной матрицы постоянной величины. Выходные токи схемы определяют по формуле

$$I_{\text{вых}} = \frac{U_{\text{оп}}}{R2^N} \sum_{k=0}^{N-1} d_k 2^k = \frac{U_{\text{оп}}}{R2^N} D.$$

Поскольку нижние выводы резисторов $2R$ матрицы при любом состоянии переключателей S (состоянии цифрового кода) соединены с общей шиной схемы через низкое сопротивление замкнутых ключей, напряжения на ключах всегда в пределах нескольких милливольт. Точность этой схемы снижает то обстоятельство, что для ЦАП, имеющих высокую разрядность, необходимо согласовывать сопротивления R ключей с разрядными токами. Особенно это важно для старших разрядов.

ЦАП на источниках тока

ЦАП на источниках тока обладают более высокой точностью, чем предыдущие схемы. Это объясняется тем, что весовые токи формируются резисторами небольшого сопротивления и поэтому зависят от номиналов сопротивлений ключей и нагрузки. В ЦАП на источниках тока весовые токи формируются транзисторными источниками тока, которые имеют высокое динамическое сопротивление. Схема ЦАП на источниках тока приведена на рис. 2.87.

Весовые токи формируются с помощью матрицы транзисторных источников тока с масштабирующими эмиттерными резисторами. В преобразователях этого типа источники тока включены постоянно, и их выходной ток подключается к выходному контакту под управлением цифрового кода.

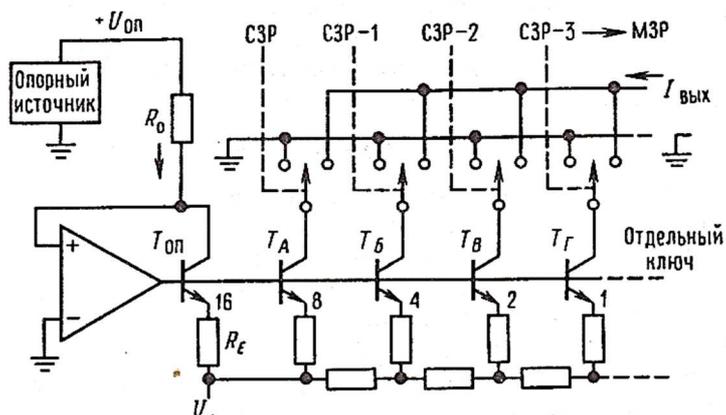


Рис. 2.87. ЦАП на источниках тока

Выходной ток для n -разрядного ЦАП на источниках тока рассчитывается по формуле

$$I_{\text{вых}} = \frac{I_{\text{оп}}}{2^N} D.$$

В ЦАП с токовым выходом необходимо принимать во внимание ограничение по диапазону изменения выходного напряжения. Оно может составлять всего до 1 В. Поэтому существует задача формирования выходного сигнала напряжения.

Формирование выходного сигнала напряжения

Если емкость нагрузки невелика, то возможно применение схемы на резисторе, как показано на рис. 2.88. Время установления выходного сигнала с точностью до $1/1048$ для 10-разрядного преобразователя составит $7,6$ постоянных времени R - S -цепочки.

Если необходимо сформировать большой диапазон изменения выходного напряжения или согласовать выход с низкоомной нагрузкой и большой емкостной нагрузкой, применяется схема с операционным усилителем, которая показана на рис. 2.89.

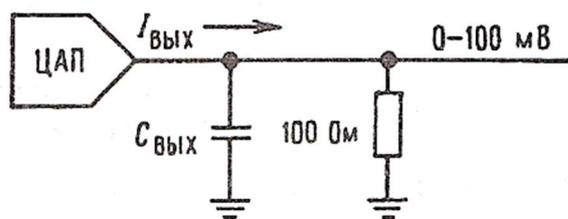


Рис. 2.88. Выходная схема ЦАП на резисторе

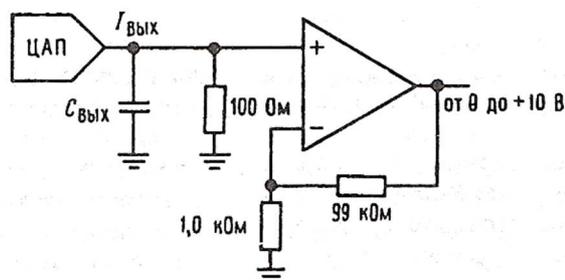


Рис. 2.89. Выходная схема ЦАП на операционном усилителе

ЦАП с суммированием напряжений

Схема восьмиразрядного преобразователя с суммированием напряжений показана на рис. 2.90. Основу преобразователя составляют 256 резисторов равного сопротивления, соединенных последовательно. Вывод W может подключаться через ключи S_0-S_{256} к любой точке делителя напряжения на резисторах в зависимости от входного двоичного кода DI . Входной двоичный код преобразуется дешифратором 8 на 256 в унитарный код, непосредственно управляющий ключами. Если к точке A приложить опорное напряжение, то напряжение на выходе W будет определяться формулой

$$U_{WB} = U_{AB}D.$$

Достоинство схемы – малая дифференциальная нелинейность и монотонность характеристики преобразования. Выпускаются ЦАП 8-, 10-, 12-разрядные по данной схеме. Например, $AD53012$, $AD5311$, $AD5321$.

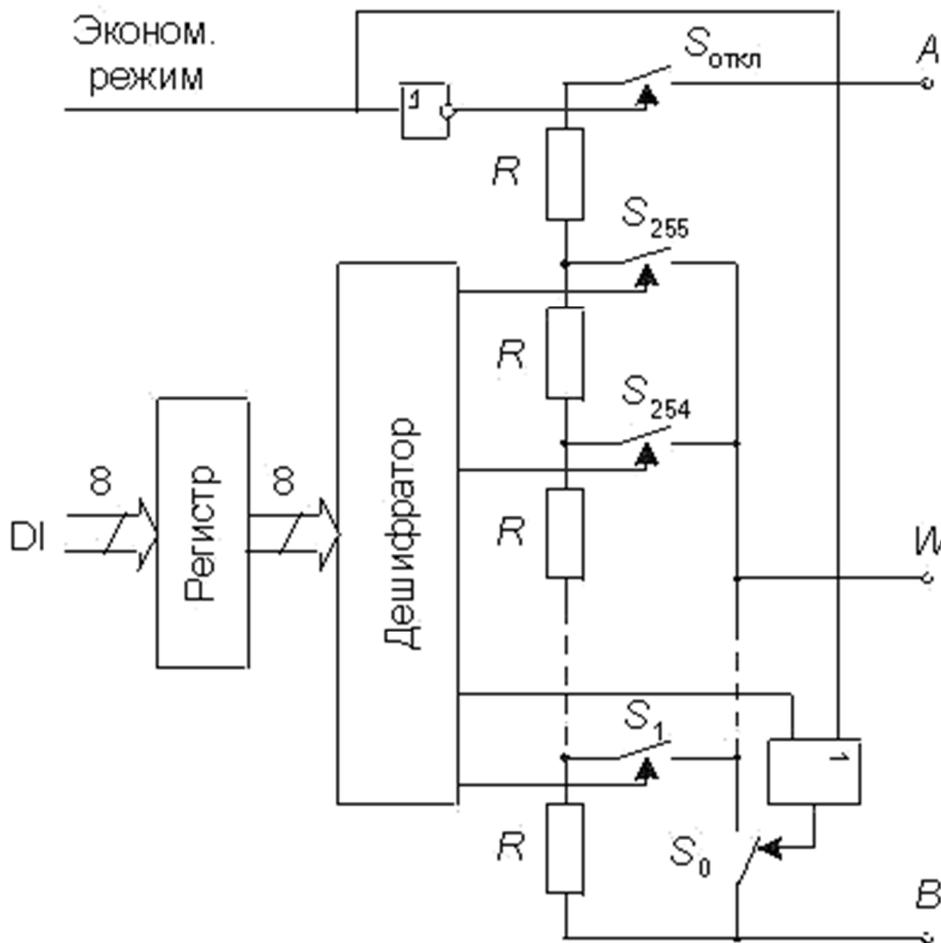


Рис. 2.90. ЦАП с суммированием напряжений

Интерфейсы цифроаналоговых преобразователей

Важный элемент любой схемы ЦАП – цифровой интерфейс, обеспечивающий подключение к источнику цифровых сигналов. При управлении ЦАП от цифровых устройств с жесткой логикой ЦАП могут быть непосредственно подключены к выходам цифровых устройств.

Если ЦАП используют в составе микропроцессорной системы и получают код от шины данных, то он должен иметь интерфейсную часть, которая будет обеспечивать условия соблюдения протокола шины. В качестве примера можно рассмотреть ЦАП с последовательным и параллельным интерфейсами, которые показаны на рис. 2.91 и 2.92. ЦАП с последовательным интерфейсом кроме собственно схемы ЦАП содержат дополнительные регистр хранения и регистр сдвига. Эти регистры работают по протоколу управляющих сигналов.

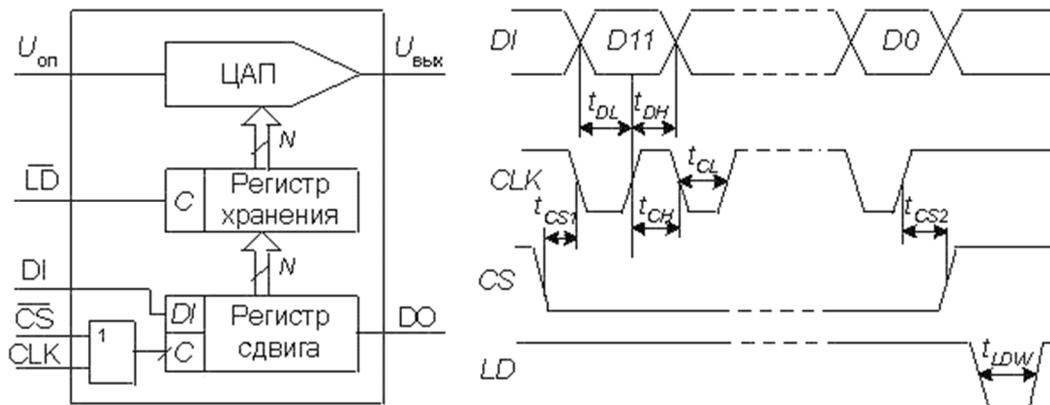


Рис. 2.91. ЦАП с последовательным интерфейсом

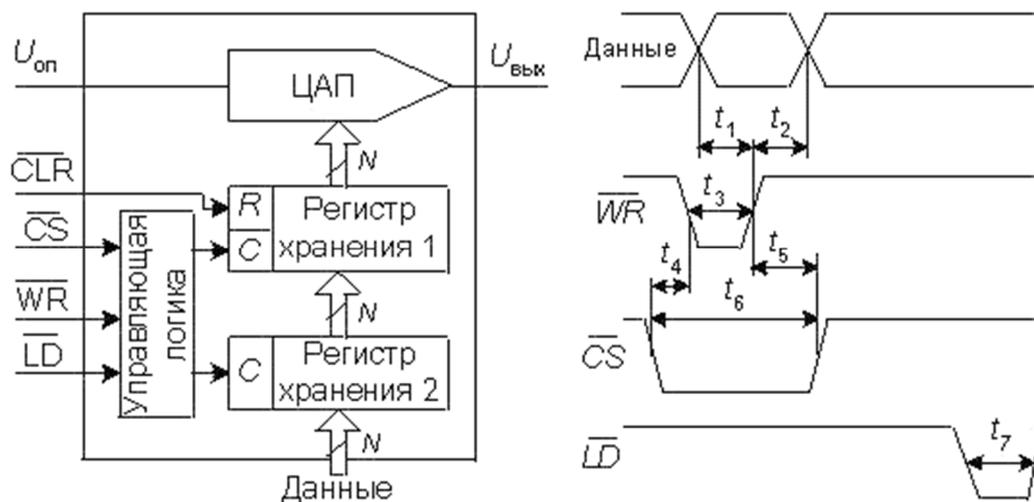


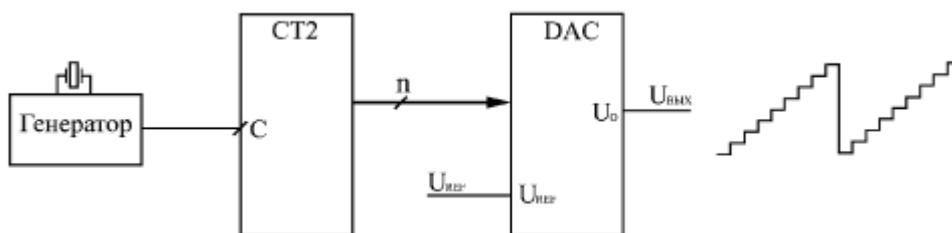
Рис. 2.92. ЦАП с параллельным интерфейсом

При активном уровне сигнала CS входное слово длины N загружается по линии DI в регистр сдвига под управлением тактовой частоты CLK . После окончания загрузки и установки сигнала LD выходное слово записывается в регистр хранения, выходы которого непосредственно управляют ключами ЦАП. Для обеспечения возможности загрузки данных по одной линии нескольких последовательных ЦАП используется выход DO , который подключается к входу DI следующего ЦАП.

ЦАП с параллельным интерфейсом (см. рис. 2.92), обладает двумя регистрами хранения и схемой управляющей логики. Регистры хранения 1 и 2 работают в режиме конвейера. Цифровой код регистра 1 преобразуется в аналоговый сигнал. А в регистр 2 записывается цифровой код для следующего цикла преобразования.

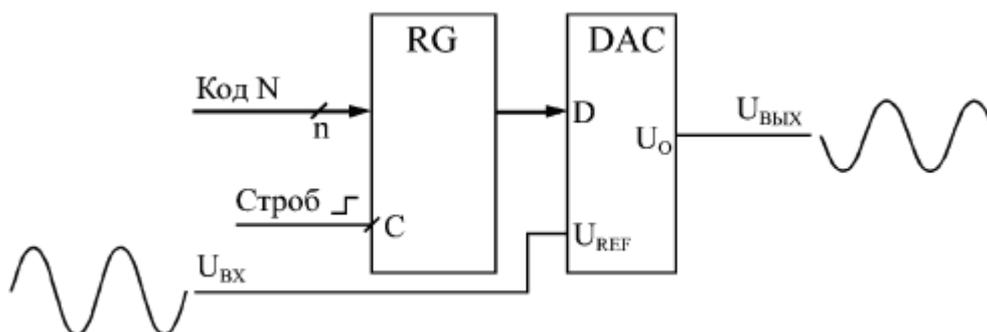
Задания на лабораторную работу

Схема 1



Разработать генератор пилообразного напряжения в соответствии с предложенной структурной электрической схемой с заданными параметрами и на основе заданного типа ЦАП.

Схема 2



Разработать цифровой attenuator аналогового сигнала в соответствии с предложенной структурной схемой на основе заданного типа ЦАП. Сигнал на входе U_{ref} определяет амплитуду выходного сигнала.

Варианты заданий

Номер варианта	Тип ЦАП	Параметры выходного сигнала	Вариант схемы
1	K572ПА1	$f = 3 \text{ КГц}$ $U_{\text{вых}} = 0 - 1 \text{ В}$, $U_{ref} = 1 \text{ В}$ Шаг квантования определяется согласно характеристике ЦАП	1
2	MAX 504	$U_{\text{вх}}$ от 0 до 3 В $f_{\text{вых}}$ пропорциональна $F_{\text{строб}}$ Шаг квантования определяется согласно характеристике ЦАП	2
3	MAX527	$f = 10 \text{ КГц}$ $U_{\text{вых}} = 0 - 2 \text{ В}$, $U_{ref} = 2 \text{ В}$ Шаг квантования определяется согласно характеристике ЦАП	1
4	DAC8512	$U_{\text{вх}}$ от 0 до 1,4 В $f_{\text{вых}}$ пропорциональна $F_{\text{строб}}$ Шаг квантования определяется согласно характеристике ЦАП	2
5	AD7841	$f = 3 \text{ КГц}$ $U_{\text{вых}} = 0 - 1 \text{ В}$, $U_{ref} = 1 \text{ В}$ Шаг квантования определяется согласно характеристике ЦАП	1
6	AD8600	Амплитуда изменения выходного сигнала должна меняться от 1 до 2 В. Остальные параметры задать, согласно характеристикам ЦАП	2
7	AD8403	$f = 100 \text{ КГц}$ $U_{\text{вых}} = 0 - 2 \text{ В}$, $U_{ref} = 2 \text{ В}$ Шаг квантования определяется согласно характеристике ЦАП	1
8	MAX515	$f = 5 \text{ МГц}$ $U_{\text{вых}} = 0 - 1 \text{ В}$, $U_{ref} = 2 \text{ В}$ Шаг квантования определяется согласно характеристике ЦАП	1

Окончание

Номер варианта	Тип ЦАП	Параметры выходного сигнала	Вариант схемы
9	MAX530	$f = 1$ КГц $U_{\text{вых}} = 0 - 2$ В, $U_{\text{ref}} = 2$ В или 1 В Шаг квантования определяется согласно характеристике ЦАП	1
10	MAX550B	Задать самостоятельно и обосновать	2
11	AD7943	Задать самостоятельно и обосновать	2
12	AD7390	$f = 100$ КГц $U_{\text{вых}} = 0 - 5$ В, $U_{\text{ref}} = 5$ В Шаг квантования определяется согласно характеристике ЦАП	1
13	AD5321	Задать самостоятельно и обосновать	2
14	AD7846	$f = 200$ КГц $U_{\text{вых}} = 0 - 5$ В, $U_{\text{ref}} = 5$ В Шаг квантования определяется согласно характеристике ЦАП	1
15	AD7244	$f = 300$ КГц $U_{\text{вых}} = 0 - 5$ В, $U_{\text{ref}} = 5$ В и 2 В Шаг квантования определяется согласно характеристике ЦАП	1
16	AD760	Задать самостоятельно и обосновать	2
17	MAX541	$f = 1$ МГц $U_{\text{вых}} = 0 - 5$ В, $U_{\text{ref}} = 5$ В Шаг квантования определяется согласно характеристике ЦАП	1
18	AD9720	$f = 200$ КГц $U_{\text{вых}} = 0 - 5$ В, $U_{\text{ref}} = 5$ В Шаг квантования определяется согласно характеристике ЦАП	1

Для подготовки функциональных и принципиальных схем используйте программу *Microsoft Visio*.

Содержание отчета

1. Электрическая функциональная схема устройства.
2. Электрическая принципиальная схема устройства в заданном элементном базисе или выбранном элементном базисе. Если микросхемы выбирались по заданию из справочника самостоятельно, обосновать выбор применяемых интегральных схем.
3. Справочная информация о применяемых микросхемах с указанием источника информации.
4. Временная диаграмма или иная информация, необходимая для пояснения работы разработанных функциональной и принципиальной схем.

Контрольные вопросы

1. Как работает ЦАП, организованный по принципу суммирования весовых токов?
2. Постройте матрицу весовых сопротивлений для рис. 2.91 для шестиразрядного ЦАП.
3. Каковы статические характеристики ЦАП?
4. Какие существуют динамические характеристики ЦАП?
5. Чем отличается ЦАП на рис. 2.91 от ЦАП на рис. 2.92?
6. Зачем вводится понятие интерфейса ЦАП?
7. В чем заключается принцип работы параллельного ЦАП?

ЗАКЛЮЧЕНИЕ

В пособии излагаются вопросы, связанные с постановкой технического задания на разработку цифровых модулей, правилами оформления чертежей, разработкой и представлением структурных, функциональных и принципиальных электрических схем.

Решение практических заданий в области схемотехники позволяет студентам закрепить навыки: разработки электрических схем цифровых модулей согласно техническому заданию; работы со справочной информацией по микросхемам; применения программной среды для оформления электрических схем; выбора элементной базы.

Решение индивидуальных заданий поможет закрепить навыки информационного поиска справочных данных на интегральные схемы, изучения протоколов работы интегральных схем с целью их правильного применения.

СПИСОК БИБЛИОГРАФИЧЕСКИХ ССЫЛОК

1. ГОСТ 2.702-2011. Единая система конструкторской документации. Правила выполнения электрических схем. Введ. 2012-01-01. М. : Стандартинформ, 2011. 22 с.
2. ГОСТ 2.710-81. Единая система конструкторской документации. Обозначения буквенно-цифровые в электрических схемах. Введ. 1981-07-01. М. : Изд-во стандартов, 1985. 14 с.
3. ГОСТ 34-602-89. Комплекс стандартов на автоматизированные системы. Техническое задание на создание автоматизированной системы. Введ. 1990-01-01. М. : Изд-во стандартов, 1989. 11 с.
4. ГОСТ 19.201-78. Единая система программной документации. Техническое задание. Требования к содержанию и оформлению. Введ. 1980-01-01. М. : Стандартинформ, 2010. 60 с.
5. Усатенко С. Т., Каченюк Т. К., Терехова М. В. Выполнение электрических схем по ЕСКД : справочник. М. : Изд-во стандартов, 1989. 325 с.
6. Программируемый логический контроллер : метод. рекомендации к выполнению курсового проекта / Владим. гос. ун-т им. А. Г. и Н. Г. Столетовых ; сост. В. С. Туляков. Владимир : Изд-во ВлГУ, 2020. 52 с.
7. Рюмик С. М. 1000 и одна микроконтроллерная схема. М. : Додека-21, 2011. 400 с.
8. Туляков В. С. Схемотехника цифровой электроники : учеб. пособие. Владимир : Изд-во ВлГУ, 2022. 364 с.
9. Цифровые интегральные микросхемы : справочник / П. П. Мальцев [и др.]. М. : Радио и Связь, 1994. 240 с.
10. Угрюмов Е. П. Цифровая схемотехника : учеб. пособие для вузов. СПб. : БХВ-Петербург, 2010. 816 с.
11. Мышляева И. М. Цифровая схемотехника : учеб. для среднего проф. образования. М. : Академия, 2005. 400 с.
12. Туляков В. С. Микропроцессорные системы : учеб. пособие. Владимир : Изд-во ВлГУ, 2020. 219 с.

ОГЛАВЛЕНИЕ

ВВЕДЕНИЕ	3
Глава 1. ОСНОВЫ РАЗРАБОТКИ ЭЛЕКТРИЧЕСКИХ СХЕМ	5
1.1. Техническое задание.....	5
1.2. Структурная электрическая схема	7
1.3. Функциональная электрическая схема	10
1.4. Принципиальная электрическая схема	16
1.5. Схема электрическая соединений	20
1.6. Схема электрическая подключения	21
1.7. Схема электрическая расположения	22
1.8. Пример разработки электронного устройства	23
Глава 2. ЛАБОРАТОРНЫЕ РАБОТЫ.....	28
Лабораторная работа № 1. Схемотехника дешифраторов и шифраторов, мультиплексоров и демультиплексоров	28
Лабораторная работа № 2. Сумматоры.....	40
Лабораторная работа № 3. Счетчики	48
Лабораторная работа № 4. Модули памяти.....	55
Лабораторная работа № 5. Исследование параметров базового логического элемента ТТЛ.....	72
Лабораторная работа № 6. Параллельный программируемый интерфейс и организация портов в микроконтроллерах	92
Лабораторная работа № 7. Универсальный асинхронный приемопередатчик.....	103
Лабораторная работа № 8. Цифроаналоговые преобразователи	116
ЗАКЛЮЧЕНИЕ.....	128
СПИСОК БИБЛИОГРАФИЧЕСКИХ ССЫЛОК	129

Учебное издание

ТУЛЯКОВ Валерий Станиславович

ЭЛЕКТРОНИКА И СХЕМОТЕХНИКА

Лабораторный практикум

Редактор Е. А. Платонова

Технические редакторы Ш. Ш. Амирсейидов, Н. В. Пустовойтова

Компьютерная верстка Л. В. Макаровой

Выпускающий редактор А. А. Амирсейидова

Подписано в печать 29.05.23.

Формат 60×84/16. Усл. печ. л. 7,67. Тираж 30 экз.

Заказ

Издательство

Владимирского государственного университета
имени Александра Григорьевича и Николая Григорьевича Столетовых.
600000, Владимир, ул. Горького, 87.